

Université de Bordeaux I

N° d'ordre: 3987

THESE

présentée et soutenue publiquement

devant

l'Ecole Doctorale des Sciences Physiques et de l'Ingénieur

par

Philippe FREITAS

le

21 Décembre 2009

Titre de la thèse :

Apports et limitations de la technologie MOS Double Grille à grilles Indépendantes sub-45nm pour la conception analogique basse fréquence

Thèse préparée au Laboratoire d'Electronique et des Technologies de l'Information
(CEA-Léti-Minatec)

dans le cadre de l'Ecole Doctorale des Sciences Physiques et de l'Ingénieur

M. Yann Deval, Professeur, IMS Bordeaux

M. Thierry Parra, Professeur, LAAS

M. Gilles Jacquemod, Professeur, Polytechn'Nice-Sophia

M. Jean-Baptiste Begueret, Professeur, IMS Bordeaux

M. Hervé Lapuyade, Maître de Conférences, IMS Bordeaux

M. Pierre Vincent, Ingénieur de recherches, CEA-Léti minatec

M. Gérard Billiot, Ingénieur de recherches, CEA-Léti minatec

Président du Jury

Rapporteur

Rapporteur

Directeur de thèse

Co-directeur de thèse

Co-encadrant CEA

Invité

Université de Bordeaux I

N° d'ordre: 3987

THESE

présentée et soutenue publiquement

devant

l'Ecole Doctorale des Sciences Physiques et de l'Ingénieur

par

Philippe FREITAS

le

21 Décembre 2009

Titre de la thèse :

Apports et limitations de la technologie MOS Double Grille à grilles Indépendantes sub-45nm pour la conception analogique basse fréquence

Thèse préparée au Laboratoire d'Electronique et des Technologies de l'Information
(CEA-Léti-Minatec)

dans le cadre de l'Ecole Doctorale des Sciences Physiques et de l'Ingénieur

M. Yann Deval, Professeur, IMS Bordeaux

M. Thierry Parra, Professeur, LAAS

M. Gilles Jacquemod, Professeur, Polytechn'Nice-Sophia

M. Jean-Baptiste Begueret, Professeur, IMS Bordeaux

M. Hervé Lapuyade, Maître de Conférences, IMS Bordeaux

M. Pierre Vincent, Ingénieur de recherches, CEA-Léti minatec

M. Gérard Billiot, Ingénieur de recherches, CEA-Léti minatec

Président du Jury

Rapporteur

Rapporteur

Directeur de thèse

Co-directeur de thèse

Co-encadrant CEA

Invité

Remerciements

Je tiens à remercier tout d'abord Gérard Billiot, a.k.a. Gégé, mon encadrant de thèse au sein du CEA-Léti qui a suivi mes travaux et m'a surtout fait profiter de ses connaissances et de ses expériences tout au long de ma thèse. Merci.

Merci également aux autres membres de la Pizza Party Team, Kevin, Jean Bo2, Tophér, Olivier, Jérôme. Deux ans et demi, ce fut un peu court et nous n'avons pas eu le temps de mettre complètement à profit le savoir-faire de chacun...

Je remercie également toutes les personnes du laboratoire LACR, dont notamment Pierre Vincent, tant sur le plan de l'encadrement que sur celui de la relation humaine.

Je souhaite remercier Jean-René Lequepeys et Marc Belleville pour leur soutien, notamment pendant la rédaction du manuscrit.

Merci aux personnes des autres laboratoires avec qui j'ai travaillé et qui se sont vues assénées de questions en tout genre, Olivier, Marina, Marjorie, Thierry...

Je remercie également Hervé Lapuyade et Jean-Baptiste Béguéret pour la direction de ma thèse ainsi que pour avoir fait le nécessaire afin que je soutienne la thèse cette année. A ce titre, je remercie également les membres du Jury, Thierry Parra, Gilles Jacquemod, Yann Deval et Pierre Vincent, pour avoir accepté les termes de la soutenance et les conditions un peu particulières dans lesquelles celle-ci s'est déroulée.

Un grand merci à Yann pour m'avoir proposé d'effectuer cette thèse, et plutôt deux fois qu'une.

A grand merci à toi, Lynette, d'avoir patienté tant de temps alors que je passais mes soirées et week-end à rédiger.

Table des matières

Introduction Générale	1
1 IDGMOS : Une évolution technologique	3
1.1 Évolution de la technologie MOS et composants MOS avancés	3
1.1.1 La technologie MOS à substrat massif : limitations et évolution	3
1.1.2 Technologie du transistor MOS double grille à grilles planaires, décon- nectées et auto-alignées	6
1.2 Comportement électrique et apports fonctionnels du transistor IDGMOS	8
1.2.1 Comportement en ce qui concerne les accès de grille	8
1.2.2 Comparaison fonctionnelle en grilles déconnectées	10
1.2.3 Comportement en ce qui concerne les accès de drain et de source	14
1.3 Modélisation du transistor IDGMOS	15
1.3.1 Principe de la modélisation	16
1.3.1.1 Tensions de seuil	17
1.3.1.2 Courant de drain des interfaces	18
1.3.2 Expressions des tensions de seuil et des courants d'interface en fonction du régime d'inversion	18
1.3.2.1 Les deux interfaces sont en régime d'inversion faible	19
1.3.2.2 Au moins l'une des interfaces est en régime d'inversion forte	19
1.4 Modèle « petits signaux » du transistor IDGMOS	20
1.4.1 Simplification des équations	21
1.4.1.1 Valeurs numériques des paramètres électriques du modèle	21
1.4.1.2 Les deux interfaces sont en régime d'inversion faible	22
1.4.1.3 Une seule interface est en régime d'inversion forte	22
1.4.1.4 Les deux interfaces sont en régime d'inversion forte	27
1.4.1.5 Comparaison entre le modèle complet et ses équations simplifiées	27
1.4.2 Transconductances « petits signaux »	31
1.4.2.1 Les deux interfaces sont en régime d'inversion faible	31
1.4.2.2 Une seule interface est en régime d'inversion forte	31
1.4.2.3 Les deux interfaces sont en régime d'inversion forte	32
1.5 Conclusion	32

2	Conception de circuits analogiques en technologies avancées	35
2.1	État de l'art de la conception de circuits intégrés en technologies MOS avancées .	35
2.1.1	Considérations générales quant à la conception analogique	37
2.1.1.1	Performances des transistors	37
2.1.2	Conception analogique sous faible tension d'alimentation	41
2.1.2.1	Pertes et compensations	41
2.1.2.2	Conception en mode courant	43
2.1.2.3	Utilisation de l'accès substrat des transistors MOS	44
2.1.3	Conception de circuits en technologies double grille à grilles indépendantes	46
2.1.3.1	IDGMOS en conception numérique et radiofréquence	46
2.1.3.2	IDGMOS en conception analogique	47
2.2	Comparaison entre une technologie IDGMOS et MOS bulk avancée	51
2.2.1	Généralités	51
2.2.2	Comparaison à géométries égales	54
2.2.3	Comparaison à courants de drain égaux	59
2.3	Grilles indépendantes : considérations analogiques	60
2.3.1	Fonctionnement fréquentiel	60
2.3.2	Transconductances aux variations « petits signaux »	61
2.4	Conclusion	66
3	Utilisation de l'IDGMOS dans les circuits analogiques	69
3.1	Circuits paramétrables	69
3.2	Adaptation à la tension d'alimentation	70
3.2.1	Contrôle de la tension de seuil	70
3.2.2	Plage de contrôle	75
3.2.2.1	Le suiveur de tension	75
3.2.2.2	La paire différentielle	79
3.2.3	Structures innovantes	85
3.3	Apports combinés	92
3.3.1	Compensation du mode commun d'entrée	94
3.3.2	Contre-réaction de mode commun de sortie	97
3.3.3	Circuit amplificateur complet	101
3.4	Réalisations	104
3.4.1	Miroir de courant cascode régulé	104
3.4.2	Paire croisée	106
3.4.3	Capteur de mode commun	106
3.4.4	Structure différentielle avec accessibilité à toutes les grilles	108
3.4.5	Comparaison des structures différentielles	108
3.4.6	Sigma-Delta d'ordre 1	114
3.4.7	Sigma-Delta d'ordre 2	117
3.5	Conclusion	118
	Conclusion Générale	121
	Liste des figures	127
	Liste des tableaux	129

<i>Table des matières</i>	9
Annexes	131
Bibliographie	137
Communications et publications	139
Résumé	140

Introduction Générale

La microélectronique rassemble les techniques d'intégration des composants électroniques sur un substrat commun. Ces techniques consistent généralement à employer la photolithographie afin de dessiner l'empreinte des composants sur le substrat. Les composants sont ensuite réalisés à base d'éléments semi-conducteurs par dépôt chimique ou par implantation ionique. L'intérêt de cette technologie est qu'elle permet d'une part de réduire considérablement les dimensions des composants par rapport à ceux réalisés de façon discrète et d'autre part, de produire plusieurs puces en une seule fois. Ainsi, les puces contiennent une multitude de composants sur une surface minimale, les fonctions réalisées deviennent plus complexes, et les coûts de fabrication par puce sont relativement faibles.

Les demandes en circuits intégrés sont principalement dirigées par les besoins des applications numériques et radio-fréquences (*RF*). Celles-ci obligent à intégrer de plus en plus de fonctions sur une même surface de silicium, d'augmenter la vitesse de fonctionnement des systèmes et de limiter la consommation des circuits. En conséquence, l'industrie du semi-conducteur se doit de réduire de plus en plus les dimensions des composants intégrés sur puce. Cependant, un changement technologique permettant une réduction des composants doit satisfaire certains critères afin que celle-ci demeure viable, à savoir le coût de l'usine de fabrication, le coup final par puce réalisée, le rendement, les performances et la consommation des composants intégrés, etc... Depuis plusieurs décennies, cette réduction est constante et les efforts ont été principalement dirigés vers la technologie Metal-Oxyde-Semiconducteur à effet de champ (*MOS*) pour sa meilleure densité d'intégration et sa faible consommation. Seulement, de nos jours, la réduction est telle que de nouvelles limites physiques sont atteintes. Certains effets physiques, jusqu'alors inexistantes ou bien négligeables, détériorent le fonctionnement des composants actifs, les transistors, et ils menacent la viabilité du procédé technologique standard en-dessous d'une certaine dimension, notamment en termes de performance et de consommation. Il devient donc nécessaire de modifier la technologie et plusieurs voies s'ouvrent vers l'élaboration de nouveaux dispositifs.

Les travaux de recherche présentés dans ce manuscrit traitent particulièrement de l'un de ces nouveaux dispositifs : le transistor *MOS* double grille à grilles planaires. Le choix d'une telle technologie porte sur le fait que celle-ci offre un meilleur contrôle électrostatique du canal, grâce notamment à l'existence d'une grille supplémentaire en-dessous du canal de conduction. Un meilleur contrôle électrostatique permet de diminuer l'impact des effets de la réduction géométrique des transistors tout en maintenant un fonctionnement proche de celui du transistor *MOS* conventionnel. Grâce à une telle technologie, il devient possible de poursuivre la réduction géomé-

trique des transistors. De plus, le fait que les grilles soient planaires les rend naturellement isolées l'une de l'autre. Il devient donc possible de contrôler les grilles séparément et ainsi de profiter du fonctionnement atypique du transistor lorsqu'il fonctionne en grilles indépendantes (*IDGMOS*). Bien qu'il soit difficile de quantifier les avantages de cette nouvelle technologie compte tenu de sa faible maturité, son apport pour la conception de circuits numériques et radio-fréquences (*RF*) n'est plus à défendre. Néanmoins, il existe un domaine de conception pour lequel les besoins ne sont pas spécifiés lors de l'élaboration d'une technologie et cela bien que ce domaine demeure omniprésent dans la plupart des systèmes intégrés : la conception de circuits analogiques. Pourtant, les besoins de la conception analogique ne sont pas anodins et rien ne garantit que ceux-ci aillent dans le même sens que ceux de la conception numérique. L'objectif de cette thèse est donc d'étudier les apports et les limitations des dispositifs double grille à grilles planaires utilisés au sein de circuits analogiques fonctionnant à basse fréquence.

Dans un premier temps, ce manuscrit présente la technologie *IDGMOS*, son procédé de fabrication, sa modélisation et enfin son comportement électrique général. Le but du premier chapitre est de sensibiliser le lecteur au fonctionnement du dispositif, en particulier lorsque les deux grilles du transistor sont contrôlées séparément. Les caractéristiques d'entrée et de sortie du composant sont illustrées et, par leur intermédiaire, l'effet du couplage sur le contrôle du courant de drain également. Une deuxième partie de ce chapitre reprend les équations issues de la modélisation et les traite mathématiquement afin de préciser cet effet de couplage sur les paramètres dynamiques de l'*IDGMOS*.

Le deuxième chapitre se focalise davantage sur la description de l'environnement futur du transistor double grille. Un état de l'art des connaissances à ce sujet est établi afin de souligner les difficultés que rencontreront les concepteurs en employant de nouvelles technologies. Suite à cela, un deuxième état de l'art présente un ensemble de solutions aux problèmes cités précédemment. La question étant de savoir dans quelle mesure la technologie *IDGMOS* est capable de faciliter la conception des circuits analogiques futurs, la fin de ce chapitre fournit alors une étude qualitative des apports et des limitations du transistor *IDGMOS* en se limitant toutefois à des considérations purement analogiques.

Enfin, le troisième chapitre de ce manuscrit présente la mise en œuvre du transistor *IDGMOS* au sein de circuits analogiques. Chaque particularité fonctionnelle décrite précédemment est reprise et élargie au fonctionnement global des circuits considérés. Ainsi, les apports potentiels du transistor sont illustrés par la conception et la simulation de blocs de base de l'analogique, tels que les miroirs de courant, les paires différentielles élémentaires, les suiveurs de tension et les amplificateurs différentiels. Chacune de ces structures permet non seulement de mettre en valeur un intérêt propre au transistor double grille pour la conception de circuits futurs, mais également de comparer le fonctionnement des circuits réalisés en technologie *IDGMOS* à celui des circuits basés sur une technologie à substrat massif.

Chapitre 1

IDGMOS : Une évolution technologique

1.1 Évolution de la technologie MOS et composants MOS avancés

1.1.1 La technologie MOS à substrat massif : limitations et évolution

Depuis plusieurs décennies, la progression du marché des semi-conducteurs et la multiplication des circuits intégrés au sein des applications ont poussé les entreprises à développer leurs moyens de production afin de mettre davantage de fonctionnalités sur de moins en moins de surface de silicium. Cette progression s'est principalement faite sur la technologie *MOS* puisque celle-ci offre une bien meilleure densité d'intégration que son homologue bipolaire. Ainsi, les dimensions des transistors *MOS*, traduites principalement par la longueur minimale de leur grille, sont réduites régulièrement dans le temps. L'*ITRS* se propose de donner une ligne d'évolution de cette technologie dans le futur afin d'uniformiser la recherche et le développement technologique dans ce secteur [itrte]. La figure 1.1 résume certains noeuds technologiques tels qu'ils apparaissent dans l'*ITRS*.

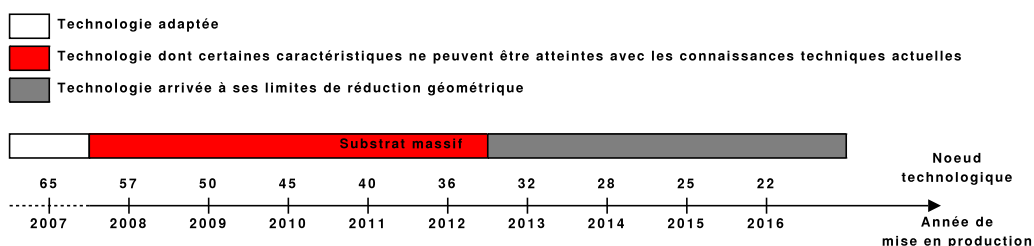


FIG. 1.1 –
Évolution de la technologie *MOS* à substrat massif [itrte]

Alors que les difficultés liées à la réduction des grilles se cantonnaient principalement aux moyens de fabrication de transistors toujours plus fins, les limitations actuelles concernent non seulement la technique de fabrication, mais également la physique des matériaux utilisés. Ainsi, la figure 1.1 montre que la technologie standard à substrat massif présente ses premières limitations

dès 2008, pour une longueur de grille de $57nm$. Bien sûr, les techniques continuent à se développer et certains points bloquants pourront être résolus dans le futur. Néanmoins, l'*ITRS* considère que cette technologie sera inutilisable en deçà de $36nm$. Certaines limites physiques à cette réduction sont présentées dans le rapport technique [gau04] et sont reprises dans la liste ci-dessous :

- Effets non-stationnaires et discrétisation du mouvement des électrons
- Confinement quantique dans le canal
- Courant balistique direct entre drain et source
- Courant thermoïonique direct entre drain et source
- Effets de canal court et du champ longitudinal
- Diminution de la barrière de potentiel induit par le potentiel de drain (*DIBL*)
- Effet du champ électrique transverse engendré par la grille
- Courant de fuite induit par la grille (*GIDL*)
- Courant tunnel et fuite à travers le diélectrique de grille

Bien sûr, cette liste ne présente que quelques exemples de limitations et la description détaillée de chaque effet ne rentre pas dans le contexte de ce manuscrit. De plus, certains de ces effets ne devraient pas apparaître tant que la longueur de grille reste supérieure à une dizaine de nanomètres. A chacun de ces effets correspond un ou plusieurs impacts dégradant généralement les caractéristiques électriques du transistor. De la même façon, il est possible de dresser une liste, non exhaustive, des dégradations que subissent les transistors avec la diminution des longueurs des grilles :

- Problèmes de prédictibilité
- Perte du contrôle du courant par la grille
- Augmentation de la probabilité de passage par effet tunnel à travers l'oxyde de grille
- Variations de la tension de seuil en fonction du potentiel de drain
- Diminution de la mobilité et saturation de la vitesse des porteurs
- Diminution de la transconductance dans les zones ohmique et saturée
- Remontée du courant de drain à l'état bloqué pour les valeurs fortement négatives de tension grille-source

Les deux premiers points sont liés aux effets quantiques lorsque sont considérées des longueurs de grille très faibles. Les autres points sont davantage en rapport avec les matériaux et la structure du transistor à substrat massif. Afin de continuer la diminution des longueurs de grille au delà de ce qui est permis par le transistor à substrat massif, une première étape consiste à changer les matériaux employés dans la conception du transistor ou même à changer leur comportement électrique par des moyens mécaniques et physiques. A titre d'exemple, l'emploi d'un oxyde de type « *high-k* » permet de diminuer les fuites au travers du diélectrique de grille. D'autres méthodes, telles que la contrainte mécanique du canal, peuvent améliorer la mobilité des porteurs. Ce faisant, un premier pas est fait vers le changement de la structure du transistor. Suivant cette logique de modification, le transistor à film mince « *fully-depleted* » sur substrat *SOI* devrait apparaître chez les fabricants de semi-conducteurs dès 2010 pour palier certaines limitations de la technologie *MOS* standard. Parmi ces avantages, le film mince « *fully-depleted* » ne possède pas de porteurs dans le film de silicium et cette technologie présente donc moins de fuites de drain lorsque le transistor est bloqué. Toujours selon l'*ITRS*, cette nouvelle technologie permettrait la

diminution de la longueur de grille au moins jusqu'au noeud technologique 25nm (cf. figure 1.2).

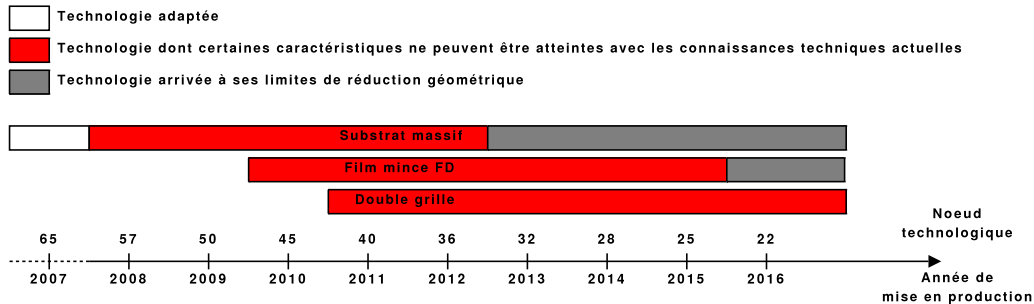


FIG. 1.2 –
Évolution de la technologie MOS [itrte]

La figure 1.2 montre également que la technologie à film mince nécessitait en 2006 de lever des inconnues technologiques alors que sa mise en production est prévue en 2010. Cela illustre parfaitement le fait qu'un simple changement structural peut engendrer des modifications techniques importantes dans la mise en oeuvre d'une nouvelle technologie. Un exemple simple peut être donné pour le film mince à propos des accès de drain et de source. En effet, le film étant très mince, de l'ordre d'une dizaine de nanomètres, les surfaces de contact entre le drain, la source et le film de silicium sont extrêmement faibles. Les résistances d'accès drain et source sont donc très élevées, ce qui peut fortement limiter le fonctionnement du transistor. Bien que des incertitudes demeurent, la technologie à film mince « *fully-depleted* » devrait assurer une évolution technologique vers des longueurs de grille de plus petites dimensions. Néanmoins, d'autres limitations deviendront plus critiques que celles contournées par le seul apport de cette technologie. En effet, les fuites de drain ne sont pas complètement enrayerées par l'absence de porteurs dans le film de silicium. D'autres effets, tels que la diminution de la tension de seuil due au champ électrique autour du drain du transistor (*DIBL*), dégradent le courant du transistor à l'état bloqué. Un tel effet étant dû au champ électrique autour du drain, un moyen de le compenser consiste à disposer d'un meilleur contrôle électrostatique du canal et/ou à couper les lignes de champ induites par le drain dans le film de silicium. Ce point explique le besoin d'un second changement structural au sein de la technologie MOS. Celui-ci passe par l'emploi d'un composant disposant de plusieurs grilles placées autour du canal. L'*ITRS* prévoit en effet l'utilisation de tels composants dès 2011 pour atteindre des longueurs de grille inférieures à 40nm. Dans un premier temps, ces composants posséderont deux grilles placées de part et d'autre du canal. Plusieurs possibilités s'offrent alors quant à la disposition des grilles en fonction d'abord du plan dans lequel ces grilles seront contenues, perpendiculaire ou parallèle au substrat, puis de la nécessité de pouvoir contrôler chaque grille séparément l'une de l'autre. A ce stade du manuscrit, il devient nécessaire de préciser la définition des termes employés selon la structure du transistor double grille. Un transistor double grille (« *DGMOS* ») est dit asymétrique (« *ADGMOS* ») lorsqu'au moins une différence existe respectivement entre les épaisseurs d'oxyde, les travaux de sortie ou les dimensions des grilles avant et arrière, ou encore si les grilles sont désalignées. Si aucune de ces différences existe mais que les grilles avant et arrière du transistor sont pilotées indépendamment l'une de l'autre, le transistor *DGMOS* est dit à grilles indépendantes (« *IDGMOS* »). Si aucune des conditions

précédentes n'est remplie, le transistor *DGMOS* est dit symétrique (« *CDGMOS* »).

La technologie servant de support aux travaux présentés dans ce manuscrit est une technologie double grille à grilles planaires (parallèles au substrat), indépendantes et auto-alignées. De plus, la structure et les paramètres physiques du transistor sont supposées symétriques. Cette hypothèse correspond à ce que cherche à réaliser le CEA-Léti dans un premier temps. Dans le futur, la dissymétrie des grilles pourra être une option technologique s'il est démontré que cela améliore le comportement du transistor au sein de certaines applications. Dans ce manuscrit, les transistors double grille seront donc tous soit de type *CDGMOS* lorsque les grilles sont interconnectées, soit de type *IDGMOS* dans le cas contraire. Tout comme son prédécesseur, cette technologie présente plusieurs verrous technologiques qui ne pourront être levés que dans le futur. Néanmoins, les outils de simulations actuels permettent d'appréhender le fonctionnement de ces nouvelles structures et ainsi de débiter leur étude selon une multitude d'axes de recherche.

1.1.2 Technologie du transistor MOS double grille à grilles planaires, déconnectées et auto-alignées

L'intérêt d'une technologie à grilles planaires sur celles qui proposent des grilles verticales (*FinFET*, ...) est qu'elle facilite leur déconnexion l'une de l'autre. En effet, le procédé de fabrication actuel des transistors à grilles verticales permet difficilement de réaliser deux grilles séparées naturellement. Il est donc nécessaire de déconnecter les grilles après leur réalisation en utilisant, par exemple, un procédé mécanique de type *CMP* [Mat05]. D'autres différences, notamment du point de vue électrique, sont données dans l'état de l'art présenté dans ce manuscrit (cf. 2.1). Bien que la technologie à grilles planaires offre la possibilité de déconnecter les grilles, cela reste une option car les meilleures caractéristiques intrinsèques du transistor sont obtenues lorsque les grilles sont interconnectées. D'une part, la deuxième grille est ajoutée afin d'améliorer le contrôle électrostatique du canal en homogénéisant les potentiels dans le film. Déconnecter les grilles a donc toutes les chances de dégrader cette homogénéité et, par conséquent, le contrôle électrostatique du canal. Les fuites de drain sont donc plus élevées et les performances deviennent moins bonnes, notamment en ce qui concerne le fonctionnement des circuits numériques. D'autre part, n'utiliser qu'une seule grille pour le signal utile ne met pas à profit les potentialités du composant en termes de densité de courant. Si l'utilisation de la seconde grille ne s'avère pas intéressante du point de vue de la fonctionnalité, les maxima de courant et de transconductance sont atteints lorsque les deux canaux sont utilisés et cela pour une géométrie donnée. Il est donc plus judicieux dans ce cas de conserver l'interconnexion des grilles. En conclusion, un transistor *CDGMOS* offre un meilleur contrôle du canal et, le cas échéant, une densité de courant et une transconductance plus élevées à dimensions égales que son homologue à grilles déconnectées *IDGMOS*. Néanmoins, le pilotage séparé des grilles laisse un degré de liberté supplémentaire au concepteur et il est toujours intéressant d'en disposer.

La technologie double grille développée au CEA Léti n'est pas seulement innovante du point de vue de l'existence de la double grille, mais également en ce qui concerne les matériaux utilisés dans la fabrication du transistor et les dimensions pouvant être atteintes par la structure :

- longueur électrique minimale de grille de $20nm$
- épaisseur du film de silicium « *fully-depleted* » de $10nm$
- épaisseur équivalente de l'oxyde de grille de $1,5nm$
- matériau de grille à comportement métallique

- oxyde de grille de type « *high-k* »
- source et drain métalliques

Le procédé de fabrication est lui aussi innovant. Les différentes étapes de fabrication sont illustrées sur la figure 1.3.

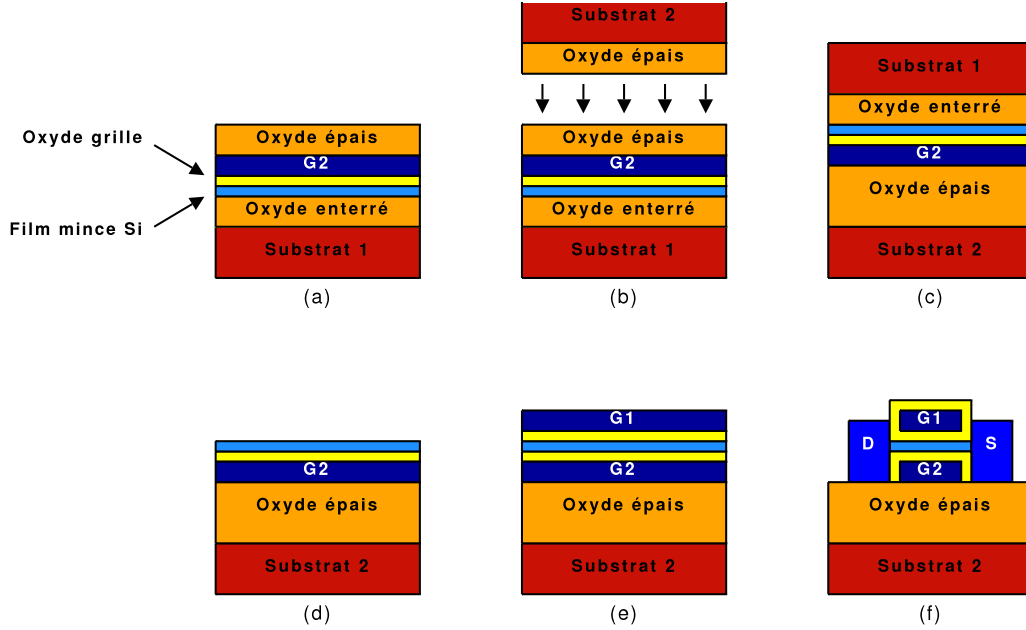


FIG. 1.3 –

Principe de fabrication des transistors *DGMOS* à grilles planaires auto-alignées

A partir d'un wafer *SOI*, le film de silicium, l'oxyde de grille et la grille arrière sont réalisés de façon conventionnelle (a). Un second wafer est ensuite fixé sur le premier par collage moléculaire (b). Ce collage est effectué au niveau des oxydes épais spécialement déposés à cet effet. Ces oxydes serviront également d'isolant entre la grille arrière et le substrat une fois que l'ensemble est retourné (c). Il est à noter que le second wafer peut très bien être à substrat massif. Tout ce qui se trouve au-dessus du film de silicium est ensuite retiré par procédé *CMP* et par voie chimique (d). L'oxyde de grille et la grille avant sont alors déposés (e), et il ne reste plus qu'à graver les grilles avant et arrière en même temps afin d'obtenir des grilles alignées (f). Enfin, les accès de drain et de source sont réalisés avec précaution afin d'assurer un contact optimal avec le film de silicium. La figure 1.4 montre la structure ainsi obtenue afin d'illustrer la disposition des différents contacts tels qu'ils seront approximativement placés sur le layout du composant.

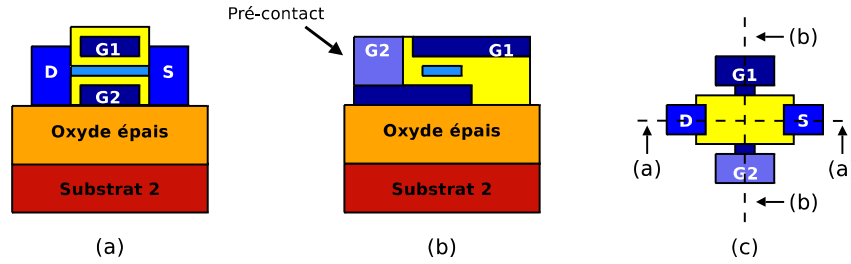


FIG. 1.4 –

Vues schématiques du transistor *DGMOS* à grilles planaires auto-alignées. (a) coupe transverse dans le plan drain-source (b) coupe transverse dans le plan des grilles (c) vue du dessus

Les figures 1.4.b et 1.4.c permettent de mieux comprendre la disposition des accès aux différentes parties du transistor, les accès aux grilles n'apparaissant pas sur la figure 1.4.a. En effet, la figure 1.4.c montre que les accès aux grilles sont placés à angle droit par rapport à ceux du drain et de la source. La figure 1.4.b montre quant à elle la manière approximative dont le film de silicium est quasiment entouré par les grilles, assurant ainsi un bon contrôle électrostatique du canal. Enfin, il a été mentionné auparavant que la déconnexion des grilles restait une option. Dans le cas où les grilles sont interconnectées, l'un des deux contacts de grille disparaît, l'interconnexion entre grilles pouvant être réalisée en interne à la structure.

1.2 Comportement électrique et apports fonctionnels du transistor IDGMOS

1.2.1 Comportement en ce qui concerne les accès de grille

Comme la majorité des structures à double grille (*FinFET*, *Ω FET*, etc...), le transistor *DGMOS* fournit d'une part un meilleur contrôle du champ électrostatique dans le canal qu'une structure *MOS* à substrat massif et, d'autre part, il dispose d'une densité de courant plus élevée. En effet, les simulations numériques de la structure *IDGMOS* montrent que le courant transverse, c'est-à-dire d'une interface à l'autre, soit est négligeable en comparaison avec le courant longitudinale, soit que les électrons qui le composent sont captés par le drain avant d'atteindre l'autre interface [Rey07]. En conclusion, le courant de drain global de l'*IDGMOS* est simplement la somme des deux courants d'interface.

Bien qu'il reste possible de définir les zones d'inversion du canal, à savoir les zones d'inversion faible, modérée et forte, la particularité du transistor *MOS* double grille à grilles planaires repose sur deux aspects technologiques (cf. §1.1). D'une part, il dispose de deux grilles placées en vis-à-vis et d'autre part, celles-ci sont naturellement déconnectées l'une de l'autre. Lorsque les grilles sont polarisées indépendamment l'une de l'autre (*IDGMOS*), leur proximité relative crée un couplage entre les potentiels de surface des interfaces. Il a été montré que ce couplage peut être considéré comme un couplage capacitif [Lim83] et qu'il peut ainsi s'illustrer par le schéma électrique présenté à la figure 1.5.

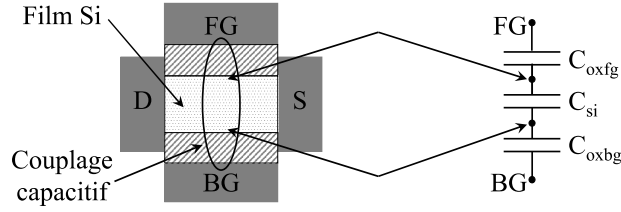


FIG. 1.5 –
Couplage capacitif au sein de la structure *IDGMOS*

Sur la figure 1.5, comme dans tout le reste du manuscrit, les grandeurs indicées «fg» et «bg» font référence respectivement aux grilles avant (« front gate ») et arrière (« back gate ») du transistor *IDGMOS*.

Une conséquence directe de ce couplage intercanal est la modification du potentiel de surface d'une interface en fonction du potentiel appliqué sur la grille de la face opposée. Or tout changement du potentiel de surface se traduit par une modification de la tension de seuil. Lorsque les grilles sont déconnectées l'une de l'autre, il devient alors possible de contrôler la tension de seuil d'une face du transistor à l'aide de la tension de grille de la face opposée.

Un autre phénomène physique entre en jeu dans le comportement de l'*IDGMOS* quant au couplage intercanal. En effet, lorsque le canal de conduction est formé sur l'une des interfaces, l'action du potentiel de grille de cette face sur la tension de seuil de la face opposée disparaît [Rey07]. Ce phénomène correspond à « l'écrantage » du couplage par le canal de conduction. Cependant, cela n'est pas réciproque et le potentiel de grille de la face où le canal n'est pas formé continue d'agir sur la tension de seuil de la face en régime d'inversion forte. Lorsque les deux interfaces sont en régime d'inversion forte, le couplage disparaît totalement et le transistor *IDGMOS* devient équivalent à deux transistors *bulk* placés en parallèle. La tension de seuil relative à chaque interface reste alors constante quels que soient les potentiels appliqués sur les grilles. Ce qu'il est important de retenir ici est que seule une interface en régime d'inversion faible peut influencer l'interface opposée par couplage.

D'autre part, la figure 1.4 montre que le transistor double grille à grilles planaires présente structurellement une symétrie par rapport à ses deux grilles autour du film du silicium. Dans cette partie ainsi que dans toute la suite du manuscrit, la symétrie est également respectée en ce qui concerne les matériaux employés dans la réalisation des deux grilles ainsi que dans leurs caractéristiques physiques. Selon cette hypothèse, qui restera vérifiée dans tous les travaux présentés ici, la symétrie structurelle se retrouve du point de vue électrique. Ceci implique que seul compte l'état d'inversion des interfaces, les phénomènes associés étant les mêmes que la face considérée soit la face avant ou arrière.

La figure 1.6 illustre les variations de la tension de seuil de la face avant en fonction du potentiel appliqué sur la grille arrière. Les potentiels de grille avant sont respectivement de 0,2V et 0,7V.

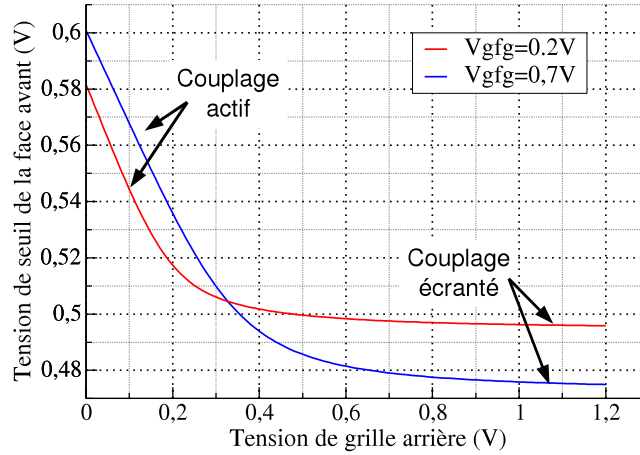


FIG. 1.6 –

Variations de la tension de seuil de la face avant en fonction du potentiel appliqué sur la grille arrière avec $V_{ds} = 1,2V$

Comme le montre cette figure, la variation globale de tension de seuil reste inférieure à $150mV$ pour des potentiels de grille arrière positifs. Cependant, la technologie est destinée à fonctionner sous des tensions d'alimentation faibles elles aussi, de l'ordre du volt. Bien que faible, la variation de tension de seuil reste donc intéressante relativement à la tension maximale qui pourra être appliquée sur les grilles.

Si les grilles sont maintenues connectées l'une à l'autre, le transistor *IDGMOS* est équivalent à deux transistors standard connectés en parallèle. Il offre néanmoins un meilleur contrôle du canal pour des longueurs de grille faibles et sa densité d'intégration est potentiellement plus élevée. En effet, les canaux se trouvent l'un au-dessus de l'autre en profondeur dans le substrat, ce qui permet d'avoir un canal de dimension double tout en conservant une surface identique sur le wafer.

1.2.2 Comparaison fonctionnelle en grilles déconnectées

Afin d'illustrer qualitativement le fonctionnement propre à l'utilisation des deux grilles du transistor *IDGMOS*, cette partie se propose d'analyser l'effet du couplage sur le comportement de l'*IDGMOS* en s'appuyant sur les courbes de la figure 1.6 et cela au travers d'un montage simple, à savoir le montage à source commune. L'étude est réalisée en fixant le potentiel de la grille arrière de l'*IDGMOS* à un niveau constant, le potentiel de grille avant restant libre de varier de part et d'autre du potentiel de la grille arrière. Dans ce montage, la structure *IDGMOS* est comparée à ses homologues *bulk* employant un transistor ou bien deux transistors connectés en parallèle. Les schémas d'étude sont illustrés à la figure 1.7.

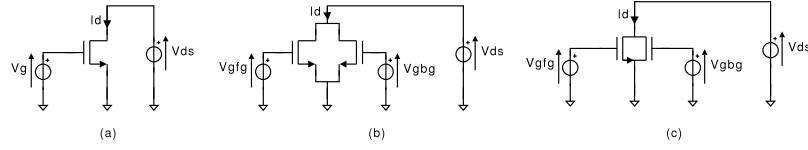


FIG. 1.7 –

Schémas électriques du montage en source commune. (a) transistor standard (b) deux transistors standard en parallèle (c) transistor *IDGMOS*

Dans les schémas de la figure 1.7, tous les transistors sont supposés fonctionner dans leur zone de saturation pour chacun de leurs canaux, l'impact de la tension drain-source étant néanmoins détaillé plus loin dans ce chapitre. Le cas du montage à source commune permet une analyse relativement aisée de l'apport fonctionnel du couplage puisque, les potentiels de grille arrière et de source étant fixés, seules les variations du potentiel de grille avant doivent être prises en compte. Dans un premier temps, il est possible de déterminer la plage de contrôle de l'accès de grille avant sur le courant de drain global. Dans un second temps, la comparaison de la structure *IDGMOS* avec ses homologues *bulk* au travers du montage en source commune permet d'une part, d'expliquer dans quelle mesure la grille arrière peut être utilisée afin de contrôler la tension de seuil de la grille avant et d'autre part, de comprendre quelles sont les différences entre un transistor *IDGMOS* et une structure utilisant deux transistors *bulk* en parallèle.

Le transistor *bulk* (figure 1.7.a) ne dispose que d'un seul accès de contrôle sur le courant. Sa tension de seuil est fixée lors de sa conception et il n'existe pas de moyen conventionnel pour modifier électriquement sa valeur. Lorsque la tension de grille est modifiée, le courant de drain suit simplement ces variations selon la caractéristique $I_d = f(V_g)$ du transistor. En ce qui concerne les structures *bulk* en parallèle et *IDGMOS* (figures 1.7.b et c), elles disposent de deux accès de grille et leur caractéristique d'entrée $I_d = f(V_{gfg})$ relative à la grille avant est composée d'un réseau de courbes, chacune correspondant à une valeur différente du potentiel de grille arrière. Dans le cas de l'*IDGMOS*, les courbes de la figure 1.6 montrent que les variations de la tension de grille d'une interface en fonction du potentiel appliqué sur la grille opposée sont bornées. La tension de seuil des transistors de la structure parallèle est quant à elle fixée. Afin de simplifier l'étude, il est donc possible de ne choisir que deux valeurs pour les potentiels de grille avant et arrière, l'une très inférieure à la tension de seuil de l'interface correspondante, l'autre très supérieure. Les quatre combinaisons possibles sont représentées sur la figure 1.8 pour la structure *IDGMOS*.

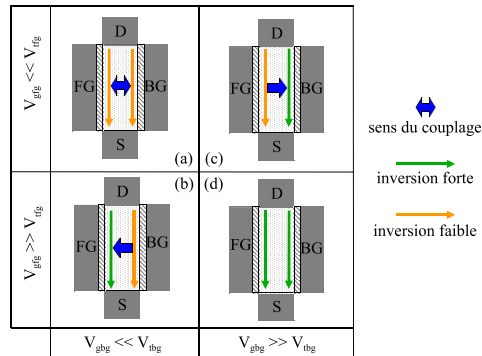


FIG. 1.8 –

Modes de fonctionnement du transistor *IDGMOS* connecté en source commune.

Comme cela a été dit précédemment, seule une interface en inversion faible peut influencer la face opposée par couplage. Dans les trois premiers cas de la figure 1.8, le couplage existe mais il peut être bidirectionnel (figure (a)) ou unidirectionnel (figures (b) et (c)). Le seul cas où le couplage disparaît totalement est représenté par la figure (d). Dans ce cas, le transistor *IDGMOS* est strictement équivalent à deux transistors *bulk* en parallèle dont la tension de seuil est fixée à sa valeur minimale (cf. figure 1.6).

Dans le cas de la structure *bulk* en parallèle, le couplage n'existe pas. La figure 1.8 peut néanmoins être reprise pour cette structure à condition de retirer toutes les flèches relatives au couplage sur les schémas (a), (b) et (c). En considérant non seulement l'existence du couplage mais également le fait qu'un courant de diffusion est négligeable devant un courant de conduction au sein d'un transistor *MOS*, le comportement des structures des figures 1.7.b et c en ce qui concerne leur courant de drain peut être résumé dans un tableau regroupant les quatre combinaisons de tensions de grille avant et arrière :

V_{gfg}	V_{gbg}	Figure correspondante	Couplage	Contributions des courants d'interface au courant de drain global		Courant de l'interface arrière indépendant de la grille avant		Contrôle du courant de drain global par la grille avant	
				MOS bulk en parallèle	IDGMOS	MOS bulk en parallèle	IDGMOS	MOS bulk en parallèle	IDGMOS
$<< V_{tfg}$	$<< V_{tbg}$	(a)	FG $\longleftrightarrow$ BG	FG + BG	FG + BG	oui	non	courant FG	courant FG et BG
$>> V_{tfg}$	$<< V_{tbg}$	(b)	FG $\rightarrow$ BG	FG	FG	oui	oui	courant FG	courant FG
$<< V_{tfg}$	$>> V_{tbg}$	(c)	FG $\leftarrow$ BG	BG	BG	oui	non	inexistant	courant BG
$>> V_{tfg}$	$>> V_{tbg}$	(d)	inexistant	FG + BG	FG + BG	oui	oui	courant FG	courant FG

TAB. 1.1 –

Tableau récapitulatif de la comparaison fonctionnelle

Le tableau 1.1 s'interprète ainsi :

- colonne 4 : l'existence et le sens du couplage au sein de l'*IDGMOS* sont donnés en fonction de l'état d'inversion des interfaces, sachant que seule une interface en inversion faible peut

influencer l'interface opposée par couplage

- colonne 5 et 6 : dans le cas des structures des figures 1.7.(b) et (c), le courant de drain global est la somme des courants d'interface. Lorsque seule une interface est en inversion forte (figures 1.8.b et c), le courant de la face en inversion faible est relativement négligeable en comparaison avec celui de l'interface en inversion forte. L'hypothèse est donc faite ici que, dans ce cas, la contribution des courants d'interface au courant de drain global se résume à celle de l'interface en régime d'inversion forte
- colonne 7 et 8 : au sein de la structure *MOS* en parallèle, le couplage est inexistant et les interfaces sont toujours indépendantes. Dans le cas de l'*IDGMOS*, l'interface arrière est indépendante de la tension de grille avant uniquement lorsque l'interface avant est en inversion forte, soit les cas (b) et (d)
- colonne 9 et 10 : la colonne concernant la structure *MOS* en parallèle est identique à la colonne 4 dans le sens où la grille avant n'a d'impact que sur le courant de face avant. Si bien que lorsque celle-ci est en inversion faible alors que la face arrière est en inversion forte, le courant de drain global est fixé majoritairement par le courant d'interface arrière. La grille avant n'a donc relativement pas d'impact sur le courant de drain global. Dans le cas de l'*IDGMOS*, le couplage est à prendre en compte dès lors que l'interface avant est en inversion faible. La grille avant a donc un impact sur le courant de drain global non seulement lorsque le courant de face avant n'est pas négligeable en comparaison avec celui de la face arrière (cas (a), (b) et (d)), mais également lorsque la face avant est en inversion faible, par couplage avec l'interface arrière (cas (a) et (c)).

Du point de vue du contrôle de la tension de seuil au sein de la structure *IDGMOS*, le tableau 1.1 montre qu'il n'existe qu'un cas où la tension de seuil de l'interface avant peut être fixée de façon stricte par la grille arrière. En effet, cette application nécessite que le courant de l'interface arrière soit indépendant de la tension de grille avant. La colonne correspondante dans le tableau montre que cette condition est respectée pour les combinaisons (b) et (d). Or ce dernier cas n'est pas intéressant puisqu'il est équivalent au comportement de la structure *bulk* en parallèle. Il apparaît donc que pour retrouver l'équivalence stricte entre les schémas des figures 1.7.a et c, il faut que l'interface arrière soit en régime d'inversion faible et la face avant en inversion forte. Les combinaisons (a) et (c) présentent quant à elles le défaut d'avoir la tension de seuil arrière dépendante de la tension de grille avant sans pour autant que le courant de l'interface arrière soit négligeable par rapport à celui de la face avant. Le courant de drain global est alors la somme de deux courants dépendants de la grille avant mais la caractéristique d'entrée $I_d = f(V_{gfg})$ n'est plus strictement celle d'un transistor standard. Cependant, cette équivalence stricte n'est pas toujours nécessaire afin de concevoir des circuits. De plus, certains montages plus complexes que ceux présentés dans ce chapitre utilisent une paire de transistors dans le but de réaliser une fonction. Dans le cas d'un montage symétrique des deux transistors, les effets non désirés sur l'un d'eux se retrouvent sur l'autre et ils peuvent ainsi se compenser.

Concernant la plage de contrôle du courant de drain global par la grille avant, la dernière colonne du tableau 1.1 montre que celle-ci s'étend sur toute la gamme de tensions possibles. Contrairement à son homologue *bulk* en parallèle, le transistor *IDGMOS* dispose du couplage. Ainsi les variations de la grille avant sont transmises au courant de drain global, soit directement lorsque le courant de face avant est équivalent ou prédominant comparativement avec celui de la face arrière (combinaisons (a), (b) et (d)), soit par couplage entre le courant de face arrière et la grille avant via le contrôle de la tension de seuil arrière (combinaison (c)). Ce dernier cas est très intéressant car il intervient alors que la face avant est en régime d'inversion faible. Grâce au transistor *IDGMOS*, il devient possible de contrôler un courant de drain correspondant à une inversion forte du canal de conduction avec une tension grille-source dont la valeur correspond à une inversion faible. En conclusion, le transistor double grille à grilles déconnectées dispose non seulement d'une plage de contrôle du courant couvrant toute la gamme de tensions grille-source entre la masse et la tension d'alimentation, mais il offre également davantage de liberté quant à la polarisation relative des deux accès de grille. Par exemple, il sera plus facile de séparer la polarisation du transistor lui-même de celle de l'étage amenant le signal utile jusqu'à lui.

1.2.3 Comportement en ce qui concerne les accès de drain et de source

Comme le montre l'étude et la modélisation du comportement du transistor *IDGMOS* [Rey07], le couplage intercanal n'est affecté au premier ordre que par les potentiels appliqués sur les grilles du transistor. L'effet de la tension drain-source (V_{ds}) sur le courant de drain de l'*IDGMOS* est donc similaire à celui existant au sein d'une structure à substrat massif. De la même façon que pour ce dernier type de transistor, il est possible de définir les zones ohmique et saturée du transistor pour chacune des interfaces de l'*IDGMOS*. Cependant, le couplage intercanal n'est pas tout à fait indépendant de la tension drain-source de l'*IDGMOS*. La figure 1.9 illustre les différents cas possibles et l'intensité du couplage selon la polarisation du transistor en ce qui concerne sa tension drain-source.

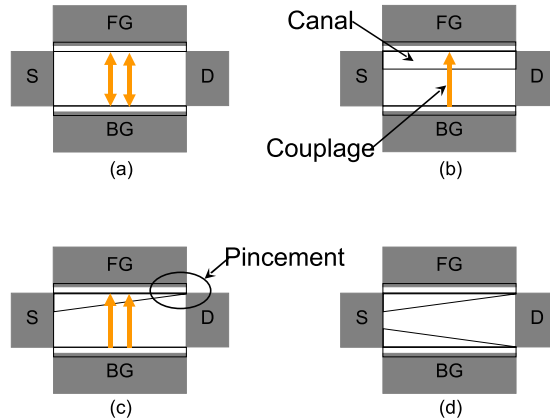


FIG. 1.9 –

Représentations schématiques du couplage selon la polarisation du transistor. (a) faces en inversion faible (b) face avant en inversion forte, zone ohmique (c) face avant en inversion forte, zone saturée, (d) faces en inversion forte, zone saturée

Comme cela a été dit précédemment, le transistor *IDGMOS* est symétrique par rapport à ses deux grilles. Selon cette hypothèse, il n'existe que quatre cas possibles en ce qui concerne les variations du couplage en fonction de la tension V_{ds} appliquée :

- (a) : le canal n'est pas formé. Au premier ordre, la tension V_{ds} n'affecte pas le couplage. Celui-ci est maximum et bidirectionnel
- (b) : le canal est formé seulement sur l'une des interfaces et la tension V_{ds} est telle que cette interface se trouve dans sa zone ohmique. Dans ce cas, le couplage est écranté. Il n'existe que dans un sens, de la face en inversion faible vers celle en inversion forte
- (c) : le canal est formé seulement sur l'une des interfaces et la tension V_{ds} est telle que cette interface se trouve dans sa zone saturée. Sous ces conditions, le canal est pincé au niveau du drain. Puisque l'épaisseur du canal diminue en se rapprochant du drain, l'écrantage du couplage par le canal diminue localement et le couplage augmente dans cette zone
- (d) : les deux interfaces sont en inversion forte. Dans ce cas, l'écrantage reste prédominant quels que soient la tension V_{ds} appliquée et le régime de fonctionnement des interfaces, ohmique ou saturé. Le couplage est alors inexistant. Seul le cas où les deux interfaces sont saturées est représenté dans le schéma de la figure 1.9.d mais ces commentaires demeurent valables dans le cas où les deux canaux sont formés mais seule l'une des interfaces est en régime saturé, l'autre étant dans sa zone ohmique.

1.3 Modélisation du transistor *IDGMOS*

La modélisation analytique du transistor *MOS* double grille à grilles indépendantes est l'objet des travaux de thèse présentés dans [Rey07]. Cette modélisation a pour but d'élaborer un jeu d'équations décrivant le comportement électrique de l'*IDGMOS* et pouvant être intégré au sein d'un simulateur électrique. En ce qui concerne la modélisation du transistor *IDGMOS*, plusieurs approches existent : la modélisation implicite en potentiel de surface [Tau01], la modélisation explicite de charge [Rey07], la modélisation explicite en tension de seuil [Rey07][Rey05], etc.. Depuis les premiers modèles tels que ceux présentés dans [Lim83], puis dans [Kim04], d'autres approches sont apparues afin de modéliser le transistor de façon plus complète (modèles BSIM5 [Xi04], EKV [Roy05]). Le modèle implicite [Tau01] repose quant à lui sur la résolution itérative d'équations pour chacun des paramètres du transistor. Il en résulte donc un modèle très précis, continu, valide quel que soit le régime de fonctionnement du transistor. Néanmoins, les méthodes de résolution itératives sont très lourdes en ce qui concerne le temps de calcul pour résoudre les équations. Il s'ensuit que ce type de modélisation est lent, surtout lorsque les grilles sont déconnectées l'une de l'autre et que plusieurs transistors sont simulés en même temps [Rey07]. Les modèles explicites de charge et en tension de seuil pour l'*IDGMOS* ont été développés dans [Rey07][Rey05] selon des approches différentes et/ou des hypothèses différentes, sachant néanmoins que ces travaux se basent principalement sur l'approche du modèle implicite en potentiel de surface [Tau01], celui-ci donnant jusqu'à maintenant les meilleurs résultats sous différents aspects (cf. tableau I-2 dans [Rey07]). Cependant, le modèle de charge a été abandonné suite aux problèmes de raccord et de continuité des dérivées rencontrés lors de la modélisation. Celle

choisie ici repose donc sur une modélisation explicite en tension de seuil du transistor. Ce choix a été fait pour différentes raisons [Rey07] :

- le modèle permet de décrire tous les régimes de fonctionnement de l'*IDGMOS*
- il est physique, prédictif, explicite et ainsi plus facilement exploitable par les concepteurs
- les équations étant explicites, les calculs sont plus rapides et le modèle permet donc de simuler des circuits comprenant plusieurs dizaines de transistors
- le raccordement des équations d'un régime de fonctionnement à l'autre est relativement simple et il garantit la continuité des dérivées
- son développement a été plus rapide grâce au savoir et à l'expérience des ingénieurs et chercheurs du CEA-Léti dans la modélisation en tension de seuil.

Cependant, la modélisation en tension de seuil ne peut être réalisée de façon continue si bien que la description est faite séparément pour chaque zone de fonctionnement. Les équations ainsi établies sont ensuite raccordées à l'aide de fonctions mathématiques appropriées. Il en résulte donc un modèle moins précis que celui établi à partir de la modélisation implicite en potentiel de surface. C'est là son défaut majeur mais celui-ci n'a pas été jugé comme étant un verrou en comparaison avec les avantages qu'il présente.

Le modèle en tension de seuil a été intégré au sein d'un simulateur électrique en utilisant un langage de description comportemental. Toutes les courbes et les résultats de simulation présentés dans ce manuscrit sont issus de l'utilisation de transistors dont le comportement est décrit par ce modèle, les paramètres de ce dernier ayant été ajustés afin de correspondre avec les simulations numériques de la structure *IDGMOS*.

1.3.1 Principe de la modélisation

Le principe de modélisation consiste notamment à chercher l'expression de la tension de seuil relative à chaque interface en fonction des potentiels appliqués sur les deux grilles du transistor. Cela sera donc effectué en prenant en compte l'effet de couplage d'interface dans tous les états d'inversion possibles. Une fois que les tensions de seuils sont déterminées, il devient possible d'exprimer la charge d'inversion des interfaces. Une dernière étape consiste à trouver l'expression du courant dans chaque interface en fonction de la charge d'inversion correspondante. Ces trois étapes doivent être réalisées en fonction de l'état d'inversion des interfaces. Puisque l'*IDGMOS* planaire est symétrique, seules trois zones de fonctionnement sont à distinguer en fonction des potentiels de grille :

- les deux interfaces sont en régime d'inversion faible
- seule une interface est en régime d'inversion forte
- les deux interfaces sont en régime d'inversion forte

Les équations présentées par la suite sont relatives à la grille avant de l'*IDGMOS*. Le modèle étant symétrique, celles concernant la grille arrière sont les mêmes à condition de permuter les indices relatifs à la grille avant («fg») par ceux de la grille arrière («bg») et inversement. Il est à noter que du point de vue de la modélisation, un transistor double grille asymétrique n'est qu'un cas particulier du transistor à grilles indépendantes [Rey07].

1.3.1.1 Tensions de seuil

Contrairement au modèle du transistor *bulk*, les tensions de seuil de l'*IDGMOS* relatives à chaque interface dépendent du potentiel de grille appliqué sur l'interface opposée dès lors que le couplage est actif. Sur une certaine plage de tension de grille, cette dépendance peut être modélisée au premier ordre par une simple variation linéaire de la tension de seuil d'une interface en fonction du potentiel appliqué sur la grille de l'interface opposée. Dans ce cas, la tension de seuil de l'interface s'écrit sous la forme :

$$V_{tfg} = V_{tfg,0} - (n_{fg} - 1) \cdot V_{gbg,p} \quad (1.1)$$

avec :

$$V_{gbg,p} = V_{gbg} - \Delta\Phi_{mi} \quad (1.2)$$

$V_{tfg,0}$ étant, au premier ordre, une constante, $\Delta\Phi_{mi}$ représentant la différence des travaux de sortie entre la grille et le silicium, et V_{gbg} étant la tension grille-source appliquée sur la face arrière. La différence des travaux de sortie entre la grille et le silicium rentre habituellement dans le calcul de la tension de bande plate V_{fb} rencontrée dans la description standard du transistor *MOS*. La grandeur $V_{gbg,p}$ représente donc la tension grille-source effective sur l'interface arrière une fois que les travaux de sortie ont été retirés de la tension appliquée de l'extérieur du transistor. Le terme n_{fg} est appelé coefficient de couplage des interfaces. Il est montré que le couplage d'interface au sein d'un transistor *IDGMOS* est de type capacitif [Rey07][Lim83]. Bien que cela ne représente pas une démonstration, l'expression du coefficient de couplage peut se retrouver en calculant le rapport entre les tensions $V_{gfg} - V_{gbg}$ et V_1 sur le schéma de la figure 1.10.

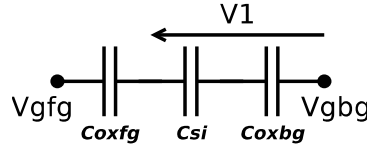


FIG. 1.10 –
Calcul du coefficient de couplage au sein de la structure *IDGMOS*

Dans le schéma de cette figure, C_{oxfg} , C_{oxbg} et C_{si} représentent respectivement la capacité équivalente de grille avant, celle de la grille arrière et la capacité du film de silicium. L'expression du coefficient de couplage est alors estimée par simple division capacitive :

$$n_{fg} = \frac{V_{gfg} - V_{gbg}}{V_1} = 1 + \frac{1}{C_{oxfg}} \cdot \frac{C_{oxbg} \cdot C_{si}}{C_{oxbg} + C_{si}} \quad (1.3)$$

L'équation 1.1 montre que la tension de seuil d'une interface diminue lorsque le potentiel appliqué sur la grille de l'interface opposée augmente. Il existe néanmoins une limite à cette diminution. Celle-ci correspond à l'apparition du canal sur l'interface où est appliqué le potentiel croissant. Dès lors, l'impact de ce potentiel sur la tension de seuil disparaît mais cette disparition n'est pas réciproque. En effet, le potentiel appliqué sur la grille de l'interface en inversion faible dispose toujours du contrôle sur la tension de seuil de l'interface en inversion forte. Lorsque le

couplage disparaît pour les deux interfaces, les équations deviennent semblables à celles décrivant le transistor *bulk*. Le couplage est alors dit « *écranté* » par le canal. Il est à noter que le couplage diminue dès lors que l'un ou l'autre des canaux devient passant. Néanmoins, le pincement du canal, apparaissant lorsque le transistor est saturé, permet de maintenir un couplage intercanal important dans le cas où seule une interface est en régime d'inversion forte. L'impact de la tension drain-source du transistor est prise en compte dans le modèle en corrigeant, entre autres, la valeur effective des facteurs de couplage n_{fg} et n_{bg} en fonction de la tension drain-source appliquée à l'*IDGMOS*.

1.3.1.2 Courant de drain des interfaces

Le courant d'interface s'exprime en fonction de l'intégrale de la charge d'inversion [Rey07]. Cette intégrale diffère néanmoins en fonction du régime d'inversion respectif des interfaces. Lorsque celles-ci sont toutes deux en inversion faible, l'expression du courant de drain est celle rencontrée habituellement pour un transistor *bulk*. Lorsque seule l'une des interfaces rentre en régime d'inversion forte, l'expression standard du courant de drain n'est plus valable. La charge due au couplage rentre en jeu et une hypothèse simplificatrice est nécessaire afin de déterminer une expression simple du courant de drain en fonction de la charge d'inversion. Enfin, lorsque les deux interfaces sont en régime d'inversion forte, le couplage disparaît et l'expression de chaque courant d'interface est équivalente à celle du courant de drain d'un transistor *bulk* lui-même en régime d'inversion forte.

1.3.2 Expressions des tensions de seuil et des courants d'interface en fonction du régime d'inversion

Comme cela a été dit précédemment, la modélisation en tension de seuil de l'*IDGMOS* fournit des équations propres à chaque régime de fonctionnement du transistor. Afin de faciliter la compréhension de ce modèle, les chapitres suivants présentent ces équations selon le même découpage. D'autre part, un transistor est souvent employé au sein d'un circuit analogique avec une longueur supérieure à la valeur minimale tolérée par la technologie. Il présente alors de meilleures performances en terme notamment de résistance drain-source. De plus, utiliser un transistor de longueur minimale fait apparaître certains effets dit de « canaux courts » si cette longueur devient de l'ordre de quelques dizaines de nanomètres. Bien que certains effets de « canaux courts » aient été introduits dans le modèle présenté dans [Rey07], les équations suivantes sont simplifiées afin de ne tenir compte que du comportement d'un transistor à canal long. Enfin, ce chapitre n'a pas vocation à reprendre les travaux présentés dans [Rey07] dans leur intégralité. Il ne cherche qu'à illustrer la façon dont le transistor *IDGMOS* a été modélisé et il ne présente donc que les termes principaux rentrant en compte dans cette modélisation. Seules les équations finales sont reprises ici et mises en forme afin d'apporter une certaine cohérence avec les notations de ce manuscrit. Les termes correctifs inclus dans le modèle final utilisé dans le simulateur ne sont pas pris en compte tant que leur impact reste négligeable devant les grandeurs principales du modèle. Les équations détaillées sont néanmoins reprises en annexe de ce manuscrit (cf. 3.5). Les équations étant symétriques pour l'une et l'autre interface, seules celles décrivant le comportement électrique de l'interface avant sont décrites.

1.3.2.1 Les deux interfaces sont en régime d'inversion faible

La modélisation physique a permis de déterminer l'expression de la tension de seuil équivalente V_{tfg} . Celle-ci est donnée par l'équation 1.4 :

$$V_{tfg} = V_{tfg,0} - (n_{fg} - 1) \cdot V_{gbg,p} \quad (1.4)$$

avec $V_{gbg,p}$ définie dans 1.2 et :

$$V_{tfg,0} = n_{fg} \cdot u_t \cdot \ln \left(\frac{2 \cdot n_{fg} \cdot C_{oxfg} \cdot u_t}{q \cdot n_i \cdot T_{si}} \right) - n_{fg} \cdot u_t \cdot \ln(fV_{th}) \quad (1.5)$$

Dans cette expression, u_t est la tension thermodynamique, q la charge électronique, n_i le dopage intrinsèque du film de silicium et T_{si} son épaisseur. La grandeur fV_{th} est une fonction dépendante de la différence entre les potentiels appliqués sur chacune des grilles. La fonction fV_{th} s'écrit :

$$fV_{th} = \frac{\tanh \left(\left| \frac{C_{eq}}{C_{si}} \cdot \frac{V_{gfg,p} - V_{gbg,p}}{2u_t} \right| \right)}{\left| \frac{C_{eq}}{C_{si}} \cdot \frac{V_{gfg,p} - V_{gbg,p}}{2u_t} \right|} \quad (1.6)$$

avec :

$$C_{eq} = \frac{1}{\frac{1}{C_{oxfg}} + \frac{1}{C_{oxbg}} + \frac{1}{C_{si}}} \quad (1.7)$$

Lorsque les deux interfaces sont en régime d'inversion faible, les travaux présentés dans [Rey07] permettent de montrer que le courant de l'interface avant s'exprime par :

$$I_{dfg} = \beta_{fg} \cdot C_{oxfg} \cdot n_{fg} \cdot u_t^2 \cdot \left(\exp \left(\frac{V_{gfg,p} - V_{tfg}}{n_{fg} \cdot u_t} \right) - \exp \left(\frac{V_{gfg,p} - V_{tfg} - n_{fg} \cdot V_{dseff,fg}}{n_{fg} \cdot u_t} \right) \right) \quad (1.8)$$

avec :

$$\beta_{fg} = \frac{W_{fg}}{L_{fg}} \cdot \mu_{n,fg} \quad (1.9)$$

La grandeur $V_{dseff,fg}$ (« *eff* » pour « *effective* ») est égale à V_{ds} quand celle-ci est faible et sature à la tension $V_{dsat,fg}$ (définition identique au modèle BSIM). La loi courant-tensions associée à une interface est donc bien semblable à celle relative à un transistor *bulk* à laquelle il faut néanmoins ajouter l'effet du couplage.

1.3.2.2 Au moins l'une des interfaces est en régime d'inversion forte

Dans ce régime de fonctionnement, seule la forme de l'équation 1.4 reste valable. En effet, lorsque l'interface avant est en régime d'inversion forte, sa tension de seuil est :

$$V_{tfg} = V_{tfg,0} - (n_{fg} - 1) \cdot V_{geff,bg} \quad (1.10)$$

Dans cette équation, les termes $V_{tfg,0}$ et n_{fg} conservent l'expression mentionnée auparavant (cf. équations 1.3 et 1.5). L'équation 1.10 ressemble beaucoup à celle obtenue lorsque les deux interfaces sont en régime d'inversion faible 1.4. Néanmoins, la grandeur $V_{geff,bg}$ remplace le terme $V_{gbg,p}$ de l'équation afin de tenir compte de l'état d'inversion de la face arrière. Si celle-ci est en

inversion faible, $V_{geff,bg}$ est alors égale à la tension $V_{gbg,p}$ de l'équation 1.4. Si l'interface arrière est en inversion forte, le couplage cesse dans le sens de la face arrière vers la face avant. La grandeur $V_{geff,bg}$ est alors égale à une constante telle que :

$$V_{geff,bg} = u_t \cdot \ln \left(\frac{2 \cdot n_{bg} \cdot C_{oxbg} \cdot u_t}{q \cdot n_i \cdot T_{si}} + \frac{n_{bg} - 1}{n_{bg}} \cdot \Delta V_{th} - \Delta V_{thlim} \right) \quad (1.11)$$

où ΔV_{th} et ΔV_{thlim} sont deux constantes dépendantes des caractéristiques physiques du transistor. L'équation 1.10 montre que l'existence ou non du couplage est prise en compte dans l'expression de la tension de seuil au travers du potentiel effectif $V_{geff,bg}$ relatif à la grille arrière. En ce qui concerne le courant d'interface, c'est l'expression même de celui-ci en fonction de la charge d'inversion qui diffère selon l'état d'inversion de la face arrière. Il est néanmoins possible de prendre en compte l'état d'inversion de l'interface arrière en introduisant un terme correctif à la valeur de la tension de contrôle effective du courant d'interface. En nommant ce terme correctif $V_{off,fg}$ pour la face avant (« *off* » pour « *offset* »), l'expression de la tension de contrôle effective s'écrit :

$$V_{gtfg} = V_{gfg,p} - V_{tfg} - V_{off,fg} + u_{teff,fg} \quad (1.12)$$

avec :

$$u_{teff,fg} = u_t \cdot \frac{V_{dseff,fg}}{V_{dsat,fg}} \quad (1.13)$$

et $V_{dseff,fg}$ est égale à V_{ds} quand celle-ci est faible et sature à la tension $V_{dsat,fg}$. L'expression du courant d'interface est alors :

$$I_{dfg} = \beta_{fg} \cdot C_{oxfg} \cdot V_{gtfg} \cdot \left(1 - n_{eff,fg} \cdot \frac{V_{dseff,fg}}{2 \cdot (V_{gtfg} + 2 \cdot u_t)} \right) \cdot V_{dseff,fg} \quad (1.14)$$

avec :

$$\beta_{fg} = \frac{W_{fg}}{L_{fg}} \cdot \mu_{n,fg} \quad (1.15)$$

L'équation 1.14 s'apparente à l'expression du courant de drain d'un transistor *bulk* en régime d'inversion forte. Néanmoins, l'effet du couplage est introduit au travers d'une part, du terme correctif de la tension de contrôle V_{gtfg} et, d'autre part, au niveau du facteur de couplage effectif $n_{eff,fg}$. En effet, la valeur de ce paramètre est égale à celle du facteur de couplage n_{fg} si la face arrière est en régime d'inversion faible et elle est égale à 1 lorsque cette dernière est en régime d'inversion forte. De même, tous les paramètres tendent vers les grandeurs standards décrivant le modèle du transistor *bulk* lorsque le couplage disparaît. Dans ce mode de fonctionnement, le courant de drain de l'*IDGMOS* devient équivalent à celui d'un transistor à substrat massif.

1.4 Modèle « petits signaux » du transistor IDGMOS

En conception analogique, il est important de disposer des expressions décrivant les transconductances aux variations « *petits signaux* » des transistors. Ces expressions servent, par exemple, à estimer la valeur du gain d'un étage amplificateur en fonction des différents paramètres du circuit. Néanmoins, une expression complète des transconductances ne permet pas d'aboutir à une

évaluation simple et rapide. Il est donc plus avantageux de disposer d'expressions simplifiées afin de déterminer une estimation « au premier ordre » de la grandeur recherchée.

Dans un premier temps, les équations du modèle présentées au chapitre 1.3 sont reprises et simplifiées à l'aide d'approximations. Dans un second temps, les équations simplifiées sont dérivées afin d'extraire les transconductances « *petits signaux* » relatives au transistor IDGMOS uniquement lorsque celui-ci est saturé. Cependant, la méthode de dérivation des équations pourrait être reprise dans le cas où le transistor est polarisé dans sa zone ohmique. Dans un souci de concision et de clarté, seuls les développements mathématiques majeurs sont donnés dans ce chapitre. De plus, ce chapitre étant principalement descriptif quant au transistor IDGMOS et à son fonctionnement, seule la méthode de simplification des équations est présentée ici. Cependant, les équations ainsi établies seront reprises et analysées du point de vue de la conception analogique dans le chapitre 2.

Il est à noter que les expressions recherchées en ce qui concernent les transconductances ne sont que des approximations. Si les erreurs introduites par les simplifications successives demeurent relativement faibles, ces expressions peuvent être effectivement utilisées afin, par exemple, de trouver une valeur approchée des dimensions optimales des transistors préalablement à leur intégration dans environnement de simulation. Dans le cas contraire, les expressions approchées sont au mieux utilisées d'un point de vue qualitatif afin d'expliquer le fonctionnement global d'un circuit. Dans tous les cas, la référence demeure le modèle complet. Pour cette raison, les résultats de simulation présentés dans la suite du manuscrit feront le plus souvent référence à ce modèle. Dans le cas contraire, les conditions de simulations seront précisées explicitement

1.4.1 Simplification des équations

1.4.1.1 Valeurs numériques des paramètres électriques du modèle

Plusieurs approximations sur le modèle s'appuient sur le fait que certains termes peuvent être négligés devant d'autres. Afin de pouvoir effectuer ces calculs, le tableau 1.2 donne la valeur des paramètres les plus fréquemment utilisés dans le modèle.

Grandeur	abréviation	valeur	unité
Mobilité des électrons	μ_n	$250e - 4$	$cm^2/(V.s)$
Permittivité de l'oxyde de grille	ϵ_{ox}	$3,45e - 11$	F/m
Épaisseur équivalente de l'oxyde de grille	T_{ox}	1,20	nm
Permittivité du film de silicium	ϵ_{si}	$1,03e - 10$	F/m
Épaisseur équivalente du film de silicium	T_{si}	10,0	nm
Travaux d'extraction de l'oxyde de grille	$\Delta\Phi_{mi}$	-96,0	mV
Champ de saturation des porteurs	$ESAT$	$0.77e7$	V/m
Tension thermodynamique	u_t	25,7	mV
Capacité surfacique de l'oxyde de grille	C_{ox}	$28,8e - 3$	F/m^2
Capacité surfacique du film de silicium	C_{si}	$10,4e - 3$	F/m^2
Capacité équivalente	C_{eq}	$6,04e - 3$	F/m^2
Coefficient de couplage	n_{eff}	1,26	-

TAB. 1.2 –
Valeurs numériques des paramètres électriques du modèle

1.4.1.2 Les deux interfaces sont en régime d'inversion faible

La relation entre les tensions de seuil et grille-source relatives à l'interface avant donnée par l'équation 1.4 est en elle-même suffisamment affine pour ne pas nécessiter davantage de simplifications. Néanmoins, la grandeur fV_{th} apparaissant dans la définition de $V_{tfg,0}$ varie quelque peu avec la différence de potentiels entre les deux grilles. Une application numérique des grandeurs mises en jeu permet de juger de l'importance de la tension fV_{th} dans l'expression de la tension de seuil. Puisque les deux interfaces sont en régime d'inversion faible, l'écart maximum entre les potentiels appliqués sur les grilles est d'environ 0,4V. Les extrema de la fonction dépendant de fV_{th} dans l'équation 1.5 sont alors :

$$-49mV \leq n_{fg} \cdot u_t \cdot \ln(fV_{th}) \leq 0 \quad (1.16)$$

La valeur de la partie constante de $V_{tfg,0}$ dans l'équation 1.5 étant de 591mV, une erreur inférieure à 10% est faite si l'on considère la fonction fV_{th} constante et égale à 1. L'erreur minimum est obtenue lorsque les deux potentiels de grille sont égaux. En conservant la forme ainsi obtenue pour $V_{tfg,0}$, l'expression de la tension de seuil 1.4 et celle du courant 1.8 ne nécessite pas davantage de simplifications.

Expression du courant de drain lorsque le transistor est en régime saturé :

En considérant le transistor polarisé en régime saturé et l'expression de la tension de saturation :

$$V_{dsat,fg} = \frac{2 \cdot u_t}{n_{fg}} \quad (1.17)$$

l'équation 1.8 donnant le courant de drain de l'interface avant s'écrit :

$$I_{dfg} = \beta_{fg} \cdot C_{oxfg} \cdot n_{fg} \cdot u_t^2 \left(\exp\left(\frac{V_{gfg,p} + (n_{fg} - 1)V_{gbg,p} - V_{tfg,0}}{n_{fg} \cdot u_t}\right) - \exp\left(\frac{V_{gfg,p} + (n_{fg} - 1)V_{gbg,p} - V_{tfg,0} - 2u_t}{n_{fg} \cdot u_t}\right) \right) \quad (1.18)$$

1.4.1.3 Une seule interface est en régime d'inversion forte

Lorsque seule la face avant se trouve dans le régime d'inversion forte, le courant traversant la face arrière peut alors être négligé par rapport à celui de l'interface avant. Néanmoins, le potentiel appliqué sur la grille de la face arrière conserve son contrôle sur la tension de seuil de l'interface avant. Il est donc nécessaire de simplifier au préalable l'expression de la tension de contrôle effective du courant de canal avant. Cette expression, donnée par l'équation 1.12 fait apparaître elle-même plusieurs termes. Dans un premier temps, l'équation 1.10 permet d'exprimer la tension de seuil relative à l'interface avant lorsque la face arrière est en inversion faible :

$$V_{tfg} = V_{tfg,0} - (n_{fg} - 1) \cdot V_{gbg,p} \quad (1.19)$$

De la même façon que dans le chapitre précédent, le terme incluant la tension fV_{th} dans l'expression de $V_{tfg,0}$ peut être supposé constant. La valeur du terme correctif $V_{off,fg}$ ne peut quant à elle être approchée par une constante. La simplification de son expression, donnée par l'équation 38 de l'annexe 3.5, passe par celle des différentes grandeurs rentrant dans la définition de $V_{off,fg}$. Dans un premier temps, il est possible de remplacer l'expression du champ de couplage E_c (équation 32 de l'annexe 3.5) dans l'équation de V_{cfg} (équation 33 de l'annexe 3.5). L'expression de V_{cfg} devient alors :

$$V_{cfg} = \frac{\epsilon_{si}}{C_{oxfg}} \cdot E_c = \frac{C_{eq}}{C_{oxfg}} \cdot ((V_{gfg,p} - V_{gtfg,0}) - (V_{gbg,p} - V_{gtbg,0})) \quad (1.20)$$

En prenant $V_{gfg,p} \gg V_{tfg}$ et $V_{gbg,p} \ll V_{tbg}$, les tensions $V_{gtfg,0}$ et $V_{gtbg,0}$, données dans les équations 30 et 31 de l'annexe 3.5 peuvent se simplifier et s'écrire :

$$V_{gtfg,0} = u_t \cdot n_{fg} \cdot \ln \left(1 + \exp \left(\frac{V_{gfg,p} - V_{tfg}}{u_t \cdot n_{fg}} \right) \right) \approx V_{gfg,p} - V_{tfg} \quad (1.21)$$

$$V_{gtbg,0} = u_t \cdot n_{bg} \cdot \ln \left(1 + \exp \left(\frac{V_{gbg,p} - V_{tbg}}{u_t \cdot n_{bg}} \right) \right) \approx 0 \quad (1.22)$$

L'équation 1.20 s'écrit donc :

$$V_{cfg} = \frac{C_{eq}}{C_{oxfg}} \cdot (V_{tfg} - V_{gbg,p}) \quad (1.23)$$

La tension V_{cfg} est supposée positive puisque la tension grille-source relative à la face arrière est faible comparativement avec la tension de seuil. La tension d'offset $V_{off,fg}$ décrite par l'équation 38 de l'annexe 3.5 se simplifie en prenant $V_{gtfg,0} \cdot V_{gtfg,0_2vcfg} \gg 2 \cdot u_t \cdot V_{gt10,vc1}$ et devient :

$$V_{off,fg} = u_t \cdot \ln(a_{fg}) + V_{cfg} - V_{tfg} \quad (1.24)$$

La simplification de la grandeur $\ln(a_{fg})$ passe par deux linéarisations successives. D'une part, une linéarisation en $+\infty$, et d'autre part, une linéarisation à $V_{gfg,p} = V_1 + x$, $x \rightarrow 0$. Il est à noter que ces simplifications engendrent un décalage en tension car la valeur de $\ln(a_{fg})$ prise en $V_{gfg,p} = V_1$, $V_{tfg} < V_1 < 1,2V$, n'est pas égale à sa valeur en $+\infty$. Néanmoins, seule une approximation en $V_1 + x$, $x \rightarrow 0$ permet de linéariser simplement le logarithme de la fonction a_{fg} . L'expression de a_{fg} donnée par l'équation 37 permet d'écrire :

$$\ln(a_{fg}) = \ln \left(\frac{C_{oxfg}^2 \cdot V_0^2}{2 \cdot q \cdot n_i \cdot \epsilon_{si} \cdot u_t} \right) + \ln \left(\frac{V_{gtfg,0_2vcfg}}{V_0} \right) + \ln \left(\frac{V_{gtfg,0}}{V_0} \right) \quad (1.25)$$

La tension $V_0 > 0$ est ajouté dans l'expression 1.25 afin de garder l'homogénéité de l'argument des fonctions logarithmes. En prenant $V_{gfg,p} \gg V_{tfg} \gg V_{tfg} - 2V_{cfg} > 0$, l'expression de $V_{gtfg,0_2vcfg}$ de l'annexe 3.5 (équation 35) donne :

$$\ln \left(\frac{V_{gtfg,0_2vcfg}}{V_0} \right) = \ln \left(\frac{V_{gfg,p} - V_{tfg} + 2V_{cfg}}{V_0} \right) \quad (1.26)$$

où V_{cfg} est donné par 1.23. Les équation 1.21 et 1.26 permettent alors d'écrire :

$$\ln(a_{fg}) = \ln\left(\frac{C_{oxfg}^2 \cdot V_0^2}{2 \cdot q \cdot n_i \cdot \epsilon_{si} \cdot u_t}\right) + \ln\left(\frac{V_{gfg,p} - V_{tfg} + 2V_{cfg}}{V_0}\right) + \ln\left(\frac{V_{gfg,p} - V_{tfg}}{V_0}\right) \quad (1.27)$$

Soit en mettant $\frac{V_{gfg,p}}{V_0}$ en facteur des arguments des logarithmes :

$$\ln(a_{fg}) = \ln\left(\frac{C_{oxfg}^2 \cdot V_0^2}{2 \cdot q \cdot n_i \cdot \epsilon_{si} \cdot u_t}\right) + 2 \cdot \ln\left(\frac{V_{gfg,p}}{V_0}\right) + \ln\left(1 - \frac{V_{tfg} - 2V_{cfg}}{V_{gfg,p}}\right) + \ln\left(1 - \frac{V_{tfg}}{V_{gfg,p}}\right) \quad (1.28)$$

La première linéarisation consiste à prendre $V_{gfg,p} \gg V_{tfg} \gg V_{tfg} - 2V_{cfg} > 0$. Il vient alors :

$$\ln(a_{fg}) \approx \ln\left(\frac{C_{oxfg}^2 \cdot V_0^2}{2 \cdot q \cdot n_i \cdot \epsilon_{si} \cdot u_t}\right) + 2 \cdot \ln\left(\frac{V_{gfg,p}}{V_0}\right) - 2 \cdot \frac{V_{tfg} - V_{cfg}}{V_{gfg,p}} \quad (1.29)$$

Ensuite, un calcul au premier ordre à partir de l'équation 1.29, en remplaçant $V_{gfg,p}$ par $V_{gfg,p} = V_1 + x$, $x \rightarrow 0$ et $V_{tfg} < V_1 < 1,2V$ (face avant en inversion forte), permet d'écrire :

$$\ln(a_{fg}) \approx \ln\left(\frac{C_{oxfg}^2 \cdot V_0^2}{2 \cdot q \cdot n_i \cdot \epsilon_{si} \cdot u_t}\right) + 2 \ln\left(\frac{V_1}{V_0}\right) + \frac{2}{V_1} \left[\left(1 + \frac{V_{tfg} - V_{cfg}}{V_1}\right) V_{gfg,p} - 2(V_{tfg} - V_{cfg}) - V_1 \right] \quad (1.30)$$

En remplaçant $\ln(a_{fg})$ dans l'expression de $V_{off,fg}$ (équation 1.24), celle-ci s'écrit alors :

$$V_{off,fg} = u_t \left[\ln\left(\frac{C_{oxfg}^2 \cdot V_1^2}{2 \cdot q \cdot n_i \cdot \epsilon_{si} \cdot u_t}\right) + \frac{2}{V_1} \left(1 + \frac{V_{tfg} - V_{cfg}}{V_1}\right) V_{gfg,p} - \frac{4}{V_1} (V_{tfg} - V_{cfg}) - 2 \right] + V_{cfg} - V_{tfg} \quad (1.31)$$

En substituant les expression de V_{tfg} et V_{cfg} dans 1.31, il devient alors possible de regrouper les termes constants par rapport à leurs variables multiplicatives et éventuellement d'en négliger certains devant d'autres. Ainsi, l'équation 1.31 s'écrit :

$$\begin{aligned} V_{off,fg} = & u_t \cdot \ln\left(\frac{C_{oxfg}^2 \cdot V_1^2}{2 \cdot q \cdot n_i \cdot \epsilon_{si} \cdot u_t}\right) - 2 \cdot u_t \\ & - \left(1 + \frac{4u_t}{V_1}\right) \left(1 - \frac{C_{eq}}{C_{oxfg}}\right) \cdot V_{tfg,0} \\ & - \frac{2u_t}{V_1^2} \left[\left(1 - \frac{C_{eq}}{C_{oxfg}}\right) (n_{fg} - 1) - \frac{C_{eq}}{C_{oxfg}} \right] \cdot V_{gbg,p} V_{gfg,p} \\ & + \frac{2u_t}{V_1^2} \left(1 - \frac{C_{eq}}{C_{oxfg}}\right) \cdot V_{tfg,0} \cdot V_{gfg,p} \\ & + \left(1 + \frac{4u_t}{V_1}\right) \left[\left(1 - \frac{C_{eq}}{C_{oxfg}}\right) (n_{fg} - 1) - \frac{C_{eq}}{C_{oxfg}} \right] \cdot V_{gbg,p} \\ & + \frac{2u_t}{V_1} \cdot V_{gfg,p} \end{aligned} \quad (1.32)$$

De même, la substitution de $V_{off,fg}$ dans l'expression de la tension de contrôle effective du courant V_{gtfg} donnée par l'équation 1.12 permet d'écrire :

$$\begin{aligned}
V_{gtfg} = & -u_t \cdot \ln \left(\frac{C_{oxfg}^2 \cdot V_1^2}{2 \cdot q \cdot n_i \cdot \epsilon_{si} \cdot u_t} \right) + \left(2 + \frac{V_{dseff,fg}}{V_{dsat,fg}} \right) \cdot u_t \\
& - \left[1 - \left(1 + \frac{4u_t}{V_1} \right) \left(1 - \frac{C_{eq}}{C_{oxfg}} \right) \right] \cdot V_{tfg,0} \\
& + \frac{2u_t}{V_1^2} \left[\left(1 - \frac{C_{eq}}{C_{oxfg}} \right) (n_{fg} - 1) - \frac{C_{eq}}{C_{oxfg}} \right] \cdot V_{gbg,p} V_{fg,p} \\
& - \frac{2u_t}{V_1^2} \left(1 - \frac{C_{eq}}{C_{oxfg}} \right) \cdot V_{tfg,0} \cdot V_{fg,p} \\
& - \left\{ \left(1 + \frac{4u_t}{V_1} \right) \left[\left(1 - \frac{C_{eq}}{C_{oxfg}} \right) (n_{fg} - 1) - \frac{C_{eq}}{C_{oxfg}} \right] - (n_{fg} - 1) \right\} \cdot V_{gbg,p} \\
& + \left(1 - \frac{2u_t}{V_1} \right) \cdot V_{fg,p}
\end{aligned} \tag{1.33}$$

L'expression 1.33 montre que V_{gtfg} peut se mettre sous la forme :

$$V_{gtfg} = C_0 + C_{fg,bg} \cdot V_{fg,p} \cdot V_{gbg,p} + C_{bg} \cdot V_{gbg,p} + C_{fg} \cdot V_{fg,p} \tag{1.34}$$

avec :

$$\begin{aligned}
C_0 &= -u_t \cdot \ln \left(\frac{C_{oxfg}^2 \cdot V_1^2}{2 \cdot q \cdot n_i \cdot \epsilon_{si} \cdot u_t} \right) + \left(2 + \frac{V_{dseff,fg}}{V_{dsat,fg}} \right) u_t - \left[1 - \left(1 + \frac{4u_t}{V_1} \right) \left(1 - \frac{C_{eq}}{C_{oxfg}} \right) \right] V_{tfg,0} \\
C_{fg,bg} &= \frac{2u_t}{V_1^2} \left[\left(1 - \frac{C_{eq}}{C_{oxfg}} \right) (n_{fg} - 1) - \frac{C_{eq}}{C_{oxfg}} \right] \\
C_{bg} &= - \left\{ \left(1 + \frac{4u_t}{V_1} \right) \left[\left(1 - \frac{C_{eq}}{C_{oxfg}} \right) (n_{fg} - 1) - \frac{C_{eq}}{C_{oxfg}} \right] - (n_{fg} - 1) \right\} \\
C_{fg} &= 1 - \frac{2u_t}{V_1} - \frac{2u_t}{V_1^2} \left(1 - \frac{C_{eq}}{C_{oxfg}} \right) V_{tfg,0}
\end{aligned}$$

En développant ces coefficients, les équations deviennent :

$$\begin{aligned}
C_0 &= -u_t \cdot \ln \left(\frac{C_{oxfg}^2 \cdot V_1^2}{2 \cdot q \cdot n_i \cdot \epsilon_{si} \cdot u_t} \right) + \left(2 + \frac{V_{dseff,fg}}{V_{dsat,fg}} \right) u_t - \left[1 - \left(1 + \frac{4u_t}{V_1} \right) \left(1 - \frac{C_{eq}}{C_{oxfg}} \right) \right] V_{tfg,0} \\
C_{fg,bg} &= \frac{2u_t}{V_1^2} \left[n_{fg} \left(1 - \frac{C_{eq}}{C_{oxfg}} \right) - 1 \right] \\
C_{bg} &= - \left\{ \left(1 + \frac{4u_t}{V_1} \right) \left[n_{fg} \left(1 - \frac{C_{eq}}{C_{oxfg}} \right) - 1 \right] - (n_{fg} - 1) \right\} \\
C_{fg} &= 1 - \frac{2u_t}{V_1} - \frac{2u_t}{V_1^2} \left(1 - \frac{C_{eq}}{C_{oxfg}} \right) V_{tfg,0}
\end{aligned}$$

Lorsque le transistor est symétrique, les capacités relatives aux oxydes avant et arrière sont égales ($C_{oxfg} = C_{oxbg}$). En utilisant la définition du facteur de couplage n_{fg} (équation 1.3) et en calculant l'expression de la capacité équivalente série C_{eq} , il peut être montré que :

$$n_{fg} \cdot \left(1 - \frac{C_{eq}}{C_{oxfg}}\right) = 1 \quad (1.35)$$

Les expressions des coefficients C_i deviennent alors :

$$C_0 = -u_t \cdot \ln \left(\frac{C_{oxfg}^2}{2 \cdot q \cdot n_i \cdot \epsilon_{si} \cdot u_t} \right) - u_t \ln (V_1^2) + \left(2 + \frac{V_{dseff,fg}}{V_{dsat,fg}} \right) u_t - \left[1 - \left(1 + \frac{4u_t}{V_1} \right) \frac{1}{n_{fg}} \right] V_{tfg,0}$$

$$C_{fg,bg} = 0$$

$$C_{bg} = n_{fg} - 1$$

$$C_{fg} = 1 - \frac{2u_t}{V_1} \left(1 + \frac{1}{n_{fg} V_1} V_{tfg,0} \right)$$

En s'appuyant sur les valeurs des constantes technologiques données dans le tableau 1.2 ainsi que sur les courbes présentées à la figure 1.6, une application numérique permet de simplifier davantage les coefficients C_0 et C_{fg} en considérant les variations de leur valeur autour des termes constants :

$$C_0 = -0,640 + 0,066 \approx -0,640V \text{ à } 10,5\% \text{ près}$$

$$C_{fg} = 1,0 - 0,17 \approx 1,0 \text{ à } 17,0\% \text{ près.}$$

Les erreurs sont données ici avec $V_1 = 0,57V$, $V_{tfg,0} = 0,59V$, en zone ohmique pour C_0 et $V_1 = 0,57V$, $V_{tfg,0} = 0,64V$ pour C_{fg} . Le choix de fixer la valeur minimale de V_1 à $0,57V$, soit la valeur de la tension de seuil mesurée sur la courbe 1.6 augmentée de $0,1V$, n'est qu'une hypothèse de travail pour maintenir la face avant en inversion forte. Cependant, les erreurs augmentent lorsque la face avant s'approche de l'inversion modérée. Concernant plus précisément le coefficient C_{fg} , un calcul similaire montre qu'il faut $V_1 > 0,8V$ pour avoir une erreur inférieure à 10%. Le but étant ici de simplifier les équations, il est avantageux que les coefficients soient constants. Le choix est donc fait de prendre les valeurs approchées des coefficients. Selon cette hypothèse, l'expression de la tension de contrôle effective du courant V_{gtfg} donnée par l'équation 1.33 se réduit à :

$$V_{gtfg} = V_{gfg,p} + (n_{fg} - 1) \cdot V_{gbg,p} - u_t \cdot \ln \left(\frac{C_{oxfg}^2}{2 \cdot q \cdot n_i \cdot \epsilon_{si} \cdot u_t} \right) \quad (1.36)$$

L'équation donnant l'expression du courant d'interface (cf. équation 1.14) ne nécessite aucune simplification supplémentaire.

Remarque concernant le courant de diffusion et expression du courant en régime saturé :

Lorsque le transistor est saturé et que le champ de saturation n'est pas encore atteint, la tension $V_{dseff,fg}$ est égale à :

$$V_{dseff,fg} = V_{dsat,fg} \approx \frac{(V_{gtfg} + 2 \cdot u_t)}{n_{fg}} \quad (1.37)$$

L'équation 1.14 devient alors :

$$I_{dfg} = \frac{\beta_{fg} \cdot C_{oxfg}}{2} \cdot \frac{1}{n_{fg}} \cdot V_{gtfg}^2 + \beta_{fg} \cdot C_{oxfg} \cdot \frac{1}{n_{fg}} \cdot u_t \cdot V_{gtfg} = I_{d,cond} + I_{d,diff} \quad (1.38)$$

En effet, le courant global inclut non seulement le courant de conduction propre au transistor de type *MOS*, mais il tient compte également du courant de diffusion du transistor bipolaire formé entre le drain, le film de silicium et la source du transistor. Si ce courant de diffusion est négligé, l'équation 1.38 permet alors de retrouver une formulation proche de l'équation standard du courant de drain, soit :

$$I_{dfg} = \frac{\beta_{fg} \cdot C_{oxfg}}{2} \cdot \frac{1}{n_{fg}} \cdot V_{gtfg}^2 \quad (1.39)$$

1.4.1.4 Les deux interfaces sont en régime d'inversion forte

Comme cela a été dit au chapitre 1.3, le comportement de l'*IDGMOS* lorsque les deux interfaces sont en régime d'inversion forte tend vers celui de deux transistors *bulk* connectés en parallèle. Toutes les grandeurs tendent donc à ne dépendre que des paramètres de l'interface considérée. Ainsi, la tension de seuil de la face avant, donnée par l'équation 1.10, s'écrit :

$$V_{tfg} = V_{tfg,0} - (n_{fg} - 1) \cdot V_{tbq,lim} \quad (1.40)$$

La valeur de la constante $V_{tbq,lim}$ est donnée par l'équation 1.11. De la même façon, les autres grandeurs introduisant l'effet de couplage deviennent des constantes. Au final, l'équation du courant de l'interface avant conserve son expression donnée par la formule 1.14 avec dans ce cas $n_{eff,fg} = 1$. De plus, l'équation approchée ne tenant compte que du courant de conduction, tirée de l'expression 1.38, est égale à celle relative au transistor *bulk*, soit :

$$I_{dfg} = \frac{\beta_{fg} \cdot C_{oxfg}}{2} \cdot V_{gtfg}^2 \quad (1.41)$$

1.4.1.5 Comparaison entre le modèle complet et ses équations simplifiées

Les équations simplifiées du modèle ont été intégrées au simulateur pour les trois combinaisons d'inversion des interfaces afin de pouvoir les comparer avec le modèle d'origine, plus complet. Seuls les résultats concernant les grandeurs les plus importantes sont données ici. Les dimensions du transistor sont identiques pour le modèle complet et les équations simplifiées. Les simulations sont données pour une tension drain-source de 1,2V. Dans un premier temps, les courants d'interface sont illustrées à la figure 1.11 lorsque les deux interfaces sont en régime d'inversion faible. L'équation simplifiée du courant de drain en saturation dans cette zone de fonctionnement suit alors une loi exponentielle telle que décrite par l'équation 1.18.

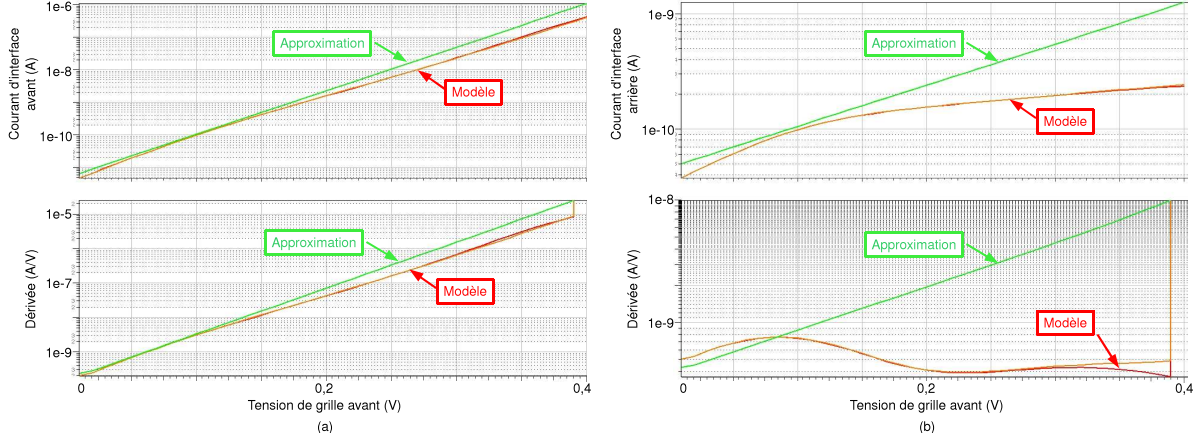


FIG. 1.11 –

Simulation des modèles de l'IDGMOS en fonction de la tension grille-source avant lorsque les deux interfaces sont en régime d'inversion faible avec une tension de grille arrière $V_{gbg} = 0,1V$.
 (a) Courant de face avant et sa dérivée (b) Courant de face arrière et sa dérivée.

Il est rappelé ici que, d'une part, la simplification des équations suppose que les interfaces restent effectivement en inversion faible. Or lorsque la tension de grille avant V_{gfg} s'approche de $0,4V$, la face avant entre en régime d'inversion modérée et l'écrantage apparaît. Les courbes de la figure 1.11 montrent que, dans ce cas et très rapidement, un écart se crée entre le modèle complet et ses équations simplifiées. Les courbes de la figure 1.11.b montrent notamment que la pente du courant de face arrière relatif au modèle complet diminue lorsque la tension de grille avant augmente. Ceci est dû à l'écrantage du canal mais ce phénomène n'est pas pris en compte dans les équations approchées du modèle. D'autre part, une hypothèse simplificatrice est faite afin de ne pas tenir compte des variations de la fonction fV_{th} (cf. 1.16). Cette fonction tient compte de l'écart entre les tensions appliquées sur chaque grille. En ce qui concerne l'hypothèse simplificatrice, celle-ci revient à considérer cet écart entre les tensions comme étant nul. Le minimum d'erreur se trouve donc au point où les deux tensions de grille sont effectivement égales, soit $0,1V$ sur les courbes de la figure 1.11.

Concernant le courant de drain global et sa dérivée, les résultats de simulation sont présentés à la figure 1.12 pour différentes valeurs de tension grille-source de la face arrière. Comme cela vient d'être dit, le minimum d'erreur est obtenu d'une part, lorsque les deux tensions grille-source du transistors sont égales et, d'autre part, lorsque les deux interfaces sont suffisamment éloignées du régime d'inversion modérée. Ces deux conditions sont valables tant pour le courant de drain que pour sa dérivée. A titre d'exemple, le minimum d'erreur relative sur le courant de drain avec $V_{gbg} = 0,2V$ est d'environ 19% lorsque les tensions grille-source sont égales. Cette même erreur passe au-dessus de 40% dès lors que l'écart entre les tensions grille-source est supérieur à $\pm 80mV$.

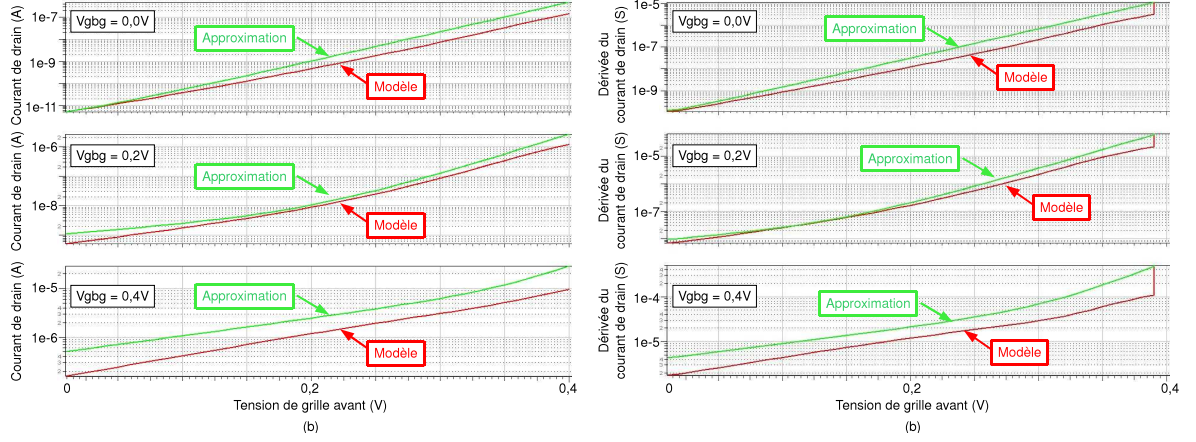


FIG. 1.12 –

Simulation des modèles de l'*IDGMOS* en fonction de la tension grille-source avant lorsque les deux interfaces sont en régime d'inversion faible avec une tension de grille arrière V_{gbg} de 0,0V, 0,2V, et 0,4V. (a) Courant de drain (b) Dérivée du courant de drain.

Le modèle complet et ses équations simplifiées sont simulées à présent lorsque seule l'interface avant est en régime d'inversion forte. La face arrière est maintenue en inversion faible en appliquant une tension grille-source arrière inférieure ou égale à 0,4V. Le courant de drain global et sa dérivée simulés sont présentés à la figure 1.13.

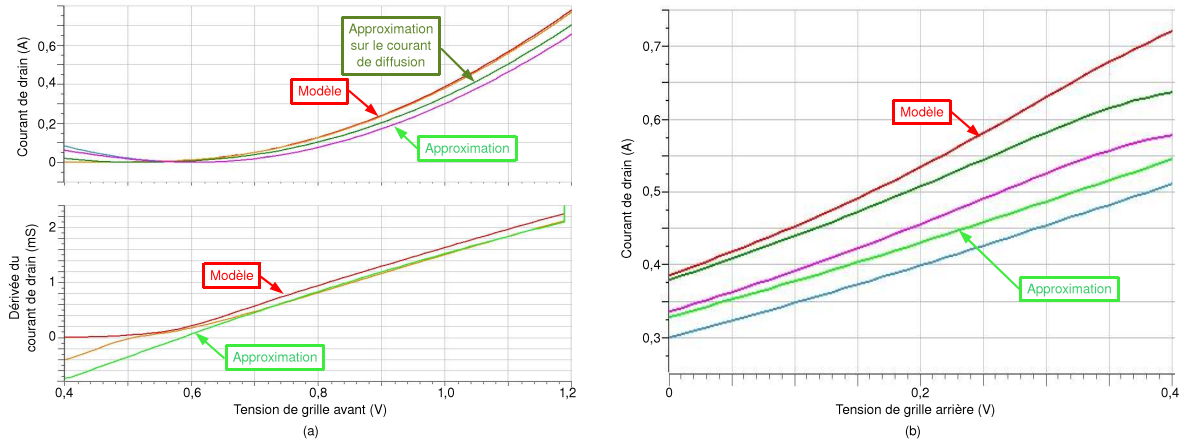


FIG. 1.13 –

Simulation des modèles de l'*IDGMOS* lorsque seule l'interface avant est en régime d'inversion forte. (a) Courant de drain et sa dérivée en fonction de la tension grille-source avant avec $V_{gbg} = 0V$ (b) Courant de drain en fonction de la tension grille-source arrière avec $V_{gfg} = 1V$.

Dans ce régime de fonctionnement, le courant de drain suit une loi s'approchant d'une loi quadratique. Son expression simplifiée en saturation est donnée par 1.39. Les courbes de la figure 1.13.a illustrent différents stades de la simplification, du modèle complet (courbe en rouge), à

l'équation simplifiée 1.39 (courbe en vert clair). En plus des erreurs dues aux simplifications successives des équations, l'approximation sur le courant de diffusion (cf. §1.4.1.3) doit être prise en compte en ce qui concerne le décalage entre la courbe du modèle complet et celle de l'approximation. L'erreur due à cette approximation relativement au modèle complet représente entre 10% et 20% d'écart pour une tension de grille avant située entre 0,7V et 1,2V, le maximum étant obtenu pour $V_{gfg} = 0,7V$. En ce qui concerne l'approximation globale sur le courant de drain tel que décrit par l'équation 1.39, l'erreur totale se situe entre 65% et 20% d'écart pour une tension de grille avant située entre 0,7V et 1,2V, le maximum étant obtenu pour $V_{gfg} = 0,7V$. Il est à noter que lorsque seule la face avant est en régime d'inversion forte, la tension de grille arrière est par conséquent relativement faible. La tension de seuil effective de la face avant est donc élevée, supérieure à 0,55V. La limite supérieure de la zone d'inversion modérée est d'autant plus élevée que la tension de seuil l'est, alors qu'une tension de grille avant $V_{gfg} = 0,7V$ ne place l'interface avant qu'à 0,15V de la tension de seuil. A titre d'exemple, une tension $V_{gfg} > 0,8V$ permet d'obtenir une erreur inférieure à 40%. Concernant l'erreur sur la dérivée du courant de drain, celle-ci reste inférieure à 20% pour une tension de grille avant $V_{gfg} > 0,7V$. En plus des erreurs mentionnées précédemment, il est également nécessaire de prendre en compte les variations dues à la tension de grille arrière. L'impact de la grille arrière sur le courant de drain global est illustré sur la figure 1.13.b. Comme le montre cette figure, l'influence de l'état d'inversion de la face arrière n'est pas négligeable, l'écart entre le modèle complet et son approximation augmentant au fur et à mesure que la face arrière s'approche de l'inversion modérée.

La troisième combinaison d'états d'inversion, à savoir le cas où les deux interfaces sont en régime d'inversion forte, est simulée et les résultats correspondants sont illustrés sur la figure 1.14

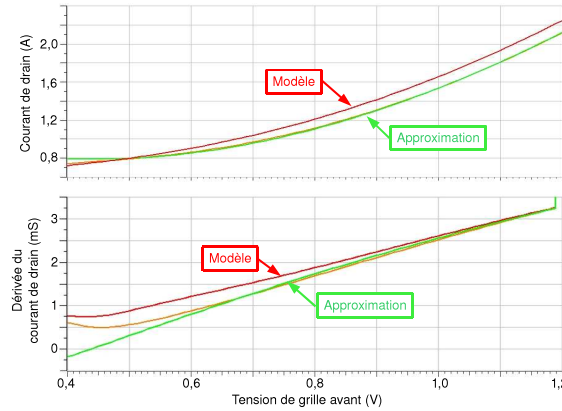


FIG. 1.14 –

Courants de drain et dérivées décrits par les modèles de l'*IDGMOS* en fonction de la tension grille-source avant avec $V_{gbg} = 1V$ lorsque les deux interfaces sont en régime d'inversion forte.

C'est ici le cas le plus simple et le mieux modélisé puisque le couplage n'existe pas dans ce mode de fonctionnement. En ce qui concerne le courant de drain, l'erreur se résume à l'approximation faite sur le courant de diffusion. Cette erreur reste inférieure à 9% pour une tension de grille avant située entre 0,7V et 1,2V. Concernant l'erreur sur la dérivée du courant de drain, celle-ci reste inférieure à 16% pour une tension de grille avant $V_{gfg} > 0,7V$.

1.4.2 Transconductances « petits signaux »

1.4.2.1 Les deux interfaces sont en régime d'inversion faible

Afin d'obtenir les transconductances « petits signaux » du transistor IDGMOS, il suffit de dériver l'équation du courant de chaque interface par rapport aux variations des potentiels appliqués sur chaque grille. Concernant l'interface avant, la dérivée de l'expression du courant donnée par l'équation 1.18 s'écrit :

$$\frac{dI_{dfg}}{dV_{gfg,p}} = \frac{1}{n_{fg}ut} \beta_{fg} C_{oxfg} n_{fg} ut^2 \left(\exp \left(\frac{V_{gfg,p} + (n_{fg} - 1)V_{gbg,p} - V_{tfg,0}}{n_{fg}ut} \right) - \exp \left(\frac{V_{gfg,p} + (n_{fg} - 1)V_{gbg,p} - V_{tfg,0} - 2ut}{n_{fg}ut} \right) \right) \quad (1.42)$$

soit :

$$i_{dfg}|_{fg} = \frac{1}{n_{fg}} \cdot \frac{I_{dfg}}{ut} \cdot v_{gfg,p} \quad (1.43)$$

De même :

$$i_{dfg}|_{bg} = \frac{dI_{dfg}}{dV_{gbg,p}} \cdot v_{gbg,p} = \frac{n_{fg} - 1}{n_{fg}} \cdot \frac{I_{dfg}}{ut} \cdot v_{gbg,p} \quad (1.44)$$

La dérivée totale d'ordre un de I_{dfg} s'écrit alors :

$$i_{dfg} = i_{dfg}|_{fg} + i_{dfg}|_{bg} = \frac{I_{dfg}}{ut} \cdot \left(\frac{1}{n_{fg}} \cdot v_{gfg,p} + \frac{n_{fg} - 1}{n_{fg}} \cdot v_{gbg,p} \right) \quad (1.45)$$

1.4.2.2 Une seule interface est en régime d'inversion forte

Lorsque seulement l'une des faces est en régime d'inversion forte, le couplage intercanal demeure. L'expression de la transconductance relative à l'interface avant se calcule donc en dérivant ici aussi le courant d'interface par rapport aux variations appliquées sur les deux grilles. Dans un premier temps, l'équation 1.36 permet d'écrire :

$$\frac{V_{gtfg}}{dV_{gfg,p}} = 1 \quad \frac{V_{gtfg}}{dV_{gbg,p}} = (n_{fg} - 1) \quad (1.46)$$

De plus, lorsque le transistor est polarisé dans sa zone de saturation, la dérivée de l'équation 1.39 par rapport aux variations de la grille avant est :

$$\frac{dI_{dfg}}{dV_{gfg,p}} = \frac{\beta_{fg} \cdot C_{oxfg}}{2} \cdot \frac{1}{n_{fg}} \cdot V_{gtfg} \cdot 2 \cdot \frac{V_{gtfg}}{dV_{gfg,p}} \quad (1.47)$$

En remplaçant l'expression de V_{gtfg} par celle déduite de l'équation 1.39, il vient alors :

$$\frac{dI_{dfg}}{dV_{gfg,p}} = 2 \cdot \sqrt{\frac{\beta_{fg} \cdot C_{oxfg}}{2} \cdot \frac{1}{n_{fg}} \cdot I_{dfg}} \cdot \frac{V_{gtfg}}{dV_{gfg,p}} \quad (1.48)$$

Enfin, il est possible de simplifier l'équation précédente à l'aide de la formule 1.46. L'expression de la variation du courant de l'interface avant induite par celle appliquée sur la grille avant est donc :

$$i_{dfg}|_{fg} = 2 \cdot \sqrt{\frac{\beta_{fg} \cdot C_{oxfg}}{2} \cdot \frac{1}{n_{fg}} \cdot I_{dfg} \cdot v_{gfg,p}} \quad (1.49)$$

De la même façon, il est possible de montrer que :

$$i_{dfg}|_{bg} = 2 \cdot \sqrt{\frac{\beta_{fg} \cdot C_{oxfg}}{2} \cdot \frac{1}{n_{fg}} \cdot I_{dfg} \cdot (n_{fg} - 1) \cdot v_{gbg,p}} \quad (1.50)$$

La variation totale de I_{dfg} s'écrit alors :

$$i_{dfg} = i_{dfg}|_{fg} + i_{dfg}|_{bg} = 2 \cdot \sqrt{\frac{\beta_{fg} \cdot C_{oxfg}}{2} \cdot I_{dfg} \cdot \frac{1}{\sqrt{n_{fg}}} \cdot (v_{gfg,p} + (n_{fg} - 1) \cdot v_{gbg,p})} \quad (1.51)$$

L'interface arrière étant en régime d'inversion faible, le paragraphe précédent montre que sa transconductance est proportionnelle au courant de polarisation de la face arrière. La transconductance de la face arrière est donc négligeable devant celle de la face avant.

1.4.2.3 Les deux interfaces sont en régime d'inversion forte

Dans le cas où les deux interfaces sont en régime d'inversion forte, le couplage disparaît. L'équation 1.40 permet d'écrire :

$$\frac{V_{gtfg}}{dV_{gfg,p}} = 1 \quad \frac{V_{gtfg}}{dV_{gbg,p}} = 0 \quad (1.52)$$

Selon le même principe que dans la section précédente et en dérivant l'équation 1.41, il est possible de montrer que :

$$i_{dfg}|_{fg} = 2 \cdot \sqrt{\frac{\beta_{fg} \cdot C_{oxfg}}{2} \cdot I_{dfg} \cdot v_{gfg,p}} \quad (1.53)$$

et que :

$$i_{dfg}|_{bg} = 0 \quad (1.54)$$

La variation totale de I_{dfg} s'exprime alors par :

$$i_{dfg} = i_{dfg}|_{fg} + i_{dfg}|_{bg} = 2 \cdot \sqrt{\frac{\beta_{fg} \cdot C_{oxfg}}{2} \cdot \frac{1}{n_{fg}} \cdot I_{dfg} \cdot v_{gfg,p}} \quad (1.55)$$

1.5 Conclusion

Le but de ce chapitre a été d'introduire le transistor double grille à grilles planaires indépendantes sous différents aspects : les raisons de son existence, son procédé de fabrication tel qu'il a été envisagé par le CEA-Léti, son comportement électrique général, sa modélisation. Une dernière partie s'est ensuite occupée de simplifier les équations du modèle et d'en extraire les expressions des transconductances « *petits signaux* » afin de les analyser ultérieurement du point de vue de la conception analogique.

En ce qui concerne son procédé de fabrication, la technologie planaire offre une déconnexion naturelle des grilles avant et arrière. Ainsi, les deux grilles peuvent être pilotées indépendamment l'une de l'autre. Dans ce mode de fonctionnement, le comportement du transistor est relativement différent de celui d'un transistor standard. Il faut en effet tenir compte du couplage apparaissant entre les canaux.

Ce couplage peut être décrit par un diviseur capacitif entre les deux interfaces et ses effets sur les tensions de seuil effectives des faces avant et arrière est à la base du comportement particulier du transistor *IDGMOS*. Il est possible de résumer en partie son influence par le fait que l'augmentation du potentiel appliqué sur la grille d'une interface a pour effet de diminuer la tension de seuil relative à la face opposée. En partie uniquement car un deuxième phénomène est à prendre en compte, celui de l'écrantage du couplage par le canal de conduction. Dès lors que celui-ci est formé sur une interface, il empêche le couplage entre la tension de grille de cette interface vers l'autre face. Cependant, ce phénomène n'est pas bidirectionnel, l'autre interface pouvant continuer à influencer l'interface en inversion forte, à condition tout de même que l'autre interface demeure en inversion faible. Ici encore, il est possible de résumer ce comportement par le fait que seule une interface en régime d'inversion faible peut influencer l'interface opposée par couplage. De plus, l'écrantage du couplage par le canal est maximum lorsque le transistor est polarisé dans sa zone ohmique. En saturation, le pincement du canal à proximité du drain affaiblit la barrière que représente le canal pour le couplage et ce dernier augmente relativement dans la zone de pincement. Le comportement du transistor et l'influence du couplage intercanal tels qu'étudiés dans ce chapitre permettent d'ores et déjà de révéler deux impacts quant à l'apport fonctionnel du transistor. D'une part, il permet de contrôler électriquement la tension de seuil d'une interface, ce qui est impossible au sein d'un transistor *bulk* utilisé de façon conventionnelle dont la tension de seuil est fixée par la technologie lors de son élaboration. L'équivalence n'est pas stricte entre les voies électrique et technologique mais cela peut être avantageusement utilisé afin d'adapter certains paramètres fonctionnels du transistor. D'autre part, il a été montré que la couplage permet d'étendre la plage de contrôle du courant de drain par la tension grille-source d'une interface sur toute la plage de tensions entre la masse et la tension d'alimentation. Cet aspect est peut être l'un des plus importants en ce qui concerne les apports potentiels de l'*IDGMOS* quant à la conception sous tension d'alimentation faible.

L'influence du couplage n'est pas pris en compte par les modèles conventionnels des transistors *MOS* si bien que de nouveaux modèles dédiés à l'*IDGMOS* doivent être développés. Parmi ces modèles, le choix a été fait par le CEA-Léti de s'orienter vers un modèle explicite en tension de seuil. Celui-ci a été conçu antérieurement aux travaux de cette thèse. Bien que certaines hypothèses simplificatrices aient été faites durant son élaboration, le modèle de l'*IDGMOS* corrèle relativement bien avec les simulations numériques du transistor. Ainsi, ce modèle peut être utilisé comme base aux travaux et aux simulations des circuits présentés dans ce manuscrit.

Néanmoins, le modèle est trop complexe afin d'expliquer simplement le fonctionnement de circuits complets ou bien de faire des calculs au premier ordre dédiés à la conception des circuits. Ce chapitre présente donc une méthode de simplification des équations du modèle dans le but d'extraire les expressions simplifiées du courant de drain et des transconductances en fonction des paramètres principaux du composant. De cette étude mathématique ressort un jeu d'équations relativement simples mais présentant également des erreurs en comparaison avec le modèle de

base, plus précis. Les erreurs peuvent être assez importantes selon le régime de fonctionnement relatif des interfaces, si bien qu'il est déconseillé d'utiliser ces équations simplifiées afin de réaliser des calculs au premier ordre. Néanmoins, elles pourront être employées afin d'analyser qualitativement le fonctionnement des circuits, notamment en ce qui concerne l'influence du couplage dans le comportement de ces circuits.

Chapitre 2

Conception de circuits analogiques en technologies avancées

2.1 État de l'art de la conception de circuits intégrés en technologies MOS avancées

L'*ITRS* prévoit la mise en production de technologies double grille à partir de 2012 [itrte]. Les avantages de ces technologies dans la perspective d'augmenter la densité d'intégration concernent principalement le contrôle électrostatique du canal de conduction. En effet, un meilleur contrôle électrostatique devient nécessaire principalement pour maintenir un rapport I_{on}/I_{off} convenable pour la conception de circuits numériques. De plus, la conception de circuits *RF* profite également de la réduction de la longueur des grilles des transistors puisque qu'un transistor double grille dispose d'une densité de courant supérieure à celle d'un transistor standard. Cependant, l'*ITRS* ne donne que les axes d'évolution principaux mais elle ne donne pas les solutions technologiques pour y parvenir. Or plusieurs verrous existent afin de miniaturiser davantage les transistors et d'employer des technologies multi-grille [Poi05]. En effet, les choix des matériaux, de la structure du composant multi-grille et du procédé de fabrication sont primordiaux. A l'heure actuelle, très peu de ces technologies sont maîtrisées et permettent la réalisation pratique de circuits fonctionnels comportant plusieurs transistors. Les technologies multi-grille à grilles verticales (*FinFET*, *Ω FET*, etc...) profitent néanmoins d'un procédé de fabrication restant proche de celui d'une technologie *MOS* standard. Elles sont donc plus proches d'une avancée vers une solution technologique. Une illustration de transistors *FinFET* à grilles connectées et déconnectées est présentée sur la figure 2.1.

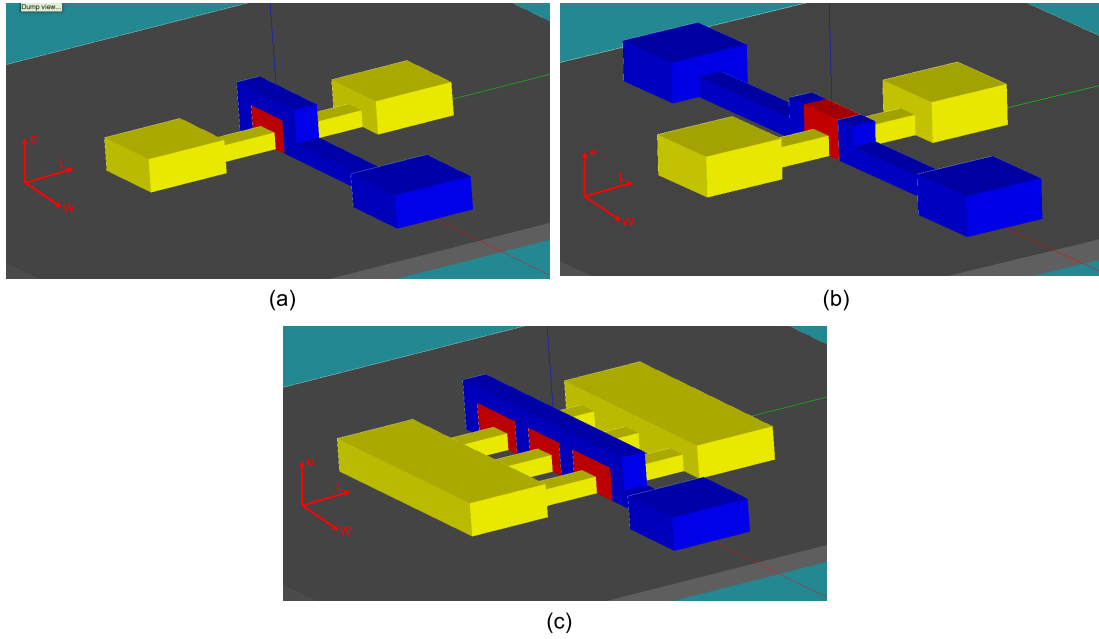


FIG. 2.1 –

Structure des transistors *FinFET*. (a) grilles connectées (b) grilles déconnectées (c) multi-doigt

Plusieurs différences existent entre le *FinFET* et une technologie double grille planaire. La première repose sur la déconnexion physique des grilles. Alors que les grilles du transistor à double grille planaire sont naturellement déconnectées, le *FinFET* nécessite une étape supplémentaire. Cette étape utilise les moyens de la planarisation *CMP* afin de retirer la couche de matériau de grille située au-dessus du canal (cf. 2.1.b). Bien que ce procédé soit délicat compte tenu de la précision nécessaire à la déconnexion des grilles, certains laboratoires ont réalisé ce composant et une première application *RF* a pu être caractérisée [Mat05].

La deuxième différence est en regard à la discrétisation de la largeur effective du canal au sein de la structure *FinFET*. D'une part, la figure 2.1.a montre que deux types de canaux existent au sein de la structure *FinFET*. Le premier type est composé de deux canaux verticaux sur le plan (e.L). Le deuxième est composé d'un canal horizontal sur le plan (W.L). D'autre part, l'épaisseur e du film de silicium est fixe pour une technologie donnée et la largeur W du transistor doit être maintenue faible puisqu'elle correspond à la distance inter-grille (contrôle électrostatique du canal). Pour ces deux raisons, l'augmentation du courant de drain ne peut être réalisé que de façon discrète, en multipliant les doigts du transistor *FinFET* tel qu'illustré sur la figure 2.1.c. Cette discrétisation de la largeur effective du transistor se fait donc au détriment de la densité d'intégration lorsque le contrôle électrostatique du canal est nécessaire, ce qui est le cas au sein d'un circuit numérique. Le transistor à double grille planaire conserve quant à lui la même capacité de réglage qu'un transistor *bulk*. La distance inter-grille étant fixée par l'épaisseur du film de silicium, la largeur du canal peut donc être augmentée de façon continue sans nuire pour autant au contrôle électrostatique du canal.

Enfin, une partie du courant de drain du *FinFET* circule au travers des canaux situés sur les plans verticaux (e.L). Ces faces sont obtenues par gravure et les surfaces ainsi formées sont alors

plus rugueuses que si elles avaient été créées par dépôt. Il s'ensuit que le bruit *flicker* sera plus élevé dans un transistor *FinFET* qu'au sein d'un transistor à grilles planaires [Nau05].

Quel que soit l'axe technologique choisi, chaque avancée demeure importante dans l'évolution vers des technologies multi-grille. Un autre point est qu'il n'est pas nécessaire d'attendre qu'une technologie soit mature pour commencer à étudier ses avantages et ses inconvénients du point de vue de la conception de circuits. Néanmoins, la modélisation de la structure est essentielle à la simulation de circuits comportant plusieurs transistors. Or un modèle décrivant une structure multi-grille doit tenir compte de phénomènes propres à ces composants, tels que le couplage intercanal. Un modèle standard de transistor *bulk* ne permet pas cette description, si bien que de nouveaux modèles doivent être élaborés. La recherche d'un modèle robuste, précis, prédictif et continu n'est pas anodine. Celle-ci est également l'objet de recherches au sein des laboratoires. Un état de l'art de la modélisation des composants multi-grille est donné dans [Rey07]. Il apparaît qu'en plus de l'aspect prédictif du modèle, le problème majeur réside dans le compromis entre la précision du modèle et sa capacité à décrire tous les domaines de fonctionnement du transistor. Ainsi, les modèles actuels ont chacun leurs avantages et leurs inconvénients mais ils peuvent néanmoins être employés afin de simuler des circuits. Les paramètres des modèles sont alors ajustés sur les simulations numériques de la structure en attendant que les composants puissent être créés physiquement et caractérisés.

Certaines données ne peuvent être prédites ou simulées avec précision et seules les mesures sur silicium permettent d'évaluer correctement les performances d'une technologie pour certains domaines de conception, notamment pour celui de la conception analogique. Alors que le rapport I_{on}/I_{off} peut être prédit avec une bonne précision en vue d'une intégration au sein d'un circuit numérique, il est bien plus difficile de prévoir les données statistiques concernant l'appariement de transistors employés dans la réalisation d'un miroir de courant ou d'une paire différentielle.

2.1.1 Considérations générales quant à la conception analogique

2.1.1.1 Performances des transistors

Bien que les données mesurées sur des transistors multi-grille soient encore peu nombreuses, il reste néanmoins possible de prédire avec une plus ou moins bonne précision la variation de certains paramètres électriques du composant. Cette prédiction, d'ordre général et qualitative, reste basée sur la connaissance et l'expérience des laboratoires de recherche en termes de propriétés physiques et électriques des matériaux. Néanmoins, personne ne peut affirmer à ce jour quels seront les matériaux employés ni même les structures qui se révéleront être les meilleures candidates. Pour cette raison, les considérations évoquées dans ce chapitre devront être confirmées dans le futur mais elles n'en demeurent pas moins représentatives d'une évolution générale vers ce que prévoit l'*ITRS*.

- Utilisation d'une technologie multi-grille :

Le contrôle électrostatique du canal est important principalement en ce qui concerne la valeur du courant de drain lorsque le transistor est bloqué. Or en analogique, le courant I_{off} intervient principalement dans les circuits échantillonnés, tels que les circuits à capacités commutées et les circuits échantillonneurs-bloqueurs utilisés pour le filtrage et la conversion analogique-numérique de données. La tendance actuelle est de traiter le signal dans la partie numérique du circuit le plus en amont possible [Nau05] et les parties analogiques se cantonnent de plus en plus aux interfaces entre le monde extérieur et le circuit de traite-

ment digital. Les performances des convertisseurs analogiques-numériques sont alors très importantes et le contrôle électrostatique du canal peut permettre de maintenir ou d'améliorer ces performances en diminuant les pertes d'information dues aux fuites de courant. Un autre atout inhérent à une technologie multi-grille à grilles connectées est que celle-ci multiplie les canaux de conduction au sein d'un même transistor. Il s'ensuit soit un gain en surface pour une transconductance donnée, soit une augmentation de la transconductance et du gain en tension pour une surface de silicium donnée. L'appariement des transistors ne devrait pas être modifié tant que le concepteur prend soin de connecter les différentes grilles de façon symétrique, lorsque celles-ci sont déconnectées. Cependant, le manque de données statistiques ne permet pas de conclure totalement sur ce point.

- Réduction de la longueur de grille :

La longueur minimale de grille est souvent employée en conception numérique et RF afin d'augmenter la rapidité du transistor ainsi que sa densité d'intégration. D'un point de vue analogique, disposer d'une longueur de grille faible permet également de dessiner des transistors plus petits pour une valeur de transconductance donnée (ratio W/L constant). Néanmoins, réduire la longueur de grille augmente d'une part le désappariement des transistors (inversement proportionnel à $\sqrt{W \cdot L}$) et, d'autre part, cela augmente la conductance drain-source du transistor (inversement proportionnelle à L). Les fuites de drain peuvent alors devenir importantes lorsque le transistor est bloqué. De plus, le champ appliqué entre le drain et la source d'un transistor à longueur minimale provoque la saturation de la mobilité des porteurs. Le courant de drain varie alors linéairement avec la tension grille-source. La transconductance atteint un maximum et devient ensuite indépendante de la longueur du transistor [San06]. Dans cette zone de fonctionnement, le seul point positif concerne la linéarité de la transconductance puisque celle-ci devient constante en fonction de la tension grille-source du transistor. Enfin, il est connu que le bruit d'un transistor augmente lorsque la surface du canal de conduction diminue. Ici encore, diminuer la longueur de grille peut donc engendrer un bruit plus élevé.

- Diminution de la tension d'alimentation :

L'épaisseur de l'oxyde de grille diminuant, il devient nécessaire de baisser la tension d'alimentation en dessous de la tension de claquage de l'oxyde. Or afin de pouvoir faire fonctionner un transistor au sein d'un circuit analogique, la tension d'alimentation doit être telle que :

$$V_{dd} > V_{gs} + V_{dssat} + V_{ppsignal} \quad [\text{Nau05}] \quad (2.1)$$

où V_{gs} est la tension grille-source du transistor, V_{dssat} la tension drain-source de saturation et $V_{ppsignal}$ la variation maximale du signal sur l'ensemble des noeuds du circuit. Chaque terme de l'équation 2.1 possède lui-même une valeur minimale. $V_{ppsignal}$ doit être grand afin d'augmenter le rapport signal à bruit. La tension V_{gs} peut être inférieure à la tension de seuil V_t du transistor mais le courant de drain devient alors très faible. Cela affecte donc la rapidité du transistor ainsi que l'appariement des transistors, notamment pour un miroir de courant. La valeur de la tension de seuil doit quant à elle rester élevée afin de maintenir un courant I_{off} faible. Enfin, la tension de saturation V_{dssat} est généralement estimée à 0.15V [Cha05b]. Si la tension drain-source du transistor descend en dessous de

cette valeur, la conductance drain-source augmente, affectant alors le gain en tension des étages d'amplification et dégradant l'erreur de recopie des miroirs de courant. De même, une tension d'alimentation trop faible au regard de la tension de seuil des transistors peut empêcher un interrupteur d'être complètement bloqué, dégradant alors les performances des circuits échantillonnés [San06]. D'un point de vue général, la diminution de la tension d'alimentation a pour effet d'augmenter le nombre d'étages en série sur le passage du signal afin de compenser la perte de gain en tension des étages amplificateurs. L'utilisation des montages cascode devient difficile et il est nécessaire de changer la topologie des circuits conventionnels. Le seul apport de la diminution de la tension d'alimentation d'un point de vue analogique réside dans le fait que, les transistors travaillant avec des tensions plus faibles, ceux-ci consomment moins de puissance et ils dissipent donc moins de chaleur.

- Utilisation d'un film de silicium mince « *fully-depleted* » :

Un film de silicium complètement déplété (« *fully-depleted* ») permet de supprimer en partie les effets de canaux courts et d'obtenir une pente sous le seuil proche de la pente idéale de 60mV/dec [Nau05]. Cet apport technologique permet entre autres de diminuer le courant I_{off} des transistors. D'autre part, l'absence de porteurs dans le canal diminue la conductance drain-source du transistor, augmentant ainsi son gain en tension. De plus, la finesse du film de silicium diminue les jonctions du transistor ainsi que les capacités associées. Le transistor est par conséquent plus rapide. Le film mince « *fully-depleted* » est donc très utile, notamment pour la conception des circuits échantillonnés. Un désavantage non négligeable du film mince concerne les résistances d'accès de drain et de source. La surface sur laquelle est réalisée le contact étant très faible, la résistance d'accès devient élevée. Cela a pour conséquence de dégénérer le transistor, dégradant sa transconductance mais améliorant sa linéarité. La question concernant l'appariement des transistors reste pour le moment sans réponse. En effet, certaines personnes pensent que l'appariement tend à s'améliorer avec l'utilisation de film mince « *fully-depleted* » [San06]. Le canal étant complètement déplété, les dopants du film affectent peu la valeur de la tension de seuil et par conséquent le désappariement entre les tensions de seuil de deux transistors. Néanmoins, la tension de seuil dépend de la différence des travaux de sortie entre la grille et le silicium car ceux-ci définissent l'épaisseur équivalente d'oxyde du transistor. Le manque de données statistiques ne permet pas de déterminer à l'heure actuelle si la tension de seuil sera alors mieux contrôlée dans le cas d'une technologie « *fully-depleted* » que dans celui d'une technologie *bulk* [Nau05].

- Utilisation d'une technologie *MOS SOI* :

L'oxyde enterré permettant d'isoler le composant du substrat, tous les potentiels sont donc totalement contrôlés localement. Les couplages ainsi que les fuites au travers du substrat diminuent. Les différents parasitages apportés par le substrat, tels que les bruits d'alimentation générés par les commutations de portes digitales, sont atténués. L'isolation apportée par une technologie *SOI* représente donc un avantage non négligeable en vue de la co-intégration des circuits avec les circuits numériques. Les transistors susceptibles de parasiter leurs voisins peuvent également être rapprochés grâce à l'isolation propre à la technologie *SOI*. De plus, les capacités parasites avec le substrat étant plus faibles, le transistor est également plus rapide. Un aspect négatif de la technologie *SOI* est que l'isolation apportée par l'oxyde enterré diminue la dissipation thermique du transistor vers le

substrat. Le transistor chauffe davantage que lorsqu'il est intégré au sein d'une technologie *bulk* [Nau05]. Un moyen de contourner le problème consiste à éloigner les transistors entre eux mais cela au coût d'une diminution de la densité d'intégration. Il est à noter que la technologie *SOI* est nécessaire au procédé de fabrication des transistors double grille à grilles planaires afin d'isoler la seconde grille du substrat. Le sur-coût de la technologie *SOI* représente un désavantage dans le choix du transistor à grilles planaires pour le remplacement des technologies *MOS* standard.

- Utilisation d'un matériau « *high-k* » comme oxyde de grille :
Les oxydes « *high-k* » sont employés afin de diminuer les fuites de grille qui apparaissent lorsque l'épaisseur de l'oxyde de grille diminue. Tout comme le courant I_{off} , le courant de fuite de grille affecte considérablement la conception des circuits échantillonnés, mais également celui des filtres et des intégrateurs. Dans certains cas, il est possible de compenser ces fuites mais cela nécessite l'emploi de capacités plus fortes et donc d'une surface de silicium plus importante. De plus, les fuites de grille introduisent un désappariement supplémentaire entre les transistors et elles augmentent le bruit de type *shot* [Nau05]. Il devient donc important de trouver un moyen de diminuer ces fuites lorsque l'oxyde de grille devient très mince.

Le tableau 2.1 résume les évolutions technologiques présentées aux paragraphes précédents en les classant selon leurs impacts sur la conception analogique.

	Oxyde « <i>high-k</i> »	Multi - grille	<i>SOI</i>	Film mince « <i>fully-depleted</i> »	Longueur de grille	Tension d'alim.
Transconductance		+		-	-	
Gain en tension		+		-	- -	-
Linéarité					+	
Bruit	+		+		-	
Appariement	+	?		?	- -	-
Rapidité			+	+	+	-
Thermique			-			+
Échantillonnage	+	+	+	+	-	-
Surface	+	+	+	+ -	+ -	- -

TAB. 2.1 –

Résumé des avantages et des inconvénients de l'évolution technologique pour la conception analogique

Selon les connaissances actuelles, ce tableau montre que deux points-clés auront un impact considérable sur les performances des circuits analogiques futurs. D'une part, réduire la longueur de grille ne semble pas très intéressant du point de vue analogique. Tant que la fréquence reste relativement faible, il est préférable de conserver une longueur de grille procurant un gain et un appariement convenable. Celle-ci est souvent supérieure à la longueur minimale proposée par une technologie donnée, *bulk* ou non, et même les circuits analogiques actuels sont rarement réalisés à

l'aide de transistors de longueur minimale. En regard à l'appariement des transistors, la longueur de grille ne pourra être diminuée davantage sans que la maîtrise des procédés technologiques ne permette de garantir la similitude des dispositifs lorsque la longueur de grille est minimale. La perte de gain qui survient lorsque la longueur de grille diminue est moins importante dans le sens où il reste possible d'ajouter des étages amplificateurs afin de compenser cette perte. D'autre part, la diminution de la tension d'alimentation semble être le problème majeur pour la conception de circuits analogiques employant une technologie avancée. Les effets de cette diminution touchent presque tous les paramètres-clés de la conception analogique. Il devient donc important d'étudier les possibilités d'adaptation des circuits actuels et de chercher des moyens permettant de compenser les effets de la baisse de la tension d'alimentation.

2.1.2 Conception analogique sous faible tension d'alimentation

Le chapitre précédent a énoncé une limite à la diminution de la tension d'alimentation pour la conception de circuits analogiques, celle-ci étant donnée par l'équation 2.1. La tendance n'étant pas d'avoir des transistors plus petits et moins bruyants, il est donc difficile d'abaisser le terme $V_{ppsignal}$. La limite de tension de saturation V_{dssat} est quant à elle une constante. Le seul paramètre restant est la tension V_{gs} . Or lorsque celle-ci est inférieure ou égale à la tension de seuil, le courant de drain du transistor devient très faible. D'une part, la fréquence de transition diminue fortement et d'autre part, le courant commence à devenir un courant de diffusion. La transconductance du transistor est alors proportionnelle au courant de polarisation et indépendante des dimensions du transistor. Le courant étant très faible et la transconductance devenant linéaire à cette grandeur, une conséquence directe de la diminution de la tension d'alimentation est donc une chute importante des transconductances. Ces différents points peuvent être critiques pour la conception de certains blocs de base de l'analogique.

2.1.2.1 Pertes et compensations

En ce qui concerne les miroirs de courant, le désappariement des transistors augmente lorsque la tension V_{gs} diminue. Il reste néanmoins possible d'augmenter les dimensions des transistors afin de contrer cet effet, mais cela limite leur rapidité. Comme cela a été dit auparavant, le manque de données statistiques ne permet pas de conclure sur ce point mais il est vraisemblable qu'un compromis entre la valeur de la tension V_{gs} , l'appariement des transistors et leur rapidité à faible polarisation sera plus important dans le futur qu'à l'heure actuelle.

Pour ce qui est des paires différentielles conventionnelles, plusieurs caractéristiques peuvent être dégradées par la diminution de la tension d'alimentation. Premièrement, la source de polarisation de la paire doit être la plus idéale possible afin de procurer une bon rejet du mode commun. Une tension d'alimentation basse limite la tension drain-source à laquelle il est possible de polariser cette source de courant. Les performances en réjection sont donc elles-mêmes diminuées. Une première solution consiste à créer un décalage entre les tensions d'entrées du circuit et les entrées de la paire proprement dite [San06]. Une autre façon de contourner le problème consiste à réaliser une paire « *pseudo-différentielle* ». En retirant la source de polarisation, le circuit devient adapté au fonctionnement sous faible tension d'alimentation mais il n'y a plus alors de contrôle du courant de polarisation de la paire. La réjection du mode commun s'effectue par un moyen externe à la paire elle-même. Un exemple de réalisation est donné dans [Cha05b]. Deuxièmement, l'offset d'un amplificateur différentiel ramené à l'entrée est d'autant plus faible

que le gain des étages successifs est élevé. Une conséquence de la diminution de la tension d'alimentation étant la chute du gain maximum par étage, il faut chercher d'une part à diminuer le risque de dissymétrie entre les transistors de la paire et d'autre part, à compenser la diminution du gain. Concernant la réduction des dissymétries, l'emploi de structures « *fully-differential* » le plus longtemps possible dans la chaîne de traitement permet de concevoir des circuits où les noeuds sont polarisés symétriquement. Cette technique requiert néanmoins de consommer davantage de surface et de courant. La figure 2.2 illustre ce point relativement aux noeuds de sortie d'un paire différentielle.

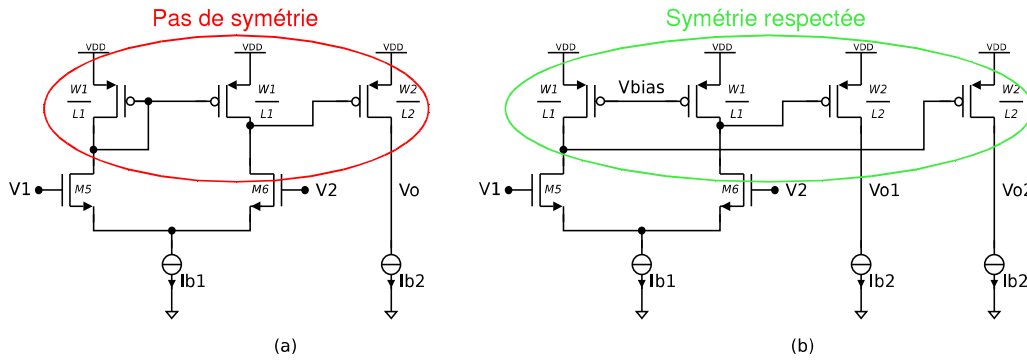


FIG. 2.2 –

Apport des structures « *fully-differential* » dans la symétrie des paires différentielles. (a) Etage « *single* » (b) Etage « *fully-differential* »

Sur la figure 2.2.a, il apparaît que le potentiel de drain du transistor $M5$ est fixé par la tension source-grille d'un transistor de dimensions W_1, L_1 alors que le transistor $M6$ voit son potentiel de drain fixé par le V_{sg} du transistor de dimensions W_2, L_2 . Les deux transistors de la paire peuvent donc être polarisés à des tensions drain-source différentes. Cela n'est plus le cas dans la figure 2.2.b puisque les potentiels de drain des deux transistors de la paire sont fixés par des tensions drain-source de transistors de mêmes dimensions. En général, les étages suivant la paire différentielle sont plus simples que cette dernière. La difficulté pour maintenir un gain convenable se concentre donc sur l'étage d'entrée de l'amplificateur. Or à l'heure actuelle, les transistors de la paire sont généralement dimensionnés avec un ratio W/L important afin de maximiser le gain de cet étage et de diminuer l'offset ramené en entrée. La tension V_{gs} est alors proche de la tension de seuil et les transistors se trouvent en régime d'inversion modérée, voire faible. La dimension du transistor ne modifiant plus la transconductance de l'étage d'entrée, la compensation de la perte de gain ne peut se faire en modifiant la géométrie de ces transistors. Il reste néanmoins possible d'accroître le gain en utilisant une paire croisée en parallèle à la charge initiale de la paire. Le but de cette paire croisée est de présenter une impédance négative et de rendre la valeur de la charge globale proche de l'infini [San06][Cha05b]. La figure 2.3 montre un exemple de montage utilisant une paire croisée.

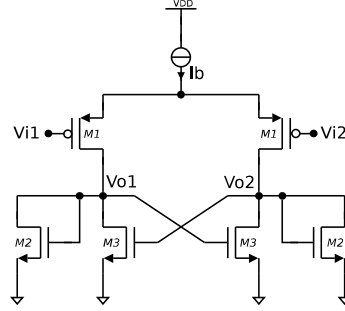


FIG. 2.3 –

Utilisation d'une paire croisée afin d'augmenter le gain en tension d'une paire différentielle

La valeur de la résistance équivalente en basse fréquence connectée à la sortie de la paire est alors :

$$z_{eq} = \frac{1}{g_{m2} - g_{m3}} \quad (2.2)$$

Le gain est maximum lorsque $g_{m2} \approx g_{m3}$ mais la phase de l'impédance change si jamais $g_{m2} < g_{m3}$. Il devient donc nécessaire de bien contrôler l'impédance négative sous toutes les conditions afin de garantir la stabilité de l'amplificateur. Ce type de conception ne peut donc être réalisé sans risques tant que les statistiques d'appariement propres à la technologie ne sont pas connues.

2.1.2.2 Conception en mode courant

Une autre façon de concevoir des circuits analogiques sous faible tension d'alimentation est de réaliser les fonctions en mode courant. Lorsque le signal est transmis par le courant, les noeuds internes sont plutôt à faible impédance. Les tensions correspondant à ces noeuds varient donc très peu. Dans le cas idéal, il est donc possible d'annuler le terme $V_{ppsignal}$ de l'équation 2.1, ce qui relâche les contraintes sur les deux autres termes. Un exemple d'application est illustré par le montage différentiel présenté à la figure 2.4 [Fis87][San06].

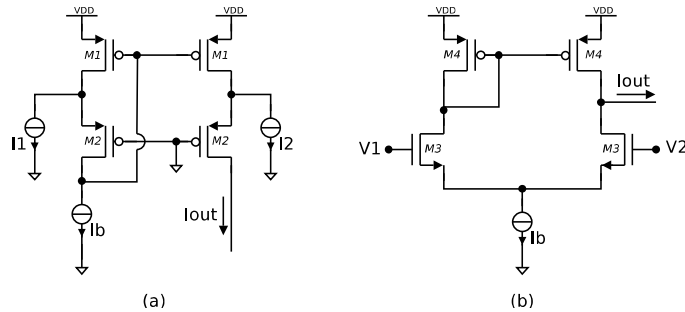


FIG. 2.4 –

Apport du mode courant dans la conception des étages différentiels. (a) Montage en mode courant [Fis87][San06] (b) OTA standard à un étage

Pour les circuits 2.4.a et 2.4.b, les courants I_{out} s'écrivent respectivement :

$$I_{out} = I_b + I_1 - I_2 \quad \text{et} \quad I_{out} = g_m * (V_1 - V_2) \quad (2.3)$$

Ces équations montrent que les deux circuits présentent effectivement un comportement différentiel. L'intérêt du circuit 2.4.a est qu'il peut fonctionner sous une tension d'alimentation plus faible que le montage 2.4.b. En effet, il est possible d'écrire :

$$V_{dd,min} = V_{gs,2} + V_{dssat,1} \quad (2.4)$$

pour le circuit 2.4.a, alors que la tension d'alimentation minimale pour le montage standard 2.4.b est donnée par :

$$V_{dd,min} = V_{dssat,Ib} + V_{dssat,3} + V_{gs,4} \quad (2.5)$$

Les équations 2.4 et 2.5 montrent que la conception en mode courant permet de diminuer la tension d'alimentation d'un V_{dssat} , soit environ $150mV$. Cependant, une limitation forte du mode courant concerne l'amplification du signal. En effet, la technologie *MOS* ne permet pas d'amplifier le courant à l'aide d'un ou de deux transistors alors que cela est possible pour l'amplification en tension. L'emploi d'une technologie bipolaire et *MOS* est alors envisageable, les transistors bipolaires réalisant naturellement l'amplification en courant.

2.1.2.3 Utilisation de l'accès substrat des transistors MOS

Lorsque la tension d'alimentation est faible, le phénomène de *latch-up* ne peut plus être déclenché et cela même si le substrat n'est pas connecté aux rails de masse pour le *NMOS* ou d'alimentation pour le *PMOS* [Cha04]. Il devient donc possible d'utiliser l'accès substrat des transistors *bulk* afin de modifier la valeur de la tension de seuil des transistors via le potentiel de leur substrat. La technique consiste alors à appliquer une tension continue sur la grille puis, une fois le canal de conduction formé, de contrôler la tension de substrat afin de modifier la tension de seuil du transistor et ainsi la valeur du courant de drain. La fonction de l'accès substrat se substitue alors à celle initialement prévue pour la grille.

Contrairement au contrôle par la tension grille-source, qui doit être supérieure à la tension de seuil afin de placer le transistor en régime d'inversion forte, le contrôle par l'accès substrat ne dispose pas de seuil, ce qui permet de contrôler le courant de drain avec des tensions substrat-source très faibles. C'est ici l'intérêt du contrôle par l'accès substrat. Cette technique est donc parfaitement adaptée au fonctionnement sous tension d'alimentation faible. La structure devient alors équivalente à un transistor *MOS* à déplétion puisque la tension substrat-source utile pour le contrôle de courant est négative, nulle voire légèrement positive [Zha02]. Légèrement car l'accès substrat forme une diode avec le drain et la source, si bien qu'une tension positive élevée conduit à un courant de substrat important. Ce dernier point représente la limitation majeure de cette technique car, l'excursion du potentiel de substrat étant limitée, le contrôle de la tension de seuil l'est également. Cette technique ne permet donc pas d'obtenir une grande plage de contrôle du courant de drain.

Plusieurs applications basées sur le contrôle de l'accès substrat ont été publiées. La première concerne la réalisation des miroirs de courant [Zha02]. L'exemple présenté dans cet article est illustré sur la figure 2.5.

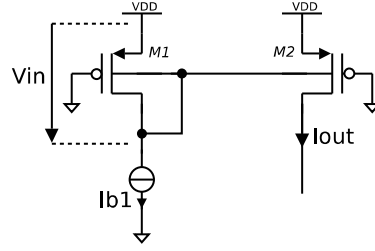


FIG. 2.5 –
Exemple de miroir de courant utilisant l'accès substrat. [Zha02]

Il apparaît dans [Zha02] que le miroir de courant dans sa forme la plus simple n'est pas opérationnel lorsque l'entrée se situe sur l'accès substrat. Le miroir ainsi employé présente une erreur de recopie très élevée due au fonctionnement du transistor d'entrée M_1 dans sa zone ohmique. En effet, le drain de ce transistor étant connecté au substrat et la tension substrat-source V_{in} devant rester faible, la tension source-drain du transistor n'est pas suffisante pour le maintenir en saturation. Une solution consiste à réaliser un montage de type cascode régulé en ajoutant un transistor $PMOS$ cascode en sortie du miroir et en régulant son potentiel de source au potentiel de drain de M_1 [Zha02]. Bien que les performances en ce qui concerne la sortie soient dues à la contre-réaction du transistor cascode, cet article met bien en valeur l'intérêt de l'utilisation de l'accès substrat en démontrant que la tension V_{in} à l'entrée du miroir reste faible quel que soit le niveau de courant appliqué en entrée.

Le deuxième exemple d'utilisation de l'accès substrat est décrit par l'OTA présenté dans [Cha05a]. De la même façon que pour le miroir de courant, les entrées de la paire différentielle se situent au niveau des prises substrat des transistors d'entrée (cf. figure 2.6).

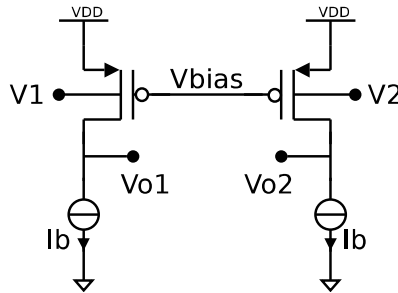


FIG. 2.6 –
Exemple de paire différentielle utilisant les accès substrat comme entrées. [Cha05a]

Dans le schéma de la figure 2.6, le potentiel V_{bias} sert à fixer la tension de mode commun de sortie de la paire lors de son utilisation au sein d'une structure « *fully-differential* ». En effet, ce montage est bien adapté aux amplificateurs « *fully-differential* » puisque la tension de mode commun d'entrée est constante. Il est ainsi possible de limiter les courants de fuite au travers des jonctions PN entre le substrat, la source et le drain. Néanmoins, le fait que la tension de mode commun soit déterminée par les fuites des jonctions PN enlève un degré de liberté quant

au choix de sa valeur. De plus, les entrées n'étant plus connectées aux grilles des transistors, la résistance d'entrée n'est plus infinie et elle varie fortement en fonction du mode commun d'entrée. L'intérêt majeur de ce montage réside donc dans l'indépendance des tensions d'entrée en regard à la tension de seuil des transistors, adaptant ainsi cette paire différentielle au fonctionnement sous faible tension d'alimentation.

2.1.3 Conception de circuits en technologies double grille à grilles indépendantes

Comme cela a été dit précédemment, le développement des technologies double grille n'en est qu'à ses prémices. L'accès à ces technologies, sinon aux modèles correspondants, reste encore difficile aujourd'hui. Les articles concernant la conception de circuits en technologie double grille sont donc très rares, notamment lorsque les grilles sont utilisées séparément l'une de l'autre. Or disposer d'une seconde grille permet d'une part d'obtenir un meilleur contrôle électrostatique du canal et d'autre part, ce second accès peut également être judicieusement mis en valeur en termes d'apport fonctionnel. Afin d'illustrer cet intérêt, les articles suivants présentent des études concernant non seulement les applications analogiques réalisées en technologie double grille à grilles indépendantes, mais également d'autres exemples dans les domaines de la conception numérique et *RF*.

2.1.3.1 IDGMOS en conception numérique et radiofréquence

Les travaux concernant l'application des *IDGMOS* dans le domaine numérique sont les plus nombreux. En effet, les transistors *IDGMOS* permettent dans un premier temps de réaliser les fonctions logiques demandant deux transistors en parallèle en n'utilisant qu'un seul transistor *IDGMOS*. Cela influe directement sur la surface occupée mais aussi sur la puissance consommée et les performances des circuits puisque les capacités parasites sont plus faibles [Chi06]. De toute évidence, le gain en surface reste important pourvu que l'ajout d'un contact pour l'accès à la seconde grille ne rende pas cette surface finalement plus grande que celle occupée par deux transistors en parallèle. De plus, ce gain en surface est nettement plus marqué pour les *IDGMOS* à grilles planaires puisque la deuxième grille se trouve en dessous de la première. Un grand nombre d'articles présentent les avantages de ces technologies dans la réalisation non seulement des fonctions de base du numérique [Chi06] mais également dans celle de fonctions plus complexes telles que les triggers de Schmitt [Cak03] ou les montages Domino [Mah04]. Enfin, un autre intérêt des technologies *IDGMOS* est rapporté dans [Tho07] concernant la conception des cellules SRAM. Dans cet article, il est montré que les technologies double grille permettent de rompre le compromis entre la stabilité en écriture du point mémoire et sa stabilité en lecture sans consommer davantage de silicium. Bien que cet état de l'art soit assez succinct, ces différents articles démontrent combien les apports des technologies *IDGMOS* sont importants pour la conception de circuits numériques et cela quelles que soient les fonctions réalisées.

Concernant les applications *RF*, l'intérêt des *IDGMOS* se retrouve dans le couplage intercanal propre à ces technologies. Il est alors aisé de combiner deux signaux dans le but de les mélanger l'un à l'autre. Une première étude [Red05] compare trois structures de mélangeurs simples *bulk*, *DGMOS* et *IDGMOS* en termes de puissance consommée et de surface occupée. Il ressort de cet article que la structure *IDGMOS* est la plus avantageuse pour des fréquences élevées, supérieures à 40GHz . En effet, le couplage augmenterait la transconductance des transistors en

haute fréquence. Une deuxième étude présente dans [Zha05] une structure de mélangeur simple à un transistor et une autre, différentielle, utilisant seulement quatre transistors *IDGMOS*. Le modèle employé pour simuler les transistors montre que de bonnes performances *RF* peuvent être obtenues grâce à cette technologie pour les deux structures, notamment en ce qui concerne le compromis surface, puissance consommée, tension d'alimentation et performances. Néanmoins, la diminution de la longueur de grille n'a pas que des effets positifs pour la conception *RF*. En effet, les résistances d'accès de grille, de drain et de source demeurent des éléments limitatifs pour le fonctionnement des transistors à des fréquences élevées. Des améliorations devront être apportées aux procédés de fabrication standard afin d'atteindre les prévisions de l'*ITRS*. Selon [Nut07], les pertes en termes de performances *RF* pourraient atteindre 85% en comparaison à un composant idéal. En supposant que les transistors *IDGMOS* puissent atteindre les performances prévues par l'*ITRS*, cet article montre que, même sous cette condition, diminuer la longueur de grille deviendra difficile autour de $10nm$ sans améliorer considérablement les résistances d'accès à la partie active des transistors.

2.1.3.2 IDGMOS en conception analogique

Comme cela a été dit précédemment, le problème majeur lors de l'utilisation de technologies avancées en analogique concerne la baisse de la tension d'alimentation des circuits. De façon similaire à l'accès substrat sur un transistor *bulk*, la grille arrière des *IDGMOS* peut être utilisée afin de diminuer la tension de seuil effective des transistors. Ainsi, les tensions grille-source sont plus faibles pour un courant de polarisation et des dimensions de transistor donnés. Ici encore, les blocs de base peuvent donc être re-conçus, en employant cette fois des transistors *IDGMOS*. Hormis le miroir de courant *IDGMOS*, qui permet d'ajuster la tension d'entrée du miroir en fonction de la tension appliquée sur la grille arrière, certains articles vont plus loin en étudiant également des montages amplificateurs [Kum04b]. Une partie de l'*OTA* présenté dans cet article est illustrée sur la figure 2.7.

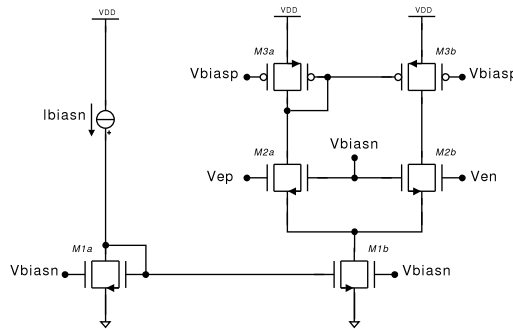


FIG. 2.7 –

Exemple de paire différentielle utilisant des transistors *IDGMOS*. [Kum04b]

Sur cette figure, les grilles arrières des transistors de même type, respectivement *NMOS* et *PMOS*, sont toutes connectées au même potentiel, respectivement V_{biasn} et V_{biasp} . Selon [Kum04b], ces potentiels peuvent être générés par des circuits annexes. De plus, ils peuvent être communs à plusieurs parties du circuit complet, voire au circuit complet. Néanmoins, la

figure 2.7 montre que les grilles arrières des transistors d'entrée $M2a$ et $M2b$ devraient être polarisées à un potentiel différent de celui des transistors du miroir $M1a$ et $M1b$ puisque leur source n'est pas reliée à la masse.

Bien que l'étude n'approfondisse pas certains aspects de ce montage, les premiers résultats concernant l'OTA présenté dans cet article montrent qu'il est possible de maintenir les performances globales d'un amplificateur différentiel bien que sa tension d'alimentation passe de $1,2V$ à $0,5V$ et cela grâce aux transistors *IDGMOS*. En effet, seule la fréquence de transition est diminuée en comparaison avec le montage équivalent employant des transistors à grilles connectées *CDGMOS*. Néanmoins, cette perte fonctionnelle est compensée par la baisse en puissance consommée, le circuit *IDGMOS* étant alimenté sous une tension plus faible.

Cet article est donc très intéressant puisqu'il montre à quel point il est aisé d'utiliser une même technologie et d'adapter l'emploi des transistors aux besoins du circuit en déconnectant simplement les grilles l'une de l'autre. Les technologies proposant des transistors avec des tensions de seuil différentes (« Low-Vt », « high-Vt », « Double Gate oxyde », etc...) ne seront donc peut être plus nécessaires dans le futur et elles pourraient être remplacées par une technologie *IDGMOS* proposant une sorte de « multi-Vt » analogique. Cela permettrait de compenser en partie le surcoût des technologies *IDGMOS* par rapport à celui des technologies standard. D'autre part, les tensions appliquées sur les grilles n'ont pas de limitation en ce qui concerne les courants de fuite de grille. Ce degré de liberté supplémentaire représente, du point de vue de la conception, l'apport majeur des technologies *IDGMOS* sur les techniques utilisant l'accès substrat des transistors.

La grille arrière des transistors *IDGMOS* permet donc d'ajuster la valeur de la tension de seuil selon la tension d'alimentation. Mais ce deuxième accès peut également être employé afin de créer de nouvelles structures dont la topologie est elle-même mieux adaptée au fonctionnement sous tension d'alimentation faible. La caractéristique des transistors *IDGMOS* qui est mise en valeur dans ce cas est la plage de contrôle du courant de drain par les potentiels des grilles (cf. 1.2). Un exemple d'application, présenté dans [Kum04a], est illustré sur la figure 2.8.

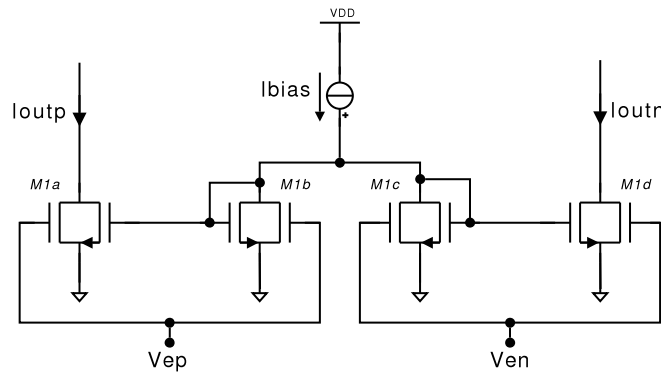


FIG. 2.8 –

Exemple de paire différentielle à polarisation recourbée *IDGMOS* [Kum04a].

Cette figure montre une structure de paire différentielle dans laquelle la source de polarisation I_{bias} a été déplacée de la source vers le drain des transistors d'entrée $M1b$ et $M1c$. Le courant

injecté dans chacun de ces transistors est ensuite recopié grâce aux miroirs de courant formés par $M1a$, $M1b$ et $M1c$, $M1d$. Tant que les tensions V_{ep} et V_{en} sont égales, le montage est symétrique et le courant I_{bias} est réparti de façon égale entre les transistors $M1b$ et $M1c$. En créant un déséquilibre entre les tensions V_{ep} et V_{en} , la symétrie entre les transistors $M1b$ et $M1c$ est rompue et une plus grande part du courant I_{bias} est injectée dans le transistor ayant une tension V_{gs} plus forte. La somme des courants injectés dans les deux transistors étant constante, l'autre transistor reçoit quant à lui moins de courant. Les courants injectés étant recopiés en sortie par les transistors $M1a$ et $M1d$, une fonction différentielle apparaît donc entre les courants de sortie I_{outp} , I_{outn} et les tensions d'entrée V_{ep} , V_{en} . L'intérêt de cette structure repose sur le fait que la tension minimale applicable sur les entrées de la paire est indépendante de la tension de saturation V_{dssat} de la source de polarisation I_{bias} . Cette tension minimale est donc plus faible que celle d'une paire différentielle standard, ce qui rend la structure à polarisation recourbée plus adaptée au fonctionnement sous tension d'alimentation faible.

Une limite existe néanmoins dans ce montage. En effet, il a été montré dans le paragraphe 2.1.2 que les miroirs de courant utilisant l'accès substrat, et de la même façon la grille arrière de transistors *IDGMOS*, sont très sensibles à la dissymétrie entre les tensions drain-source des transistors dès lors que le transistor d'entrée rentre dans sa zone ohmique. Une paire différentielle telle qu'illustrée sur la figure 2.8 présente donc une limitation non plus pour les faibles tensions d'entrée mais cette fois pour les tensions V_{ep} , V_{en} élevées. Les simulations de cette structure sont reprises de [Kum04a] et présentées à la figure 2.9 afin d'en illustrer le fonctionnement. Sa limitation apparaît dans les courbes de cette figure lorsque la tension de mode commun d'entrée est égale à 1,2V.

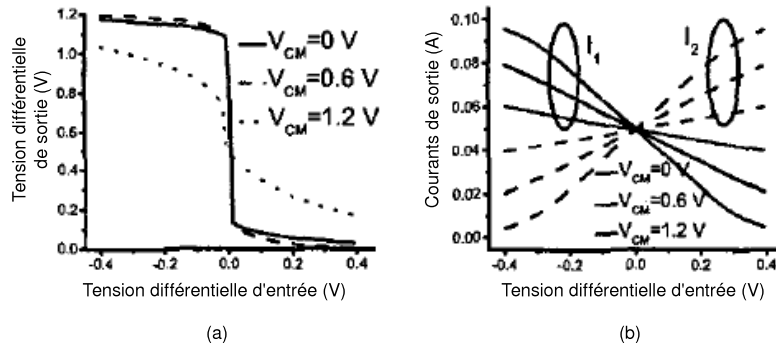


FIG. 2.9 –

Simulation de la paire différentielle à polarisation recourbée *IDGMOS* en fonction de la tension différentielle d'entrée avec un courant de polarisation de 0,1A et une tension de mode commun de 0V, 0,6V et 1,2V [Kum04a]. (a) Tension différentielle de sortie (b) Courants de sortie.

Hormis l'adaptation des circuits à la tension d'alimentation, le couplage intercanal propre aux transistors *IDGMOS* permet également de réaliser des fonctions analogiques avec des circuits potentiellement plus compacts que ceux conçus avec une technologie *bulk*. Une fois encore, c'est la forte dynamique de contrôle du courant de drain par deux accès du même transistor qui est mise en valeur. Un exemple est donné dans [Kum04a] dans le cadre de la réalisation d'un amplificateur cascode régulé.

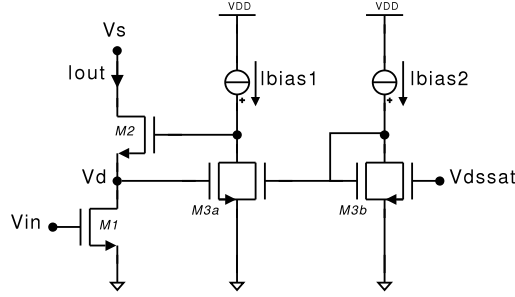


FIG. 2.10 –

Exemple de réalisation d'un amplificateur cascode régulé compact *IDGMOS* [Kum04a].

Le montage cascode illustré par la figure 2.10 permet d'augmenter le gain en tension entre le noeud V_s et la tension d'entrée V_{in} en présentant une résistance de sortie équivalente plus forte. Néanmoins, la tension minimale de sortie est définie par l'équation

$$V_{s,min} = V_{dssat,M2} + V_d \quad (2.6)$$

Cette équation montre qu'il est essentiel de rendre le potentiel V_d le plus proche de la tension de saturation de $M1$ afin d'augmenter la dynamique de sortie. Cela est réalisé par la régulation du potentiel V_d à l'aide des transistors $M3a$ et $M3b$. La tension V_{dssat} d'un transistor étant faible, de l'ordre de la centaine de millivolts, l'aptitude des transistors *IDGMOS* à fonctionner même pour des tensions de grille faibles permet de réaliser la régulation du cascode en utilisant uniquement deux transistors pour la partie active de la boucle. Ainsi dans le montage de la figure 2.10, la tension V_d peut être aisément contrôlée par le potentiel appliqué sur la grille avant du transistor $M3b$.

Le deuxième accès des transistors à grilles déconnectées peut être utilisé comme point de réglage des caractéristiques des circuits. Le couplage intercanal permet alors de réaliser ce réglage de façon compacte et localement sur les transistors actifs du circuit. L'article [Ham07] présente un exemple de miroir de courant programmable dont la figure 2.11 illustre une partie du circuit.

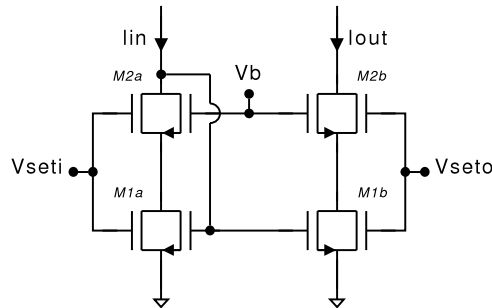


FIG. 2.11 –

Exemple de réalisation d'un miroir de courant programmable *IDGMOS* [Ham07].

Cette figure représente une structure de miroir cascode dont les grilles arrière des transistors d'entrée et de sortie sont connectées respectivement aux potentiels V_{seti} et V_{seto} . Lorsque ces deux potentiels sont égaux, le miroir est symétrique et le courant de sortie I_{out} est globalement égal au courant d'entrée I_{in} . Lorsqu'un déséquilibre est créé entre les potentiels des grilles arrière, la tension de seuil des transistors est alors différente entre les transistors d'entrée $M1a$, $M2a$ et ceux de sortie $M1b$, $M2b$. Puisque la tension grille-source est commune aux transistors $M1a$, $M1b$, le gain entre les courants de drain de ces transistors est différent de 1. Ce montage représente donc un miroir de courant dont le gain en courant est directement programmable via la différence entre les potentiels V_{seti} et V_{seto} . La simulation du miroir de courant programmable est illustrée sur la figure 2.12 à partir des courbes présentées dans [Ham07]. Cette figure montre les différentes caractéristiques de sortie obtenues lorsque la tension V_{seto} est modifiée, illustrant ainsi les possibilités de réglage du gain apportées au miroir de courant par l'emploi de transistors IDGMOS.

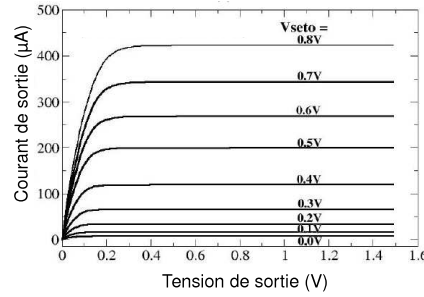


FIG. 2.12 –

Simulation de la caractéristique de sortie miroir de courant programmable IDGMOS pour un courant d'entrée de $100\mu A$, $V_{seti} = 0,35V$ et V_{seto} variant de $0V$ à $0,8V$ [Ham07].

Il est à noter que la grille arrière des transistors peut être utilisée, comme dans le cas précédent, afin de programmer le fonctionnement des circuits mais elle peut également s'avérer très utile afin de compenser les dérives des caractéristiques en fonction de la température, de la tension d'alimentation, du procédé de fabrication, etc...

2.2 Comparaison entre une technologie IDGMOS et MOS bulk avancée

2.2.1 Généralités

Dans le chapitre précédent sont donnés quelques éléments concernant les changements technologiques liés au passage des technologies standard *bulk* vers les technologies CDGMOS. Cette partie se propose quant à elle de comparer les caractéristiques électriques des deux technologies. La première est une technologie MOS bulk correspondant au noeud technologique 65nm (longueur physique minimale de grille égale à 45nm) provenant d'une entreprise du semiconducteur. La deuxième est une technologie CDGMOS à grilles planaires dont les paramètres sont ajustés afin de correspondre aux données de l'ITRS pour le noeud technologique 32nm (longueur physique

minimale de grille égale à $20nm$). Il est à noter que cet ajustement représente une limitation quant à la validité de la comparaison. En effet, les données de l'*ITRS* déterminent les performances à atteindre quant aux paramètres globaux des transistors mais les solutions technologiques permettant d'atteindre ces objectifs sont inconnues pour le moment. Ajuster les paramètres des modèles sur les performances de l'*ITRS* tend donc à idéaliser le composant en comparaison avec les moyens actuels pour l'élaborer. Pour cette raison, l'intérêt de l'étude présentée ici concerne l'aspect qualitatif de la comparaison et celle-ci servira principalement d'illustration aux changements apportés du point de vue des performances électriques des composants futurs.

Les deux kits de conception ont été intégrés dans l'environnement de simulation. Le premier repose donc sur le même modèle de l'*IDGMOS* utilisé jusqu'à présent avec néanmoins des paramètres différents. Le deuxième, le kit de la technologie *MOS bulk 65nm*, a été intégré comme n'importe quel kit de conception standard puisqu'il provient d'un industriel. Il comporte donc toutes les données nécessaires à la conception de circuits et ses paramètres sont ajustés sur la caractérisation physique des composants. Tous les résultats présentés dans cette partie reposent donc sur la simulation des transistors issus de ces kits de conception. Chacune de ces technologies propose deux valeurs de tension de seuil dans le but d'optimiser la conception des circuits selon le rôle de chaque transistor dans le montage. Afin d'éviter tout problème lié à la définition de la tension de seuil d'un transistor, ce chapitre utilise la même définition pour les deux types de technologie. Ainsi, dans toute cette partie, la tension de seuil est définie comme étant la tension grille-source correspondant au maximum de la dérivée seconde du courant de drain par rapport à la tension grille-source, soit encore au maximum de la dérivée de la transconductance par rapport à la tension grille-source. Cela peut s'exprimer par

$$V_t = V_{gs} \quad \backslash \quad \frac{d^3 I_d}{d^3 V_{gs}}(V_{gs}) = \frac{d^2 g_m}{d^2 V_{gs}}(V_{gs}) = 0 \quad (2.7)$$

De plus, les termes employés dans cette partie pour désigner chaque technologie sont définis ainsi :

- DG_LSP
transistor *CDGMOS* à faible puissance de repos (« Low Stand-by Power » [itrte]). Sa tension de seuil est donc élevée afin de diminuer les courants de fuite de drain à l'état bloqué,
- DG_LOP
transistor *CDGMOS* à faible puissance de fonctionnement (« Low Operating Power » [itrte]). Sa tension de seuil est donc faible afin de diminuer les tensions nécessaires à son fonctionnement,
- CMOS_SVT
transistor *bulk* à tension de seuil standard,
- CMOS_LVT
transistor *bulk* à tension de seuil faible

La figure 2.13 illustre la dérivée de la transconductance par rapport à la tension grille-source pour les quatre types de transistor.

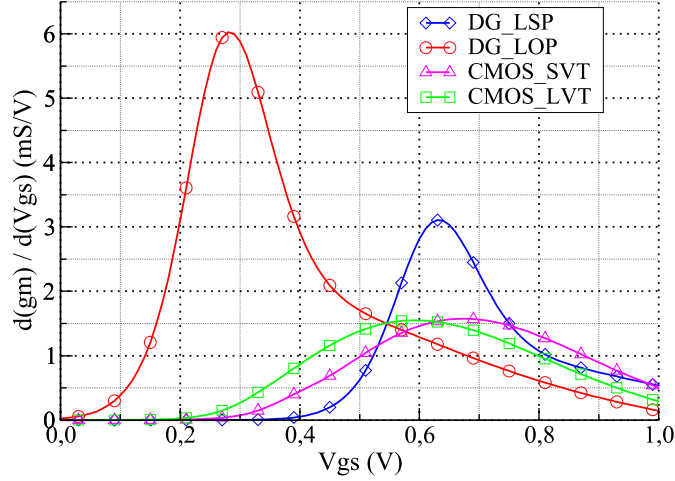


FIG. 2.13 –

Dérivée par rapport à la tension grille-source de la transconductance en fonction de la tension la tension grille-source, $\frac{W}{L} = \frac{600nm}{80nm}$, $V_{ds} = 1,1V$

Selon la définition donnée par l'équation 2.7, les tensions de seuil pour chaque type de transistor correspondent aux maxima des courbes présentées sur la figure 2.13, soit environ :

- DG_LSP : 0,63V
- DG_LOP : 0,28V
- CMOS_SVT : 0,67V
- CMOS_LVT : 0,59V

Ces valeurs montrent que l'écart entre les tensions de seuil haute et basse n'est pas la même pour les technologies *CDGMOS* et *bulk*. Cela peut s'expliquer par le fait que le fabricant de la technologie *bulk* utilise une autre définition de la tension de seuil que celle qui a servi de base à l'ajustement des paramètres de la technologie *CDGMOS*. En effet, la définition de la tension seuil peut être mathématique comme celle utilisée ici. Elle peut être aussi un paramètre d'ajustement. Cela peut être plus raisonnable lorsque la mesure montre que certains paramètres fluctuent de façon à rendre le calcul mathématique rigoureux inutile.

Les tensions de seuil ayant été définies, il est maintenant possible de comparer les performances électriques des transistors en prenant soin de regrouper les transistors en fonction des tensions de seuil (DG_LSP, CMOS_SVT et DG_LOP, CMOS_LVT). Néanmoins, le déséquilibre entre les tensions de seuil DG_LOP et CMOS_LVT complique la comparaison des transistors correspondants. Afin de ne s'intéresser qu'aux changements apportés par l'évolution technologique, les commentaires concernant les performances électriques seront faits pour les transistors DG_LSP et CMOS_SVT.

2.2.2 Comparaison à géométries égales

Dans un premier temps, les transistors sont comparés à dimensions égales. Au sein d'un circuit analogique, la longueur de grille est rarement à la valeur minimale de la technologie. Dans cette partie, celle-ci est donc fixée à $L = 80nm$ et la largeur à $W = 600nm$. Il est à noter que ces géométries correspondent à la surface vue du dessus du wafer. Or puisque les transistors *CDGMOS* à grilles planaires possèdent deux canaux l'un au dessus de l'autre, la largeur totale de ces transistors n'est pas électroniquement équivalente à celle des transistors *bulk*. Néanmoins, ce choix permet de comparer les performances des transistors à dimensions en surface égales.

La première simulation consiste simplement à tracer les caractéristiques $I_d = f(V_{gs})$ des transistors. Les résultats obtenus sont présentés à la figure 2.14.

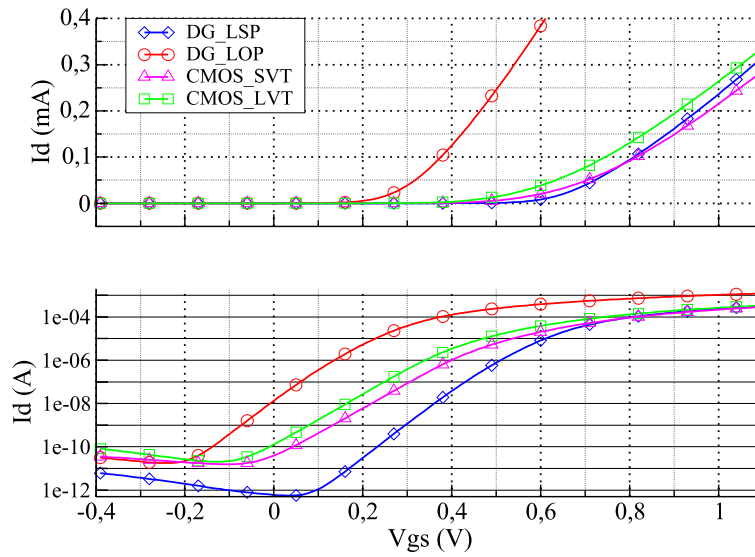


FIG. 2.14 –

Courant de drain des transistors en fonction de leur tension grille-source, $\frac{W}{L} = \frac{600nm}{80nm}$, $V_{ds} = 1,1V$

Le tracé en échelle logarithmique de la figure 2.14 montre que l'emploi d'un film de silicium « *fully-depleted* » permet à la *pente sous le seuil* des transistors *CDGMOS* d'être inférieure à celle des composants standard. La *pente sous le seuil* étant plus faible, la transconductance des *CDGMOS* dans cette zone de fonctionnement est donc plus élevée que celle des transistors *bulk* à dimensions données, et cela indépendamment de la largeur de grille. En effet, le courant de drain tend vers un courant de diffusion et la transconductance est alors indépendante de la géométrie de la grille du transistor. Bien que cela ne soit pas le thème de ce chapitre, cette figure montre également que les transistors *CDGMOS* présentent de meilleures performances pour la conception de circuits numériques. En effet, la *pente sous le seuil* plus faible permet potentiellement d'obtenir un meilleur rapport I_{on}/I_{off} pour les transistors double grille que celui fourni par les transistors standard. De la même façon, la figure 2.14 montre que le courant des transistors *CDGMOS* est supérieur à celui des transistors *bulk* en régime d'inversion forte. Néanmoins, le courant de drain dans ce régime est un courant de conduction et il est donc lié à

la géométrie du canal. Les commentaires précédents sont valables également en ce qui concerne la transconductance représentée à la figure 2.15.

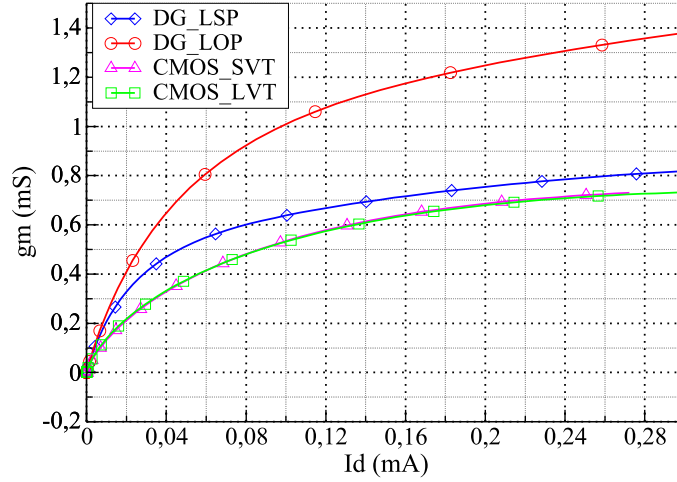


FIG. 2.15 –

Transconductance des transistors en fonction de leur courant de drain, $\frac{W}{L} = \frac{600nm}{80nm}$, $V_{ds} = 1,1V$

L'intérêt de tracer les variations de la transconductance en fonction du courant est que la comparaison peut se faire sans tenir compte de la tension grille-source des transistors. Cette méthode est donc indépendante de la valeur de la tension de seuil. La figure 2.15 permet également d'illustrer la saturation de la mobilité des porteurs lorsque le courant de drain devient trop élevé. L'effet de cette saturation est qu'elle empêche la transconductance d'augmenter continûment avec la polarisation du transistor. La transconductance a donc tendance à saturer bien que le courant de drain augmente. A dimensions égales en surface du wafer, les transistors *CDGMOS* à grilles planaires disposent donc d'une meilleure densité de courant et d'une transconductance plus élevée que les transistors à simple grille. Et inversement, les transistors *CDGMOS* à grilles planaires ont une meilleure densité d'intégration à courants de drain égaux que les transistors à simple grille tant pour la conception analogique que pour le domaine du numérique. Enfin, une différence apparaît entre les caractéristiques des transistors *CDGMOS* DG_LSP et DG_LOP. En effet, lorsque le film est de type « *fully-depleted* », les tensions de seuil ne peuvent être fixées par les dopants du film. Les tensions de seuil sont alors réglées à l'aide de la différence des travaux de sortie entre la grille et le silicium des composants. Ainsi, à deux tensions de seuil correspondent, entre autres, deux valeurs d'épaisseur équivalente d'oxyde. Or l'expression standard du courant de drain en fonction de la tension grille-source des transistors *MOS* en régime d'inversion forte s'écrit :

$$I_d = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{gs} - V_t)^2 \quad (2.8)$$

avec :

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (2.9)$$

Les équations 2.8 et 2.9 montrent que l'épaisseur équivalente d'oxyde rentre directement en compte dans les expressions du courant de drain et de la transconductance. Puisque les courbes de la figure 2.15 sont indépendantes de la tension de seuil des transistors, la différence apparaissant entre les caractéristiques des transistors *CDGMOS* DG_LSP et DG_LOP est donc due à la différence entre les épaisseurs équivalentes d'oxyde des deux composants.

Au sein d'un circuit analogique, une figure de mérite des performances des transistors est représentée par le rapport entre la transconductance et le courant de drain en fonction de ce même courant de drain. L'intérêt de cette figure de mérite est qu'elle est une image du gain intrinsèque du transistor, i.e. le gain en tension du transistor lorsqu'il n'est chargé que par sa propre résistance drain-source. Puisque celle-ci est inversement proportionnelle au courant de drain, le gain intrinsèque est lui même proportionnel au ratio g_m/I_d . Les courbes de la figure 2.16 illustrent les variations de ce facteur de mérite en fonction du courant de drain de chaque transistor.

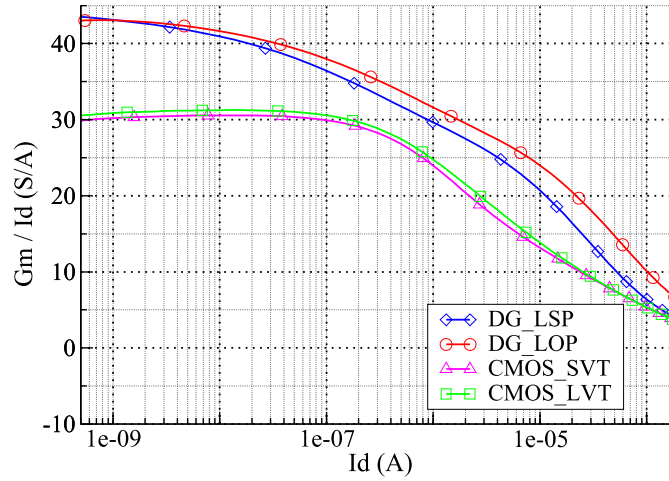


FIG. 2.16 –

Rapport entre transconductance et courant de drain des transistors en fonction de leur courant de drain, $\frac{W}{L} = \frac{600nm}{80nm}$, $V_{ds} = 1,1V$

Les courbes de la figure 2.16 montrent que les gains intrinsèques augmentent tous lorsque la polarisation du transistor diminue. Ceci est dû au fait que la résistance drain-source des transistors augmente davantage que la transconductance ne diminue en régime d'inversion forte. Un palier est atteint lorsque les transistors passent en régime d'inversion faible puisque la transconductance devient elle-même proportionnelle au courant de polarisation. Le palier est toutefois

moins marqué sur les caractéristiques des transistors *CDGMOS* et cela peut être expliqué par l'utilisation d'un film de silicium « *fully-depleted* » qui présente une résistivité intrinsèque plus élevée qu'un substrat dopé. Il est néanmoins rappelé que les modèles des transistors *CDGMOS* sont ajustés sur les paramètres de l'*ITRS* et que celle-ci ne donne pas les valeurs de tous les paramètres rentrant en compte en analogique. Les résistances d'accès au drain et à la source du transistor sont, par exemple, très importantes en analogique et elles peuvent dégénérer le transistor, diminuant alors la valeur de la transconductance.

Ce qui précède montre néanmoins que les transistors *CDGMOS* ont de meilleures caractéristiques d'entrée que les composants à substrat massif. Ils optimisent donc la capacité des transistors à convertir la tension d'entrée en courant. Les caractéristiques de sortie s'intéressent quant à elles au comportement du transistor en tant que générateur de courant. Les performances du composant sont donc relatives à sa capacité à fournir un courant constant ainsi qu'une résistance de sortie élevée et cela quelle que soit la tension drain-source appliquée au transistor. Les courbes de la figure 2.17 présentent les variations du courant de drain des transistors en fonction de leur tension drain-source lorsque la tension V_{gs} est fixée afin de fournir un courant de $100\mu A$ à $V_{ds} = 1,1V$.

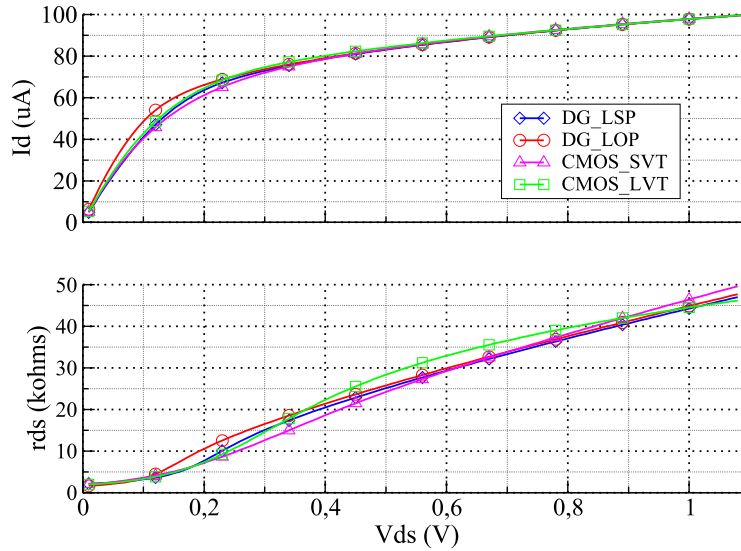


FIG. 2.17 –

Courant de drain et résistance drain-source « *petits signaux* » des transistors en fonction de leur tension drain-source, $\frac{W}{L} = \frac{600nm}{80nm}$, V_{gs} tel que $I_d = 100\mu A$ pour $V_{ds} = 1,1V$.

L'apport des transistors *CDGMOS* quant aux caractéristiques de sortie n'est pas bien mis en valeur par la figure 2.17. En effet, ces courbes montrent que, tant pour la tension de saturation que pour la résistance de sortie, les résultats sont à peu près équivalents. Or les caractéristiques technologiques des *CDGMOS*, notamment l'emploi d'un film de silicium « *fully-depleted* » ainsi que leur meilleur contrôle électrostatique du canal, devraient améliorer leur résistance drain-source par rapport à celle d'une technologie standard *bulk*. Il faut néanmoins noter que ces courbes sont obtenues pour une longueur de grille des transistors de $80nm$ et que la résistance

drain-source se dégrade rapidement lorsque la longueur de grille diminue. Il est donc nécessaire de comparer la résistance drain-source des transistors pour différentes valeurs de la longueur de grille. La figure 2.18 montre l'évolution de la résistance de sortie des transistors en fonction de la longueur de grille lorsque le ratio W/L est maintenu constant. Pour cette simulation, la tension V_{ds} et le courant de drain I_d sont fixés respectivement à $1,1V$ et $100\mu A$.

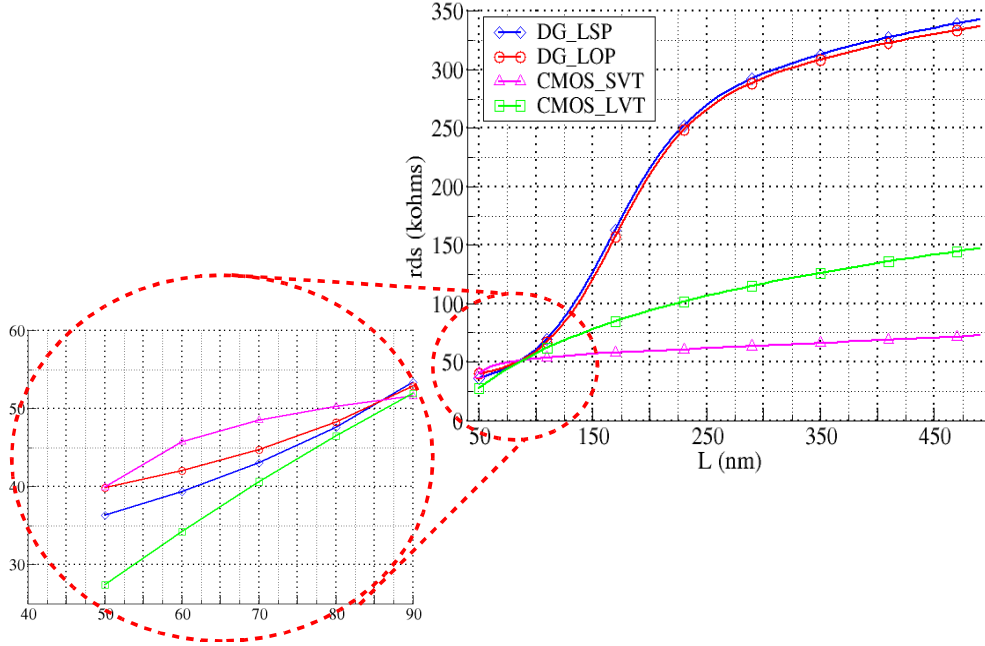


FIG. 2.18 –

Résistance drain-source « *petits signaux* » des transistors en fonction de leur longueur de grille, $\frac{W}{L} = \frac{600}{80}$, $V_{ds} = 1,1V$, $I_d = 100\mu A$

Cette figure révèle bien mieux les différences entre les deux technologies. D'une part, le graphique principal montre que la résistance drain-source des *CDGMOS* pour les longueurs de grille élevées sont bien plus fortes que celle des transistors *bulk*. D'autre part, la zone agrandie des variations autour des valeurs faibles de longueur de grille permet de montrer que la dégradation de la résistance de sortie est plus rapide pour les transistors standard lorsque la longueur de grille se rapproche de la longueur minimale de la technologie. La pente étant plus douce pour les *CDGMOS*, il est donc possible de maintenir une résistance drain-source plus forte autour de la longueur de grille minimale comparativement à celle des transistors *bulk*.

Au sein d'un montage amplificateur de tension, le gain dépendant directement des transconductances et des résistances drain-source des transistors, tant les caractéristiques de sortie que celles d'entrée des transistors double grille montrent que les performances des transistors double grille sont potentiellement meilleures que celles des *bulk*. Au sein d'un circuit analogique, ces apports se traduiront soit par un gain en performances globales du circuit à géométries égales, soit par un gain en surface occupée à performances équivalentes.

2.2.3 Comparaison à courants de drain égaux

Cette section est le reflet complémentaire de l'étude présentée dans le paragraphe précédent. En effet, ce sont ici les courants de polarisation des transistors qui sont communs aux deux technologies. Les performances électriques étant souvent liées à ce courant de polarisation, cette partie permet donc d'illustrer plus facilement le gain en surface occupée à performances équivalentes. Les apports des transistors double grille ayant été étudiés dans le paragraphe précédent, cette partie ne reprend pas tous les détails déjà mentionnés dans la partie précédente.

En réalité, le gain en surface occupée peut s'illustrer simplement en ne prenant en compte que l'évolution de la transconductance en fonction de la surface de la grille. Afin de conserver une valeur de résistance drain-source à peu près équivalente pour les deux technologies, la longueur de grille est gardée constante, égale à $80nm$ (cf. figure 2.18). La surface est donc modifiée en faisant varier la largeur W des transistors. Les résultats de simulation représentés à la figure 2.19 sont obtenus pour une tension drain-source et un courant de polarisation fixés respectivement à $1,1V$ et $245\mu A$. Cette valeur de courant de drain est choisie afin de maintenir tous les transistors dans leur zone d'inversion forte pour la plage de variation de largeur de grille considérée.

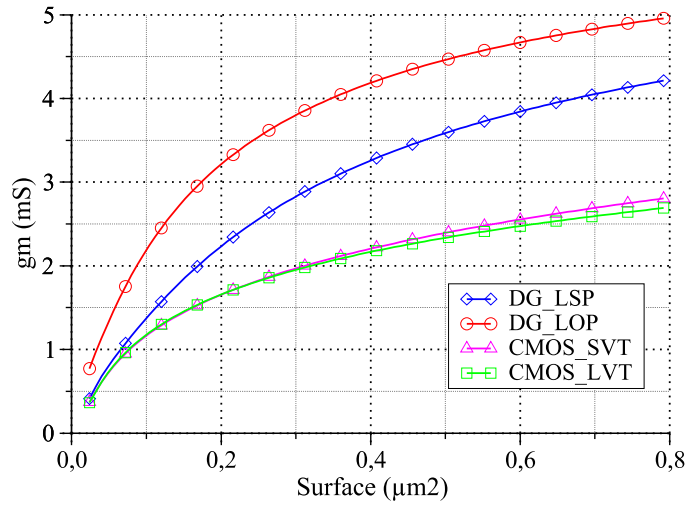


FIG. 2.19 –

Transconductance des transistors en fonction de leur surface de grille, $L = 80nm$, $V_{ds} = 1,1V$, $I_d = 245\mu A$

Ici encore, la différence entre les courbes des deux transistors *CDGMOS* est due à la différence entre les travaux d'extraction de la grille des composants DG_LSP et DG_LOP. Les courbes de la figure 2.19 montrent, par exemple, que pour obtenir une transconductance d'environ $2,2mS$, il faudra une surface de grille de $0,4\mu m^2$ pour les transistors *bulk*. Pour la même transconductance, la surface nécessaire en utilisant une technologie double grille est inférieure à la moitié de la surface occupée par un transistor standard. Comme le montre la figure 2.18, ce gain en surface occupée est d'autant plus grand que la longueur de grille est elle-même élevée, la résistance de

sortie des *CDGMOS* augmentant rapidement avec la longueur de grille.

2.3 Grilles indépendantes : considérations analogiques

Les chapitres précédents ont présenté une étude générale du comportement de l'*IDGMOS*. En effet, il a été montré que ses apports fonctionnels, son modèle ainsi que ses applications couvrent tous les domaines de la conception électronique intégrée. A présent, ces outils et la compréhension acquise concernant l'influence du couplage peuvent servir de bases à une étude plus approfondie sur les capacités de l'*IDGMOS* au sein d'un circuit analogique. Les considérations relatives à l'appariement des transistors *IDGMOS* ne seront pas présentées dans ce chapitre.

2.3.1 Fonctionnement fréquentiel

Due à la proximité des grilles l'une par rapport à l'autre, la structure physique de l'*IDGMOS* présente des capacités parasites entre les grilles. Deux types de capacités inter-grilles existent au sein de la structure *IDGMOS*.

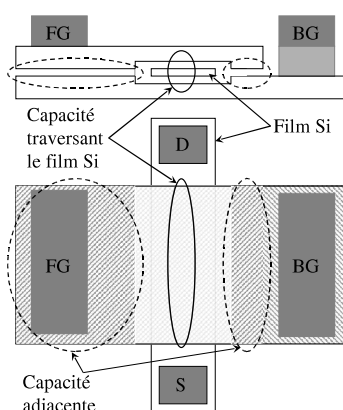


FIG. 2.20 –
Capacités inter-grilles de la structure *IDGMOS*

Comme illustré sur la figure 2.20, la première capacité traverse le film de silicium alors que la seconde, due aux zones de débordement des grilles autour du canal, est adjacente au film de silicium. La capacité située au niveau du film de silicium est semblable à celle présente dans les transistors *bulk*. Sa valeur dépend donc de la polarisation du transistor d'une part, de la longueur et la largeur de la grille d'autre part. En diminuant la longueur de la grille, il est alors possible de diminuer cette capacité et ainsi d'augmenter la *fréquence de transition* du transistor. Dans le cas de l'*IDGMOS*, la capacité adjacente au film de silicium vient s'ajouter à la capacité traversant le film. Or la capacité adjacente ne dépend pas de la longueur du canal mais principalement de sa largeur ainsi que des paramètres technologiques tels que l'oxyde utilisé pour les grilles et l'espacement entre celles-ci en dehors du canal. Pour cette raison, la déconnexion des grilles limite les apports recherchés lors de la diminution de la longueur de canal quant au fonctionnement haute fréquence des circuits analogiques. Néanmoins, cela est valable si la valeur de la capacité

adjacente est du même ordre de grandeur ou supérieure à celle de la capacité traversant le film de silicium. Il serait donc possible d'utiliser un procédé technologique maintenant la valeur de la capacité adjacente négligeable face à celle de la capacité traversant le film.

2.3.2 Transconductances aux variations « petits signaux »

La linéarisation « petits signaux » des équations du modèle de l'*IDGMOS* explicitée en 1.4 a permis d'obtenir les expressions approchées de la transconductance du transistor en fonction de l'état d'inversion de ses interfaces. En reprenant ces expressions, il est possible de comparer les performances de l'*IDGMOS* à celle du transistor *bulk* en ce qui concerne leur transconductance respective.

Concernant les transistors *bulk* standard, les équations 2.10 et 2.11 représentent les expressions simplifiées des transconductances selon que le transistor se trouve respectivement dans sa zone d'inversion faible ou forte :

$$gm_{bulk} = \frac{I_d}{u_t} \quad (2.10)$$

$$gm_{bulk} = 2\sqrt{\frac{\mu_n C_{ox}}{2} \frac{W}{L} I_d} \quad (2.11)$$

Dans ces équations, I_d représente le courant de drain statique, W et L sont les dimensions électriques du canal, μ_n et C_{ox} sont respectivement la mobilité des électrons et la capacité surfacique de l'oxyde de grille. De la même façon, les transconductances approchées concernant les *IDGMOS* peuvent être exprimées grâce aux équations déterminées au chapitre 1.4. Puisque le transistor double grille à grilles planaires est symétrique, seules trois zones de fonctionnement distinctes existent :

- (a) les deux interfaces sont en régime d'inversion faible,
- (b) seule une interface est en régime d'inversion forte,
- (c) les deux interfaces sont en régime d'inversion forte.

Il est rappelé ici que deux hypothèses importantes ont été formulées afin de simplifier les expressions. Premièrement, le courant d'un canal en régime d'inversion faible est négligeable face à celui d'une interface en régime d'inversion forte. Compte tenu de la faible contribution aux variations du courant de drain global d'une interface en régime d'inversion faible comparativement avec celle d'une interface en inversion forte pour des variations de tensions de grille équivalentes, cette hypothèse a été étendue aux courants « petits signaux ». Deuxièmement, le couplage n'existe plus lorsque les deux interfaces sont en régime d'inversion forte. L'expression de la transconductance dans ce régime est donc la même que celle obtenue pour deux transistors connectés en parallèle. Enfin, il a été montré que seule une interface en inversion faible peut influencer l'interface opposée par couplage. Compte tenu de ces hypothèses, les expressions simplifiées des transconductances relatives aux trois régimes de fonctionnement déterminées au chapitre 1.4 peuvent être mises sous la forme des équations 2.12 à 2.14. Concernant l'équation 2.13, seule l'interface avant est en régime d'inversion forte.

$$\begin{bmatrix} i_{dfg} \\ i_{dbg} \end{bmatrix}_{(a)} = \begin{bmatrix} \frac{1}{n_{fg}} \frac{I_{dfg}}{ut} & \frac{n_{fg}-1}{n_{fg}} \frac{I_{dfg}}{ut} \\ \frac{n_{bg}-1}{n_{bg}} \frac{I_{dbg}}{ut} & \frac{1}{n_{bg}} \frac{I_{dbg}}{ut} \end{bmatrix}_{(a)} \begin{bmatrix} v_{gsfg} \\ v_{gsbg} \end{bmatrix}_{(a)} \quad (2.12)$$

$$\begin{bmatrix} i_{dfg} \\ i_{dbg} \end{bmatrix}_{(b)} = \begin{bmatrix} \frac{1}{\sqrt{n_{fg}}} 2\sqrt{\frac{\mu_n C_{oxfg}}{2} \frac{W_{fg}}{L_{fg}} I_{dfg}} & \frac{n_{fg}-1}{\sqrt{n_{fg}}} 2\sqrt{\frac{\mu_n C_{oxfg}}{2} \frac{W_{fg}}{L_{fg}} I_{dfg}} \\ \approx 0 & \approx 0 \end{bmatrix}_{(b)} \begin{bmatrix} v_{gsfg} \\ v_{gsbg} \end{bmatrix}_{(b)} \quad (2.13)$$

$$\begin{bmatrix} i_{dfg} \\ i_{dbg} \end{bmatrix}_{(c)} = \begin{bmatrix} 2\sqrt{\frac{\mu_n C_{oxfg}}{2} \frac{W_{fg}}{L_{fg}} I_{dfg}} & 0 \\ 0 & 2\sqrt{\frac{\mu_n C_{oxbg}}{2} \frac{W_{bg}}{L_{bg}} I_{dbg}} \end{bmatrix}_{(c)} \begin{bmatrix} v_{gsfg} \\ v_{gsbg} \end{bmatrix}_{(c)} \quad (2.14)$$

Les paramètres de ces équations sont définis de la même façon que pour ceux des équations 2.10 et 2.11. Ainsi, les courants I_{dfg} et I_{dbg} représentent les courants de polarisation des interfaces avant et arrière du transistor. Tous les autres paramètres sont indexés selon le même principe en fonction du canal correspondant. Les paramètres n_{fg} et n_{bg} sont les facteurs de couplage capacitif des interfaces ($1 < n_{fg}$, $n_{bg} < 2$ pour une structure symétrique, cf. expression 1.3). Puisque les interfaces sont supposées être symétriques, tous les paramètres, exceptés les courants de drain I_{dfg} et I_{dbg} , sont communs aux deux interfaces. Les équations 2.10 à 2.14 sont présentées de manière à y faire apparaître les transconductances des MOS classiques. Il y apparaît les coefficients relatif au couplage, traduisant son influence dans le cadre des variations « petit signaux ».

$$\begin{bmatrix} i_{dfg} \\ i_{dbg} \end{bmatrix}_{(a)} = \begin{bmatrix} \frac{1}{n_{fg}} gm_{bulkfg} & \frac{n_{fg}-1}{n_{fg}} gm_{bulkfg} \\ \frac{n_{bg}-1}{n_{bg}} gm_{bulkb g} & \frac{1}{n_{bg}} gm_{bulkb g} \end{bmatrix}_{(a)} \begin{bmatrix} v_{gsfg} \\ v_{gsbg} \end{bmatrix}_{(a)} \quad (2.15)$$

$$\begin{bmatrix} i_{dfg} \\ i_{dbg} \end{bmatrix}_{(b)} = \begin{bmatrix} \frac{1}{\sqrt{n_{fg}}} gm_{bulkfg} & \frac{n_{fg}-1}{\sqrt{n_{fg}}} gm_{bulkfg} \\ 0 & 0 \end{bmatrix}_{(b)} \begin{bmatrix} v_{gsfg} \\ v_{gsbg} \end{bmatrix}_{(b)} \quad (2.16)$$

$$\begin{bmatrix} i_{dfg} \\ i_{dbg} \end{bmatrix}_{(c)} = \begin{bmatrix} gm_{bulkfg} & 0 \\ 0 & gm_{bulkb g} \end{bmatrix}_{(c)} \begin{bmatrix} v_{gsfg} \\ v_{gsbg} \end{bmatrix}_{(c)} \quad (2.17)$$

Les transconductances gm_{bulk} des équations 2.15 à 2.17 sont indexées selon l'interface correspondante. Cela signifie que le courant I_d des formules 2.10 et 2.11 est remplacé ici par les courants traversant les interfaces avant et arrière, I_{dfg} et I_{dbg} . Le fonctionnement décrit par l'ensemble des matrices 2.15 à 2.17 peut être représenté par une structure réalisée à l'aide de deux sources de courant commandées en tension en parallèle. Ce schéma équivalent « petits signaux » est illustré sur la figure 2.21.

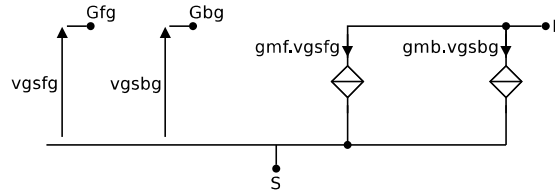


FIG. 2.21 –
Schéma équivalent « petits signaux » d'un transistor *IDGMOS*.

Sur ce schéma, les points G_{fg} , G_{bg} , S et D représentent les grilles avant et arrière du transistor, sa source et son drain. Les transconductances gm_f et gm_b représentent la somme des contributions respectives de la grille avant et de la grille arrière aux variations du courant de drain global. Elles doivent être remplacées par les expressions obtenues dans les équations 2.15 à 2.17 en fonction du régime d'inversion de l'interface considérée. Il est à noter l'équivalence entre ce schéma et celui d'un transistor *bulk* dont l'accès substrat est également utilisé «aux variations». Enfin, ce schéma étant déduit des équations 2.15 à 2.17, seules les transconductances y figurent.

Afin d'illustrer l'impact du couplage sur la transconductance de l'*IDGMOS*, le schéma de la figure 2.21 ainsi que les équations précédemment établies sont appliqués au sein des structures de la figure 2.22.

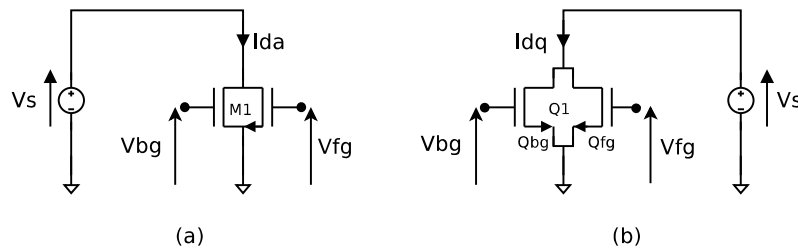


FIG. 2.22 –
Schémas d'étude de l'effet du couplage sur la transconductance. (a) *IDGMOS*. (b) Structure à deux transistors *CDGMOS* en parallèle.

Ces circuits se composent d'une part d'un transistor *IDGMOS* M_1 (figure 2.22.a), disposant

d'un couplage intercanal et d'autre part, d'un ensemble de deux *CDGMOS* connectés en parallèle Q_1 (figure 2.22.b), ne présentant quant à lui aucun couplage entre les deux transistors. Dans les deux cas, les courants I_{da} et I_{dq} se répartissent entre les faces avant et arrière de M_1 et de la structure Q_1 . Les dimensions de M_1 et des transistors de Q_1 ont été choisies afin d'obtenir deux structures à géométries équivalentes. Les dimensions des transistors, données en μm , sont donc respectivement 1/0,2 et 0,5/0,2 pour M_1 et les transistors de Q_1 . Les caractéristiques I_d de V_{fg} avec $V_{bg} = 0\text{V}$ et $V_s = 1\text{V}$ sont présentées sur la figure 2.23.

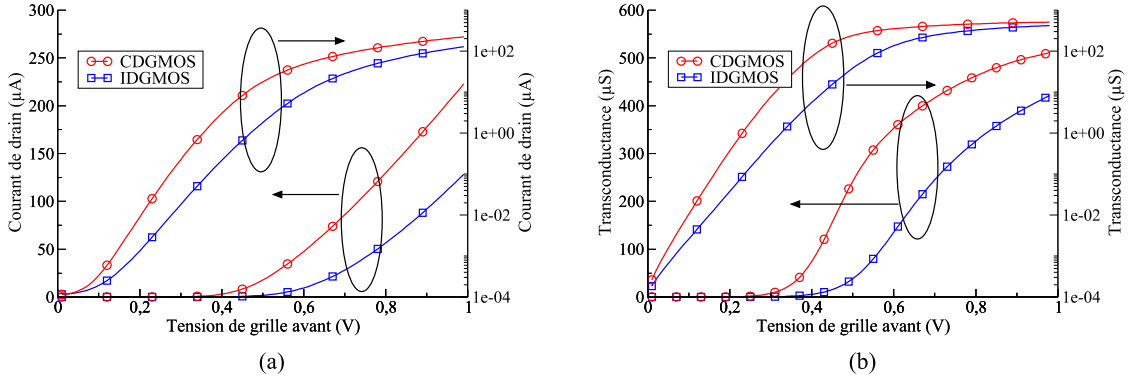


FIG. 2.23 –

Courants de drain et transconductances relatifs aux montages de la figure 2.22 avec $V_s = 1\text{V}$ et $V_{bg} = 0\text{V}$

Ces caractéristiques illustrent l'impact du couplage sur la transconductance de l'*IDGMOS* lorsqu'au moins l'une des interfaces est en régime d'inversion faible. A titre d'exemple, la transconductance pour un courant de drain de $40\mu\text{A}$ est de $329\mu\text{S}$ dans le cas Q_1 alors qu'elle n'est que de $281\mu\text{S}$ pour l'*IDGMOS* M_1 . Il apparaît donc que l'*IDGMOS* est moins performant que la structure Q_1 en terme de transconductance. Cependant, ces courbes ont été obtenues en fixant la grille arrière à la masse. Une étude plus approfondie dans le cas général est nécessaire afin de pouvoir conclure réellement sur l'impact du couplage pour différentes valeurs de polarisation de la grille arrière.

Bien que le schéma équivalent « petits signaux » soit le même pour les deux circuits de la figure 2.22, la différence entre ces montages apparaît dans les expressions des transconductances gm_f et gm_b . En effet, les matrices de transconductances relatives au transistor M_1 sont celles décrites par les équations 2.15 à 2.17. Dans le cas de la structure Q_1 , les matrices de transconductances sont données par les équations 2.18 à 2.20 lorsque les deux *CDGMOS* sont respectivement tous les deux en inversion faible (a), l'un seulement en inversion forte (Q_{fg}) (b) puis les deux en inversion forte (c) :

$$\begin{bmatrix} gm_{bulkfg} & 0 \\ 0 & gm_{bulkbq} \end{bmatrix}_{(a)} \quad (2.18)$$

$$\begin{bmatrix} gm_{bulkfg} & 0 \\ 0 & 0 \end{bmatrix}_{(b)} \quad (2.19)$$

$$\begin{bmatrix} gm_{bulkfg} & 0 \\ 0 & gm_{bulkbg} \end{bmatrix}_{(c)} \quad (2.20)$$

Dans ces équations, les courants apparaissant dans les expressions des transconductances gm_{bulkfg} et gm_{bulkbg} sont égaux aux courants de polarisation traversant respectivement les faces avant et arrière de la structure Q_1 . L'absence de couplage au sein de la structure de la figure 2.22.b se retrouve dans les matrices 2.18 à 2.20 dans le sens où d'une part, seuls les termes diagonaux des matrices sont non-nuls et d'autre part, ces termes sont exactement égaux à ceux correspondant à chaque transistor pris de façon isolée. L'influence du couplage lorsque les deux interfaces sont en régime d'inversion forte est inexistant. Cela se retrouve dans l'égalité des matrices 2.17 et 2.20. Lorsque seule une interface est en régime d'inversion forte, la comparaison des matrices 2.16 et 2.19 montre que plusieurs cas sont à considérer. Si seule le potentiel avant présente des variations, la transconductance correspondante est plus faible dans le cas de l'*IDGMOS* à cause du terme multiplicatif inférieur à l'unité. Il est à noter que cette diminution de la transconductance due au couplage n'est pas anodine car elle peut intervenir au sein de certaines applications des transistors, notamment lorsque l'accès arrière est utilisé en statique afin de contrôler la tension de seuil de la face avant. Dans le cas inverse, c'est-à-dire lorsque seule la face arrière présente des variations de potentiel de grille, c'est la transconductance du transistor *IDGMOS* qui devient supérieure à celle de la structure Q_1 . C'est ici avantage majeur du couplage qui avait déjà été révélé lors de l'étude comportementale de l'*IDGMOS* du chapitre 1.2. La limite entre les deux cas est obtenue pour

$$\frac{v_{gsbg}}{v_{gsfg}} = \frac{\sqrt{n_{fg}} - 1}{n_{fg} - 1} \quad (2.21)$$

Dans le cas de l'inversion faible sur les deux interfaces, il est ici aussi plus simple de dissocier les cas. Lorsque les variations de tension sont nulles sur la grille arrière, la matrice 2.15 et l'équation 2.10 permettent d'écrire :

$$\frac{i_d}{v_{gsfg}} = \frac{i_{dfg} + i_{dbg}}{v_{gsfg}} = \frac{1}{n_{fg}} \frac{I_{dfg}}{u_t} + \frac{n_{bg} - 1}{n_{bg}} \frac{I_{dbg}}{u_t} \quad (2.22)$$

Puisque le transistor *IDGMOS* est symétrique et que les grandeurs n_{fg} et n_{bg} sont des constantes technologiques, il est possible de poser $n_{fg} = n_{bg} = n$ avec $1 < n < 2$ et $I_{dbg} = I_d - I_{fg}$, avec I_d le courant de drain global du transistor. L'expression 2.22 peut alors s'écrire :

$$\frac{i_d}{v_{gsfg}} = \frac{1}{n \cdot u_t} [(n-1)I_d + (2-n)I_{dfg}] \quad (2.23)$$

Puisque $I_d > I_{dfg}$ et $1 < n < 2$, alors $(2-n)I_d > (2-n)I_{dfg}$ et :

$$\frac{I_d}{u_t} > \frac{I_d}{n \cdot u_t} > \frac{1}{n \cdot u_t} [(n-1)I_d + (2-n)I_{dfg}] \quad (2.24)$$

L'équation 2.24 monte bien que la transconductance relative aux variations sur la grille avant est plus faible que celle d'un transistor *bulk* correspondant aux mêmes variations. Les matrices étant symétriques, la conclusion est la même dans le cas de variations uniquement sur la grille arrière. La conclusion générale concernant l'inversion faible sur les deux faces est que la transconductance de l'*IDGMOS* est plus faible que celle de la structure Q_1 . Il est à noter que la baisse de transconductance n'est due à la façon dont se répartit le courant de drain global entre les deux interfaces puisque qu'aucune hypothèse n'a été faite concernant cette répartition.

Enfin, l'équation 2.16 permet de soulever une particularité intéressante de l'*IDGMOS*. Comme cela a été dit au chapitre 1.2, le transistor *IDGMOS* rend possible le contrôle d'un courant de drain correspondant à une inversion forte du canal de conduction avec une tension grille-source dont la valeur correspond à une inversion faible. Il a alors été précisé que ce comportement représente un avantage quant au couplage des étages d'un circuit entre eux. L'équation 2.16 montre quant à elle que lorsque les régimes d'inversion sont différents pour les deux interfaces, la transconductance ne dépend alors que des paramètres de l'interface en inversion forte. Les variations du potentiel appliqué sur la grille de l'interface en inversion faible sont transmises à l'interface en forte inversion sans dépendance en regard aux paramètres du canal en inversion faible. Cela reste vrai tant que la face arrière demeure en inversion faible, c'est-à-dire sur une plage de tension statique grille-source allant de 0V à une valeur proche de la tension de seuil.

2.4 Conclusion

Le but de ce chapitre a été de préciser l'environnement futur du transistor *IDGMOS* afin de savoir dans quelle mesure ce nouveau composant peut faciliter la conception des circuits analogiques à venir. Il ressort de l'état de l'art présenté en début de chapitre que le verrou majeur sera potentiellement la tension d'alimentation. Il montre également que certaines solutions sont d'ores et déjà envisagées et qu'elles ne nécessitent pas l'emploi de structures telles que l'*IDGMOS*. Parmi ces solutions, celle qui permet le plus d'approcher la limite basse de tension d'alimentation $V_{gs} + V_{dssat}$ réside dans l'utilisation de l'accès substrat des transistors *bulk* standard. Cette technique est d'autant plus importante en ce qui concerne les travaux présentés dans ce manuscrit que d'une part, elle permet effectivement aux circuits de fonctionner sous tension d'alimentation faible et que d'autre part, son principe s'approche relativement du mode de fonctionnement propre à l'*IDGMOS* en termes de contrôle de la tension de seuil. Cependant, une différence majeure existe entre l'accès substrat et le deuxième accès d'un transistor *IDGMOS* dans le sens où, l'accès substrat n'étant pas isolé du canal par un oxyde, les fuites de courant au travers de cet accès peuvent être très importants. Afin de limiter ces fuites, il est donc nécessaire de limiter les variations du potentiel appliqué sur l'accès substrat. Au contraire, il n'y a aucune limitation aux variations du potentiel appliqué sur les grilles de l'*IDGMOS* en ce qui concerne les fuites de grille. De toute façon, si l'on se base sur les prévisions de l'*ITRS*, le transistor *bulk* est appelé à disparaître. Le principe de l'utilisation de l'accès substrat n'en demeure pas moins une bonne référence quant aux structures pouvant être réalisées à partir de transistor *IDGMOS*. L'état de l'art concernant l'utilisation proprement dite du transistor *IDGMOS* est assez succinct, dû notamment à la maturité très faible de cette technologie. Cet état de l'art se cantonne à quelques applications dans lesquelles, cependant, certaines nouvelles structures sont proposées afin de mettre en œuvre les capacités fonctionnelles de l'*IDGMOS*, telles que la réalisation de circuits paramétrables ou bien encore la conception de fonctions élémentaires de façon compacte,

employant un minimum de transistors.

La deuxième partie de ce chapitre a tenté de comparer la technologie *CDGMOS* ajustée sur l'*ITRS* avec une technologie *bulk* avancée réelle. Bien que purement qualitative, cette étude n'a pas permis de conclure réellement tant certains aspects physiques diffèrent en ce qui concerne les matériaux employés et les structures des composants. Il est donc très difficile d'interpréter les résultats de cette comparaison bien qu'une tendance à l'amélioration des performances intrinsèques du composant semble se dégager de l'étude.

La dernière partie est consacrée à l'analyse du fonctionnement intrinsèque de l'*IDGMOS* afin d'en révéler les potentialités en ce qui concerne la conception de circuits analogiques. Bien que certains désavantages existent quant à la déconnexion des grilles, notamment l'augmentation des capacités parasites et la dégradation des performances relatives à la transconductance, les fonctions attribuées à la seconde grille d'un *IDGMOS* au sein d'un circuit analogique sont multiples. Dès le premier chapitre, il a été mentionné que la grille supplémentaire représente un second point de contrôle dynamique du courant de drain global du transistor. Un transistor double grille permet donc de séparer aisément la polarisation du circuit du cheminement du signal à traiter. Il devient également possible d'utiliser les deux accès de grille afin de combiner deux signaux entre eux. D'autre part, le contrôle statique de la tension de seuil V_t d'un canal par la tension de la grille opposée permet d'adapter cette tension de seuil à l'environnement électrique du circuit. Nous parlerons alors de réglage « multi- V_t analogique » de la technologie. Bien que le comportement de l'*IDGMOS* ne soit pas strictement équivalent à celui d'un transistor *bulk* à V_t fixé (cf. §1.2), cette caractéristique de l'*IDGMOS* peut être avantageusement utilisée dans les circuits fonctionnant notamment sous faible tension d'alimentation.

Quelle que soit la fonction recherchée lors de l'utilisation de la seconde grille, le contrôle du courant de drain par le potentiel appliqué sur les grilles s'effectue sur toute la gamme de tension disponible entre la masse et l'alimentation (cf. §1.2). Cette caractéristique représente un autre intérêt propre à la technologie double grille à grilles indépendantes. En effet, le couplage entre canaux apparaît lorsqu'au moins l'une des tensions grille-source V_{gs} du transistor est faible. Lorsque les valeurs de V_{gs} sont fortes sur les deux accès, le couplage cesse mais les canaux deviennent passants. C'est ici la différence majeure entre une technologie double grille à grilles indépendantes et les autres méthodes émulant un transistor à deux accès séparés. Le transistor *IDGMOS* est donc l'un des meilleurs candidats en vue de l'intégration des circuits analogiques sous faible tension d'alimentation. Cela s'applique tant du point de vue de la polarisation de la structure que du traitement analogique du signal. Bien que l'équation décrivant le fonctionnement « *petits signaux* » de l'*IDGMOS* soit similaire à celle obtenue au sein d'une structure à deux transistors *bulk* ou *CDGMOS* en parallèle, le chapitre 2.3.2 a montré que seul l'*IDGMOS* permet de maintenir la combinaison des signaux appliqués sur chacune des grilles quand bien même l'une des interfaces est en régime d'inversion faible. En effet, la polarisation faible d'un transistor résulte en général en une transconductance également faible. Dans le cas du transistor *IDGMOS*, il existe un seuil en deçà duquel le couplage devient prédominant et empêche la transconductance de chuter indéfiniment. La transconductance tend alors à ne dépendre que des paramètres de l'interface en inversion forte, permettant ainsi de rendre certaines caractéristiques du transistor (transconductance, résistance drain-source, etc...) indépendantes des paramètres de l'interface en inversion faible.

Il est appelé que les transistors *IDGMOS* doivent être utilisés avec précaution en fonction des

performances attendues du circuit. En effet, ces transistors peuvent présenter des capacités plus fortes selon les dimensions du canal d'une part, mais l'étude des matrices de transconductances tend à prouver d'autre part que le couplage freine les variations de potentiel d'une interface par rapport à l'autre. Bien sûr, ces conclusions peuvent être remises en cause dans le sens où elles sont issues d'équations approchées du modèle complet de l'*IDGMOS*. Seule la simulation des circuits avec le modèle complet permettra de conclure sur le fait que certains facteurs de mérite sont plus faibles en grilles déconnectées qu'en mode symétrique. Néanmoins, lorsque cela reste possible, la déconnexion des grilles permet d'envisager de nouvelles fonctionnalités avec une forte dynamique de contrôle au sein des structures conventionnelles. Ces apports potentiels de l'*IDGMOS* demeurent des avantages certains en comparaison avec les solutions trouvées jusqu'à maintenant afin de palier les dégradations de l'environnement futur des circuits analogiques.

Chapitre 3

Utilisation de l'IDGMOS dans les circuits analogiques

Lors des chapitres précédents, les apports fonctionnels intrinsèques du transistor *DGMOS* ont été présentés. Il y apparaît que ce composant dispose de certaines caractéristiques lui permettant de s'adapter aux dégradations environnementales dues à l'évolution technologique nécessitée par les besoins de la conception numérique et *RF*. Bien que ses performances soient optimales lorsque ses grilles sont interconnectées, les apports du *DGMOS* en conception analogique se retrouvent lorsque celles-ci sont déconnectées. En effet, le contrôle de la tension de seuil ainsi que la plage de contrôle du courant de drain de l'*IDGMOS* sont particulièrement intéressants pour adapter le composant au fonctionnement sous faible tension d'alimentation. Ce dernier point ayant été défini comme l'une des limites majeures à la conception (cf.§.2.1.1), une grande partie de l'étude suivante y est consacrée. Néanmoins, les apports du transistor *IDGMOS* peuvent se retrouver concernant bien d'autres aspects et certains d'entre eux sont également illustrés dans ce chapitre.

3.1 Circuits paramétrables

Utilisé au sein d'un miroir de courant, l'*IDGMOS* permet de modifier certaines caractéristiques du circuit. En appliquant des potentiels différents sur la grille arrière des transistors d'entrée et de sortie du miroir, il est en effet possible de rendre ce dernier asymétrique. La recopie du courant en est alors modifiée. La configuration du miroir est dans ce cas celle illustrée sur la figure 3.1.

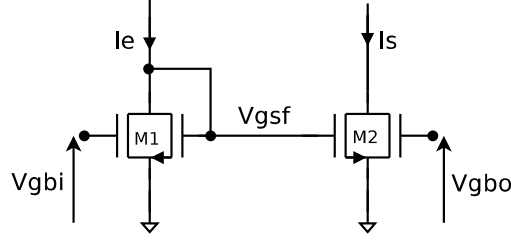


FIG. 3.1 –

Miroir de courant paramétrable dont les grilles arrière sont déconnectées l'une de l'autre.

Sur ce schéma, le miroir de courant est dit ici symétrique lorsque la tension des grilles arrière de $M1$ et $M2$ sont identiques. Néanmoins, lorsque ces tensions sont différentes, un calcul simple permet de déterminer l'expression « *petits signaux* » du gain en courant du miroir, soit

$$\frac{i_s}{i_e} = \frac{g_{m,fg2}}{g_{m,fg1}} \quad (3.1)$$

Les grandeurs $g_{m,fg1}$ et $g_{m,fg2}$ de l'équation 3.1 représentent les transconductances relatives aux interfaces avant des *IDGMOS* $M1$ et $M2$. En supposant que le potentiel V_{gbi} appliqué sur l'interface arrière de $M1$ reste constant, la relation 3.1 démontre la possibilité de réglage du gain par l'intermédiaire de l'interface arrière de $M2$. En effet, la tension V_{gbo} de grille arrière de $M2$ modifie la valeur de la tension de seuil V_t de l'interface avant de $M2$, modifiant également son courant statique et par conséquent la transconductance $g_{m,fg2}$. L'étude du contrôle du gain en courant des miroirs ainsi qu'une application au sein d'un amplificateur de courant sont présentées par l'article [Ham07]. D'une part, l'article discute des apports de ce miroir en termes de réglage du gain en courant, de tension d'alimentation, de surface et de puissance consommée. D'autre part, il illustre l'intérêt de ce montage relativement au produit gain-bande de l'amplificateur de courant. Le principe de ce montage et son étude étant déjà présenté dans [Ham07] et n'ayant pas fait l'objet de travaux personnels, il ne sera pas détaillé davantage dans ce manuscrit.

3.2 Adaptation à la tension d'alimentation

3.2.1 Contrôle de la tension de seuil

Le miroir de courant représente l'une des structures les plus répandues dans la conception de circuits analogiques. De nombreuses structures de miroir existent en fonction des performances recherchées. Néanmoins, la structure de base du miroir de courant se compose de deux transistors dont les grilles et les sources sont communes. En ce qui concerne les performances d'un miroir, la meilleure configuration du transistor double grille reste celle du *CDGMOS*. En effet, ce mode de fonctionnement présente les meilleures caractéristiques intrinsèques du composant. Néanmoins, l'apport du contrôle statique de la tension de seuil (cf. §2.4) quant à l'adaptation du transistor au fonctionnement sous faible tension d'alimentation se retrouve dans le cas du miroir de courant.

En effet, le transistor d'entrée du miroir étant connecté en diode, il se révèle intéressant de pouvoir contrôler la valeur du V_t et ainsi le V_{gs} de la diode d'entrée. Ce principe a été introduit

en partie dans le chapitre 2.1.2 mais il mettait en oeuvre l'accès substrat des transistors *bulk*. L'intérêt de l'*IDGMOS* par rapport à cette structure *bulk* est que le courant traversant les grilles est quasi-nul comparativement à celui de l'accès substrat. Cela reste vrai quelle que soit la tension appliquée sur les grilles. La plage de contrôle de la tension de seuil n'est donc pas limitée par le courant injecté dans la grille. De plus, dans le cas du contrôle par l'accès substrat, toute dissymétrie entre les transistors du miroir peut engendrer une différence entre les courants injectés dans le substrat et conduire ainsi à la dégradation des performances du miroir en termes de recopie du courant. Le courant de grille étant nul dans le cas du miroir *IDGMOS*, cette structure est donc moins sensible au désappariement des transistors. Enfin, il a été montré que la plage d'utilisation de la grille arrière réalisant un contrôle de la tension de seuil au sens stricte reste limitée au cas où l'interface de la grille de contrôle est en régime d'inversion faible alors que l'autre interface est fortement inversée. Le sens stricte du contrôle est défini par l'équivalence totale avec une technologie standard à tension de seuil fixée par le procédé technologique (cf. §.1.2, tableau 1.1). Néanmoins, le miroir de courant se compose de deux transistors et ses performances reposent sur la symétrie de sa structure. Lorsque l'hypothèse de symétrie est respectée, le contrôle de la tension de seuil au sens stricte n'est pas essentielle puisque les mêmes phénomènes apparaissent dans les deux transistors du miroir et se compensent. Le contrôle de la tension de seuil reste alors effectif quel que soit le régime d'inversion des interfaces. Le schéma du miroir utilisant des transistors *IDGMOS* et son équivalent standard sont illustrés sur la figure 3.2. Il est à noter que le miroir standard peut être réalisé avec des transistors double grille à grilles connectées.

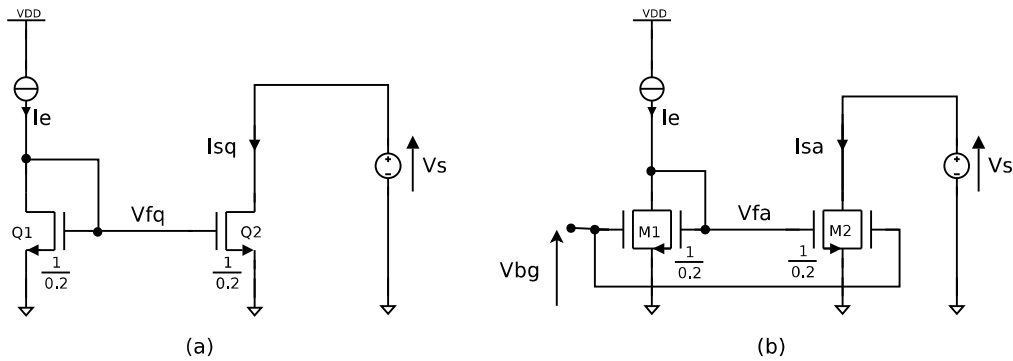


FIG. 3.2 –

Miroirs de courant élémentaires. (a) *CDGMOS* (b) *IDGMOS* avec grilles arrière interconnectées.

La figure 3.2 représente deux structures élémentaires de miroir de courant employant respectivement des transistors *CDGMOS* et *IDGMOS*. Dans cette dernière structure, les grilles arrière des deux transistors sont connectées l'une à l'autre et elles sont fixées à un potentiel constant. Ces miroirs serviront de base à l'étude du contrôle de la tension de seuil présentée dans ce chapitre. Les dimensions des transistors sont données en μm . Dans un premier temps, la tension de grille arrière V_{bg} de la structure *IDGMOS* est fixée à la valeur de V_{fa} obtenue pour I_e et V_s respectivement égaux à $10\mu\text{A}$ et $0,5\text{V}$. Les structures *CDGMOS* et *IDGMOS* sont donc équivalentes pour ce point de polarisation. Les résultats simulés à V_{bg} constant sont présentés à la figure 3.3.

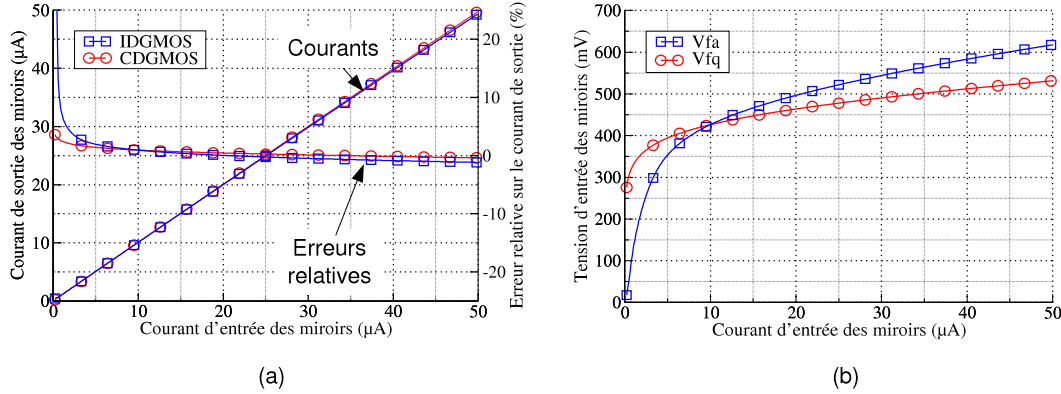


FIG. 3.3 –

Comparaison des miroirs de la figure 3.2 en fonction du courant d'entrée. (a) Standard (b) IDGMOS avec grilles arrière interconnectées.

Cette simulation montre que le simple fait de déconnecter les grilles avant et arrière l'une de l'autre modifie le fonctionnement du miroir de courant. D'une part, l'erreur de recopie en courant, illustrée sur la figure 3.3.(a) et définie par $(I_s - I_e)/I_e$, augmente légèrement pour les valeurs très faibles de courant d'entrée. Cela peut être expliqué par les courbes de la figure 3.3.(b). En effet la transconductance d'un IDGMOS étant plus faible que celle d'un CDGMOS à géométries égales, le taux d'accroissement de la tension de diode $M1$ est supérieur à celui de $Q1$ lorsque le courant d'entrée augmente. Toujours au vu de la symétrie du miroir, chaque différence entre les tensions drain-source des transistors $M1$ et $M2$, $Q1$ et $Q2$ a un impact sur la qualité de la recopie en courant. La tension de diode variant davantage dans le cas de la structure IDGMOS, la recopie est donc moins bonne que celle du miroir CDGMOS. Les caractéristiques de sortie $I_d = f(V_{ds})$ restent quant à elles identiques pour les deux miroirs tant que les potentiels appliqués sur les grilles sont égaux.

Maintenant que l'effet de la déconnexion des grilles sur le fonctionnement d'un miroir a été illustré, il est intéressant de déterminer dans quelle mesure la tension de grille arrière V_{bg} permet un contrôle efficace de la tension de seuil. Afin d'adapter le miroir de courant au fonctionnement sous faible tension d'alimentation, il est nécessaire d'augmenter la tension appliquée sur les grilles arrière du miroir IDGMOS. Les courbes de la figure 3.4 illustrent la variation des grandeurs d'entrée du miroir en fonction de la tension V_{bg} .

Dans un premier temps, les courbes présentées à la figure 3.4.(a) montrent que les variations des tensions des deux grilles de $M1$ sont opposées, en faisant néanmoins apparaître deux zones distinctes. Tant que V_{bg} est faible, la face arrière est en régime d'inversion faible et le couplage intercanal permet de diminuer la tension de seuil de la face avant lorsque V_{bg} augmente, adaptant alors le miroir à fonctionner sous faible tension d'alimentation. Le courant d'entrée I_e étant constant, la tension de diode V_{fa} suit donc les variations de la tension de seuil avant.

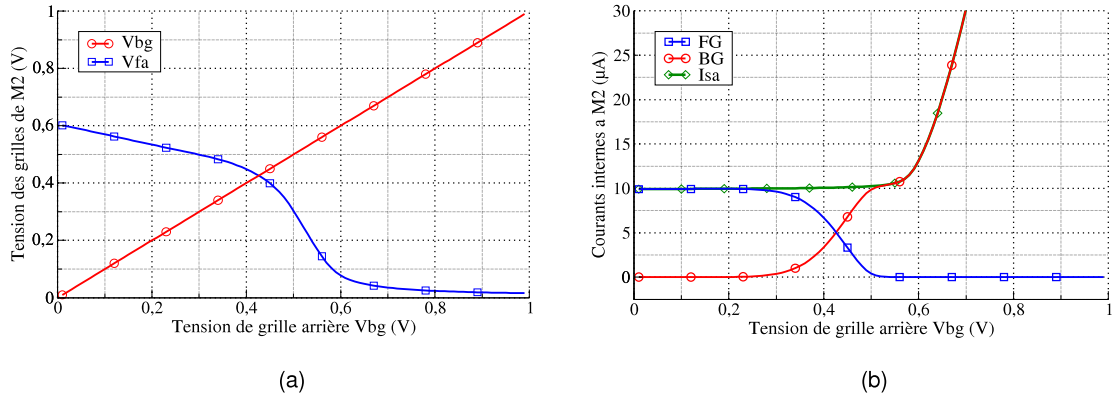


FIG. 3.4 –

Simulation du miroir *IDGMOS* de la figure 3.2.(b) pour $I_e = 10\mu A$ et $V_s = 0,5V$ en fonction de V_{bg} . (a) Tension des grilles de *M2* (b) Courant de drain et courants internes de *M2*

Dans cette zone, la diminution de la tension de grille avant est alors plus ou moins linéaire. De plus, la tension V_{fa} est suffisamment élevée pour que chacune des interfaces des deux *IDGMOS* *M1* et *M2* soit en régime saturé. Le miroir est alors très peu sensible aux dissymétries électriques telles que la différence de tension drain-source entre *M1* et *M2*. Lorsque la tension V_{bg} est élevée, le canal arrière est formé et le couplage est *écranté*. Le courant I_e étant constant, il se répartit entre les canaux avant et arrière du transistor d'entrée *M1*. L'augmentation rapide du courant dans l'interface arrière, à présent en inversion forte, provoque la chute de la tension V_{fa} jusqu'à ce que celle-ci devienne quasiment nulle, le courant traversant la face avant tendant alors vers zéro. Les zones de fonctionnement décrites ci-dessus se retrouvent également sur le graphique 3.4.(b), illustrant les courants internes au transistor *M2* ainsi que son courant de drain I_{sa} . Les courbes de cette figure permettent de comprendre davantage ce qui se passe au sein du transistor de sortie *M2* du point de vue des courants, notamment la répartition des courants entre les canaux avant et arrière durant la transition entre les deux zones. En effet, les courants internes se compensent parfaitement de façon à ce que leur somme soit égale au courant d'entrée I_e . Cette compensation cesse lorsque le courant traversant l'interface avant devient nulle. La tension V_{fa} tendant vers zéro, le courant de sortie prend alors la forme de la caractéristique $I_d = f(V_{gs})$ relative à la face arrière uniquement. Il est à noter que ce phénomène tient du fait que la symétrie du miroir est fortement rompue lorsque la tension V_{bg} est élevée. De la même façon que pour son homologue *bulk* utilisant l'accès substrat, la chute de la tension V_{fa} entraîne le transistor *M1* à rentrer dans sa zone ohmique. Dès lors, *M1* et *M2* ne sont plus dans les mêmes conditions de polarisation. La fonction de recopie de courant cesse alors d'être opérationnelle. Elle pourrait cependant être maintenue en forçant l'égalité entre les tensions drain-source des deux transistors par l'intermédiaire d'un transistor cascode en sortie du miroir dont le potentiel de source est régulé sur le potentiel de drain de *M1*. Une dernière caractéristique importante du miroir concerne sa résistance de sortie. Dans ce montage de base, celle-ci est égale à la résistance drain-source du transistor de sortie *M2*. La variation de cette résistance en fonction de la grille arrière est illustrée sur la figure 3.5 dans les mêmes conditions de simulation que précédemment.

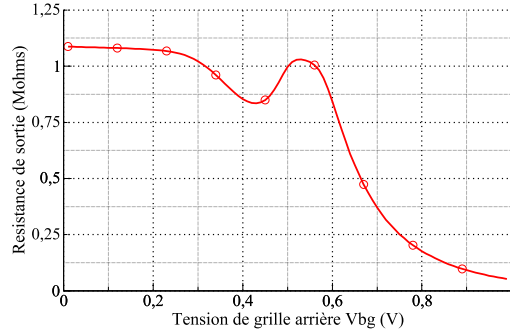


FIG. 3.5 –

Résistance de sortie de $M2$ en fonction de V_{bg} pour $I_e = 10\mu A$ et $V_s = 0,5V$.

La résistance drain-source de $M2$ se compose en fait de la mise en parallèle des résistances drain-source des deux canaux internes de ce transistor. Ainsi, la résistance « *petits signaux* » de sortie du miroir *IDGMOS* s'écrit :

$$r_s = r_{ds,m2} = r_{ds,fg} // r_{ds,bg} \quad (3.2)$$

Dans cette équation, la définition des résistances « *petits signaux* » $r_{ds,fg}$ et $r_{ds,bg}$ est identique à celle d'un *MOS* standard, à ceci près que le courant à considérer est celui relatif au canal correspondant. Il est ainsi possible d'écrire :

$$r_{ds,fg} = \frac{1}{\lambda I_{d,fg}} \quad r_{ds,bg} = \frac{1}{\lambda I_{d,bg}} \quad (3.3)$$

L'équation 3.2 peut alors s'écrire :

$$\frac{1}{r_s} = \frac{1}{r_{ds,fg}} + \frac{1}{r_{ds,bg}} = \lambda(I_{d,fg} + I_{d,bg}) \quad (3.4)$$

La variation de la résistance de sortie présentée à la figure 3.5 peut alors s'expliquer à l'aide de l'équation 3.4. En effet, lorsque la tension de grille arrière est faible, les courants sur chaque interface se compensent parfaitement ce qui implique également la compensation des résistances drain-source. La résistance de sortie reste donc constante et inversement proportionnelle au courant I_e . Lorsque la tension de grille est élevée, le courant $I_{d,fg}$ devient nul et seule la résistance relative à la face arrière rentre en compte dans l'expression de la résistance de sortie. Celle-ci diminue donc avec l'augmentation de la tension de grille arrière selon la formule 3.3. La zone intermédiaire dispose d'un minimum local lorsque $V_{fa} = V_{bg}$. Au-delà de ce point, il devient nécessaire de tenir compte de la différence de polarisation des deux transistors du miroir. Ici encore, la résistance de sortie serait constante sur toute la plage de tension de grille arrière si la symétrie électrique du miroir était maintenue.

Bien que le contrôle de la tension de seuil par la grille arrière soit limité, il permet néanmoins de disposer d'un transistor présentant à lui seul un caractère « multi- V_t ». Contrairement à une technologie *MOS* standard, il n'est donc pas nécessaire de proposer différents types de transistor

ayant chacun une tension de seuil spécifique à une application du transistor, ce qui peut se traduire par un gain en termes de coût de fabrication. De plus, il a été montré que le miroir de courant conserve son fonctionnement alors que sa tension d'entrée V_{fa} est diminuée d'environ $300mV$ par le potentiel V_{bg} (cf. figure 3.4). L'*IDGMOS* permet donc d'adapter le miroir au fonctionnement sous faible tension d'alimentation, en connectant la grille arrière des transistors à un potentiel relativement élevé, voire directement à l'alimentation si celle-ci est inférieure à $0,6V$. Au-delà de cette tension, un système externe pourra être utilisé afin de maintenir la symétrie électrique du miroir sur une plus grande plage de contrôle de la tension de seuil.

3.2.2 Plage de contrôle

3.2.2.1 Le suiveur de tension

Le suiveur de tension est un circuit analogique élémentaire, utilisé dans le but d'isoler différents étages les uns des autres.

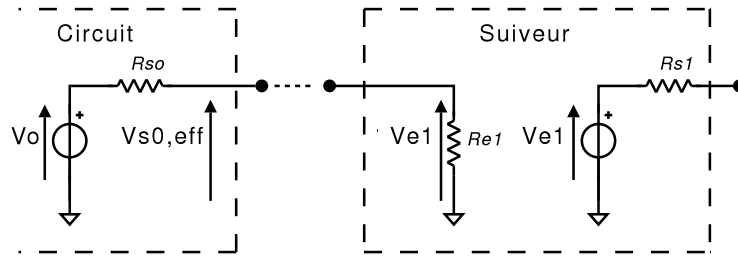


FIG. 3.6 –

Schémas équivalents de Thévenin d'un circuit travaillant en tension et d'un suiveur de tension

Sur le schéma de la figure 3.6, il apparaît que la tension $V_{s0,eff}$ présentée en sortie du circuit est d'autant diminuée par rapport à la tension V_{s0} que la valeur du diviseur résistif de sortie entre R_{s0} et R_{e1} est faible. La fonction du suiveur de tension est de recopier la tension $V_{s0,eff}$, ou tout du moins ses variations, tout en présentant une résistance d'entrée R_{e1} très grande face à R_{s0} . La résistance de sortie R_{s1} du suiveur de tension devra être quant à elle plus faible que R_{s0} sans quoi l'ajout du suiveur est inutile. Une réalisation simple de ce circuit consiste à connecter un transistor *MOS* en drain commun. La figure 3.7 illustre la structure standard du suiveur de tension ainsi que son homologue employant des transistors *IDGMOS*. Sur cette figure, la polarisation des transistors *M3* et *M4* est assurée par les miroirs de courant *M1a*, *M1b* et *M2a*, *M2b*. Le courant de polarisation I_{bias} et la tension d'alimentation V_{dd} sont fixés respectivement à $10\mu A$ et $1V$. Les dimensions des transistors du miroir de polarisation sont, en μm , sont $1/0,2$. Celles de *M3* et *M4* sont $5,1/0,2$.

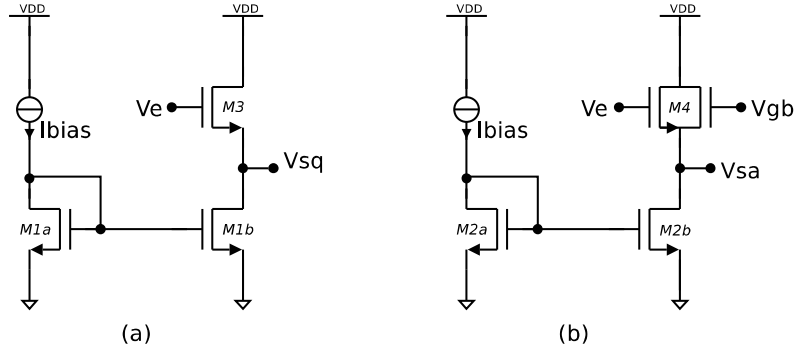


FIG. 3.7 –
Exemples de montage suiveur de tension. (a) *CDGMOS* (b) *IDGMOS*

A partir du schéma de cette figure et du point de vue statique, il est possible d'écrire :

$$V_{sq} = V_e - V_{gs,3} \quad (3.5)$$

Cette équation montre que la tension de sortie V_{sq} de ce montage suit les variations de sa tension d'entrée V_e mais que sa valeur absolue est décalée par la tension grille-source du transistor $M3$. Tant que le courant de polarisation de $M3$ est constant, la tension $V_{gs,3}$ reste constante et les variations sur l'entrée sont transférées en sortie avec un gain unitaire.

Compte tenu du fonctionnement « *petits signaux* » du montage standard de la figure 3.7.a, le gain en tension s'écrit :

$$\frac{v_{sq}}{v_e} = \frac{g_{m,3}(r_{ds,1b} // r_{ds,3})}{1 + g_{m,3}(r_{ds,1b} // r_{ds,3})} \quad (3.6)$$

L'équation 3.6 montre que si $g_{m,3}(r_{ds,1b} // r_{ds,3}) \gg 1$, le gain « *petits signaux* » entre l'entrée V_e et la sortie V_{sq} du suiveur est unitaire. Bien qu'un décalage statique apparaisse, le suiveur de tension de la figure 3.7.a permet donc de transmettre de façon simple les variations de tension appliquées sur son entrée vers sa sortie. Néanmoins, la limitation de ce circuit apparaît d'un point de vue statique pour les valeurs faibles de tension V_e ou bien ses variations fortes. Dès lors que V_e diminue, la tension V_{sq} devient également faible et celle-ci ne suffit plus pour maintenir le transistor de polarisation $M1b$ dans sa zone de saturation. La résistance drain-source $r_{ds,1b}$ diminue alors, le gain « *petits signaux* » du suiveur devient d'autant plus faible et l'information concernant la variation du potentiel d'entrée est perdue.

Concernant la structure *IDGMOS* présentée sur la figure 3.7.b, l'idée est donc d'utiliser l'accès supplémentaire du transistor $M4$ afin d'augmenter la plage de fonctionnement du suiveur de tension. Pour ce faire, le potentiel V_{gb} est fixé à une tension constante. Le fonctionnement statique de ce montage s'obtient alors en considérant le comportement du canal arrière de $M4$ lorsque la tension V_e diminue. Puisque le courant de drain de $M2b$ est constant, la diminution de V_e a tendance à entraîner celle de V_{sa} . Ce faisant, la tension $V_{gsb,4}$ a tendance à augmenter ce qui implique une augmentation du courant dans le canal arrière de $M4$. Le courant de polarisation de ce transistor étant constant, le courant sur la face avant de $M4$ ne peut que diminuer, impliquant à son tour une diminution de la tension $V_{gsf,4}$. L'équation 3.5 reste donc valable pour le montage

IDGMOS mais elle montre que les variations sur l'entrée ne sont plus transmises vers la sortie avec un gain unitaire. Pour plus de détails sur ce fonctionnement, il est possible de calculer l'expression du gain « *petits signaux* » du suiveur *IDGMOS* à l'aide du schéma équivalent du transistor (cf. 2.21 du chapitre 2.3.2). Ainsi, le gain en tension s'exprime simplement par :

$$\frac{v_{sa}}{v_e} = \frac{g_{mf,4}}{g_{mb,4} + g_{mf,4}} \quad \text{si} \quad \frac{1}{g_{mb,4}} \gg r_{dsf,4} // r_{dsb,4} // r_{ds,2b} \quad (3.7)$$

D'une part, cette équation montre que le gain en tension est moins dépendant des résistances « *petits signaux* » vues par la source de *M4*. En effet, l'hypothèse de simplification de l'équation est souvent vérifiée en pratique. D'autre part, le chapitre 2.3.2 a démontré que les transconductances $g_{mf,4}$ et $g_{mb,4}$ ne s'annulent jamais et cela quelle que soit la polarisation du transistor *M4*, le couplage intercanal intervenant même lorsque le courant sur une interface devient nul. Compte tenu de l'équation 3.7, cela implique que le gain en tension du montage suiveur ne peut que difficilement approcher l'unité. Il est donc inférieur à 1 sur toute la gamme de fonctionnement du suiveur de tension. Bien que le gain ne soit pas unitaire, l'intérêt du suiveur de tension persiste en raison de sa dynamique de fonctionnement, notamment en ce qui concerne les variations du potentiel d'entrée. En effet, pour les variations fortes de la tension V_e , les excursions de la sortie V_{sa} sont limitées par le gain inférieur à 1 et l'information n'est donc pas perdue. Le fait d'atténuer le signal n'est pas un avantage en termes de bruit dans le montage. Néanmoins, l'intérêt du suiveur *IDGMOS* se manifeste pour les variations fortes du signal, cas où le rapport signal à bruit est suffisamment élevé pour que le signal puisse être atténué dans une certaine mesure dans le but d'augmenter la dynamique de fonctionnement. Afin d'illustrer le comportement du suiveur *IDGMOS*, le schéma de la figure 3.7.b est simulé pour différentes valeurs de tension V_{bg} en employant néanmoins une source de polarisation idéale à la place du transistor *M2b*. Les résultats de simulation sont présentés à la figure 3.8 pour des valeurs de V_{bg} allant de 0V à 1V par pas de 0,25V.

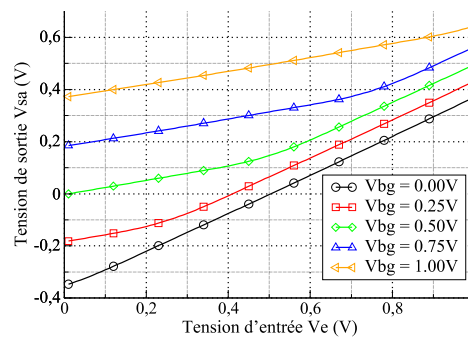


FIG. 3.8 –

Simulation du suiveur *IDGMOS* en fonction de la tension d'entrée V_e pour différentes valeurs de tension V_{bg} avec une polarisation idéale de $10\mu A$.

Cette figure montre que le comportement du montage suiveur *IDGMOS* tend à devenir plus linéaire lorsque la tension de grille arrière de *M4* tend vers 0V. Ce cas consiste à bloquer l'interface

arrière de $M4$ et l'inversion de la face avant reste forte quelle que soit la tension d'entrée. Le gain du suiveur tend alors à augmenter mais il reste inférieur à l'unité. Néanmoins, ce cas ne correspond pas à l'amélioration de la dynamique de fonctionnement. En effet, la tension de sortie V_{sa} devient négative et cela ne peut pas être possible lorsque la source de polarisation idéale est remplacée par une source réelle. Lorsque la tension V_{bg} augmente, les courbes de la figure 3.8 montrent que le gain du suiveur diminue. Pour la même excursion du signal d'entrée V_e , la tension V_{sa} devient de moins en moins négative jusqu'à rester positive sur cette plage d'entrée lorsque $V_{bg} \geq 0,5V$. Bien que la tension de sortie du suiveur reste positive sur la pleine plage d'entrée, les courbes montrent également que la variation du gain est importante pour une tension V_{bg} constante. Cela est dû au fait que les interfaces de $M4$ changent fortement d'état d'inversion en fonction de la tension V_e . Du point de vue de la linéarité du circuit, il convient donc de prendre la tension de grille arrière la plus élevée possible. Ainsi, le changement d'état d'inversion des interfaces est moindre et le transfert entre l'entrée et la sortie du suiveur est plus linéaire, passant principalement par le couplage intercanal. En fixant ainsi la valeur de la tension V_{bg} à $1V$, l'apport du montage *IDGMOS* est illustré en comparant les circuits de la figure 3.7 dans les mêmes conditions.

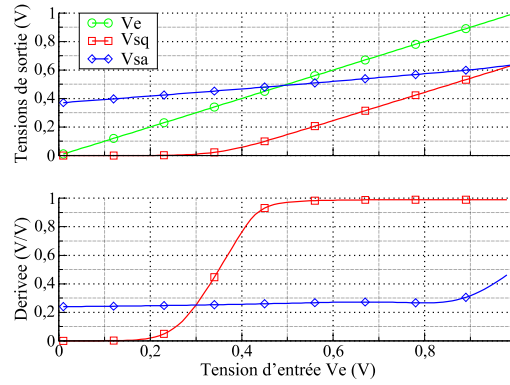


FIG. 3.9 –

Simulation des suiveurs de la figure 3.7 en fonction de la tension d'entrée V_e .

Sur le premier jeu de courbes de cette figure, il apparaît clairement que le montage standard de la figure 3.7.a est limité en plage de dynamique d'entrée. En effet, la tension de sortie V_{sq} de ce montage tend vers zéro pour V_e inférieure à $0,3V$. Le suiveur standard n'est donc pas capable de fonctionner pour les valeurs faibles de tension d'entrée. La tension de sortie V_{sa} reste quant à elle supérieure à zéro quelle que soit la tension d'entrée appliquée. De plus, les dimensions du transistor $M4$ peuvent être choisies afin de centrer les variations de V_{sa} par rapport à la tension d'alimentation du circuit et ainsi optimiser son fonctionnement. En ce qui concerne la linéarité des suiveurs, le deuxième jeu de courbes montre que les limites du montage standard sont plus ou moins identiques tant pour sa plage de fonctionnement que pour sa linéarité. Alors que son gain approche l'unité pour les fortes valeurs de tension d'entrée, celui-ci diminue fortement dès que V_e devient inférieure à $0,5V$. Au contraire, il est possible de garantir une linéarité relativement bonne pour le suiveur *IDGMOS* sur toute la gamme de tension d'entrée et cela en choisissant une tension de grille arrière suffisamment élevée. Dans le cas de cette simulation, la grille arrière est fixée à $1V$, soit en fait la tension d'alimentation. Un désavantage de ce principe

est que le bruit d'alimentation est directement injecté dans le signal au niveau de la sortie du montage. Dans certains cas, il serait donc nécessaire de connecter la grille arrière non plus au rail d'alimentation mais plutôt à une référence de tension moins bruitée. Néanmoins, et comme cela a été dit précédemment, l'apport de la grille arrière pour l'augmentation de la plage de fonctionnement n'a d'intérêt que pour les excursions fortes des signaux et le bruit n'est pas alors le facteur dominant dans la conception du suiveur. Dans ce cas, le fonctionnement pleine plage inhérent au transistor *IDGMOS* peut être judicieusement utilisé afin d'augmenter la dynamique de fonctionnement des circuits qu'il compose.

3.2.2.2 La paire différentielle

Les paires différentielles sont largement utilisées dès lors qu'un circuit doit traiter l'information transmise par la différence entre deux signaux. Ainsi, ces structures sont employées afin de réaliser l'étage d'entrée de circuits dédiés à l'amplification, le filtrage, le contrôle par contre-réaction, etc... Bien que ces structures fonctionnent principalement en mode « *petits signaux* », leurs performances demeurent néanmoins sensibles à la façon dont elles sont polarisées. Comme pour n'importe quel autre circuit, il devient difficile de polariser convenablement une paire différentielle dès lors que la tension d'alimentation diminue. Une fois encore, il est intéressant d'étudier si le transistor *IDGMOS* peut faciliter ou non la polarisation des paires sous tension d'alimentation faible et, cela, afin d'améliorer le fonctionnement « *petits signaux* » des paires différentielles. La figure 3.10 illustre une structure standard de paire différentielle réalisée à l'aide de transistors *IDGMOS*.

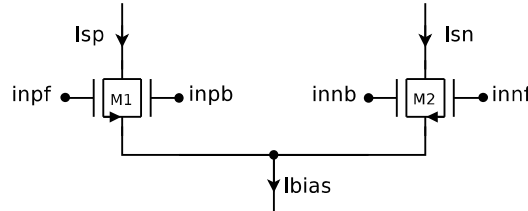


FIG. 3.10 –
Structure standard de paire différentielle *IDGMOS*.

Une fois les grilles des transistors déconnectées, une paire différentielle *IDGMOS* présente quatre accès. Deux d'entre eux, in_{pf} et in_{nf} , sont utilisés comme entrées standard de la paire. Les deux autres accès, in_{pb} et in_{nb} , peuvent être utilisés indépendamment des entrées standard ou non afin de modifier le fonctionnement global de la paire. Afin de faciliter cette étude, les potentiels appliqués sur les accès supplémentaires, supposés être ici les grilles arrière, se présentent sous le formalisme suivant :

$$V_{in,pb} = V_{b,com} + \frac{V_{b,diff}}{2}, \quad V_{in,nb} = V_{b,com} - \frac{V_{b,diff}}{2} \quad (3.8)$$

Dans l'équation 3.8, $V_{b,com}$ représente la valeur commune aux tensions des grilles arrière alors que $V_{b,diff}$ est la variation différentielle entre ces deux tensions.

Grilles arrière en mode différentiel

Dans ce paragraphe, la tension $V_{b,com}$ est supposée constante. En ce qui concerne l'utilisation statique des grilles en mode différentiel, créer un décalage entre les grilles arrière a pour effet de rompre la symétrie de la paire différentielle. Or en général, il est préférable d'éviter les dissymétries car celles-ci se traduisent directement par un décalage en tension pouvant être ramené en entrée, au niveau des grilles avant. Tout ce passe comme si une source de tension était ajouter en série uniquement sur l'un des accès avant. A moins que ce décalage ne soit désiré afin, par exemple, de compenser un autre décalage du circuit, les applications utilisant une paire déséquilibrée sont relativement rares, voire inexistantes. Cela est d'autant plus vrai que le décalage en tension obtenu de cette façon est fortement dépendant des paramètres des transistors de la paire et il varie par conséquent en fonction du procédé de fabrication, de la température, etc...

En fonctionnement « *petits signaux* », le chapitre 2.3.2 a montré que la variation du courant de drain global est une combinaison linéaire des contributions relatives aux variations appliquées sur chaque grille. Selon le schéma au variations du transistor double grille, présente en 2.3.2, et en supposant que les deux transistors de la figure 3.10 sont symétriques, il est possible de montrer que le courant différentiel de sortie de la paire s'écrit :

$$i_{sp} - i_{sn} = g_{mf}(i_{n_{pf}} - i_{n_{nf}}) + g_{mb}(i_{n_{pb}} - i_{n_{nb}}) \quad (3.9)$$

avec i_{sp} , i_{sn} les courants de sortie « *petits signaux* » de la paire et g_{mf} , g_{mb} les transconductances relative aux interfaces avant et arrière des transistors. Les expressions de ces transconductances dépendent de l'état d'inversion des interfaces correspondantes. L'intérêt de l'utilisation des *IDGMOS* ne se trouve pas tant dans l'expression du courant différentiel de sortie car cette expression serait la même pour une paire différentielle à quatre transistors standard montés en parallèle. Cependant, le chapitre 2.3.2 a montré que l'*IDGMOS* présente une très grande plage de contrôle du courant de drain par ses deux grilles. L'intérêt de la paire différentielle *IDGMOS* est donc de maintenir la fonctionnalité de la paire telle que décrite par l'équation 3.9 sur une plage de modes communs plus importante pour les deux entrées différentielles, celle relatives aux grilles avant d'une part et celle correspondant aux grilles arrière d'autre part.

Le fonctionnement « *forts signaux* » utilisant des transistors *IDGMOS* n'est pas avantageux. En effet, de fortes variations des potentiels de grilles arrière modifient l'état d'inversion de l'interface avant pour un courant de drain donné. La figure 3.11 illustre les variations des signaux appliqués dans le cas d'une contre-réaction.

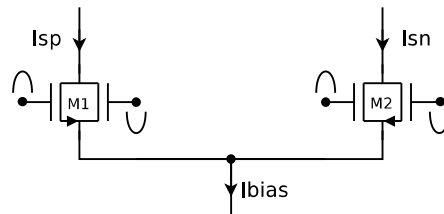


FIG. 3.11 –

Exemple de signaux pouvant être appliqués sur les différents accès d'une paire différentielle *IDGMOS* dans le cas d'une contre-réaction.

Sur le schéma de la figure 3.11, un potentiel élevé est appliqué sur la grille avant du transistor $M1$ et un potentiel faible est par conséquent appliqué sur la grille avant du transistor $M2$. La rétroaction étant négative, les signaux appliqués sur les grilles arrière sont inversés. Le courant I_{sp} passe donc principalement par le canal avant de $M1$ alors que le courant I_{sn} traverse plutôt le canal arrière de $M2$. Les transconductances relatives aux faces avant se retrouvent non seulement dissymétriques mais elles varient également en fonction des signaux appliqués sur les grilles avant et arrière. Utiliser les seconds accès des transistors de la paire en mode différentiel dégrade donc considérablement la linéarité de celle-ci.

Grilles arrière en mode commun

Dans ce paragraphe, la tension $V_{b,diff}$ de l'équation 3.8 est supposée nulle. Les grilles arrière des transistors de la paire sont donc connectées entre elles et fixées au potentiel $V_{b,com}$. Bien que les seconds accès des transistors fonctionnent en mode commun, leurs impacts sur le comportement global de la paire concernent non seulement le mode commun mais aussi le mode différentiel. En effet, le mode commun est lié généralement en statique à la polarisation de la paire et celle-ci fixe les caractéristiques du mode différentiel. De plus, les chapitres précédents ont montré que le couplage d'interface d'un transistor *IDGMOS* augmente la plage de contrôle du courant de drain par les deux accès de grilles en comparaison à une structure à deux transistors en parallèle (cf. §1.2). Cette augmentation de plage dynamique se retrouve donc au sein d'une paire différentielle. Un exemple d'application est illustré par les circuits de la figure 3.12.

Cet exemple se compose de deux amplificateurs différentiels en entrée et en sortie (« *fully-differential* »). L'un comporte une paire d'entrée réalisée avec quatre transistors *CDGMOS* montés en parallèle deux à deux $S3$, $S4$ (structure « $2Q$ »). L'autre dispose d'une paire différentielle conçue avec deux *IDGMOS* $M3$, $M4$. Afin d'obtenir un rapport largeur sur longueur W/L équivalent pour les deux structures, la largeur des transistors de la structure $2Q$ (en μm , $W/L = 5/0,2$) est réduite de moitié par rapport à celle des *IDGMOS* ($10/0,2$). Le courant de polarisation I_{bias} est fixé à $10\mu A$ par une source idéale de courant. La contre-réaction de mode commun de sortie est réalisée à l'aide d'un amplificateur différentiel idéal et de deux résistances de $1G\Omega$ connectées sur les sorties de l'amplificateur initial. La tension de mode commun de sortie est ainsi fixée à $0,75V$ pour une tension d'alimentation V_{dd} de $1V$.

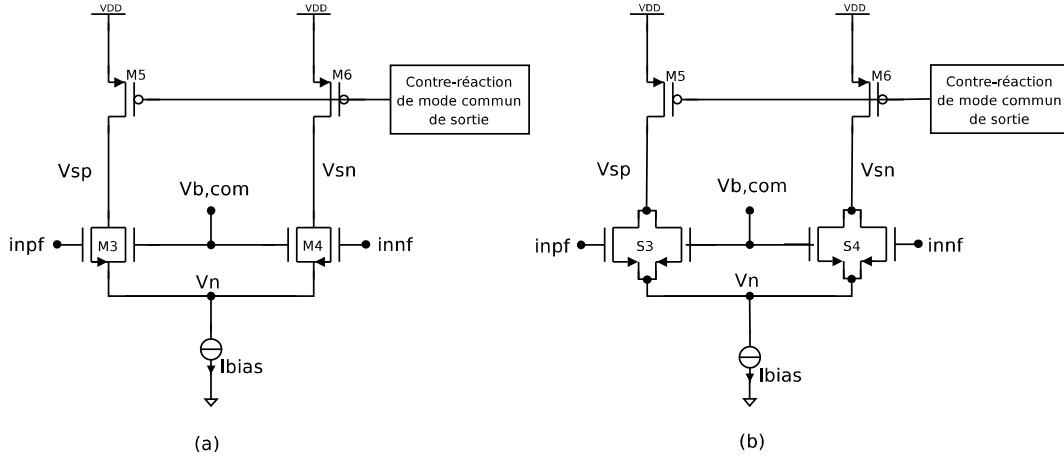


FIG. 3.12 –

Schémas électriques des paires « *fully-differential* ». (a) Structure *IDGMOS* (b) Structure à transistors symétriques en parallèle *2Q*.

Dans un premier temps, la tension de mode commun d'entrée est fixée à $0,5V$ et celle appliquée sur les accès arrière varie de $0V$ à V_{dd} . Il est ainsi possible d'extraire la plage de tension des accès arrière conservant le fonctionnement de l'amplificateur. Les résultats de cette simulation sont présentés à la figure 3.13.

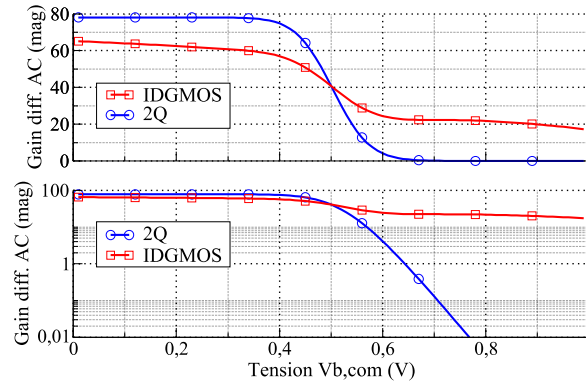


FIG. 3.13 –

Simulation du gain *AC* des amplificateurs en fonction de $V_{b,com}$ à tension commune d'entrée constante en échelle linéaire et logarithmique .

Concernant la structure *2Q*, les courbes de la figure 3.13 montrent que les deux structures *S3* et *S4* présentent un fonctionnement en commutation. En effet, le transistor dont le potentiel de grille est le plus élevé s'impose face à l'autre au sein d'une même structure. Ainsi, lorsque la tension $V_{b,com}$ est faible, les transistors arrière sont bloqués. Inversement, lorsque $V_{b,com}$ est élevée, les transistors d'entrée de la paire sont bloqués. Le gain différentiel chute alors rapidement puisque le courant de drain traversant les faces avant devient nul. Les valeurs fortes de la tension $V_{b,com}$

ne sont donc pas admises par le fonctionnement de l'amplificateur différentiel 2Q. La structure *IDGMOS* conserve quant à elle le fonctionnement différentiel de l'amplificateur pour toute la plage de variation de $V_{b,com}$. Bien que le gain différentiel change en fonction du régime d'inversion des interfaces avant, il reste néanmoins positif. Le couplage d'interface permet effectivement une interdépendance des tensions grille-source, maintenant le contrôle du courant de drain global de chaque *IDGMOS* sur toute la plage de variation des tensions d'entrée de la paire. Maintenant que les plages de tension $V_{b,com}$ admissibles ont été déterminées, la seconde étape consiste à simuler le fonctionnement de l'amplificateur en fonction du mode commun d'entrée de l'amplificateur pour différentes valeurs de $V_{b,com}$. La figure 3.14 montre les variations des tensions V_n aux bornes des sources de polarisation des deux amplificateurs en fonction de la tension $V_{b,com}$.

Pour les deux structures, l'augmentation de la tension des accès arrière permet d'élever la tension V_n minimale. Dans le cas de cette simulation, les sources de polarisation sont idéales. En pratique, ces sources sont réalisées à l'aide de transistors. La tension à leurs bornes ne doit donc pas être inférieure à leur tension de saturation $V_{ds,sat}$. De plus, il vient d'être démontré qu'une forte valeur de $V_{b,com}$ n'est pas compatible avec la structure 2Q. Puisque d'une part, la tension $V_{b,com}$ doit être élevée dans le but d'augmenter la tension aux bornes de la polarisation et que, d'autre part, cette même tension $V_{b,com}$ doit rester faible pour maintenir le fonctionnement différentiel de la paire, la structure 2Q est globalement inexploitable dans les paires différentielles. Au contraire, il n'existe pas de contraintes concernant les valeurs élevées de la tension appliquée sur les grilles arrière de la structure *IDGMOS*. Il est donc possible d'augmenter celle-ci afin de maintenir la source de polarisation dans sa zone de saturation. Le gain différentiel est alors plus faible et les performances en fréquence sont dégradées (cf. §2.3.1). Néanmoins, la perte de gain peut être compensée par les étages suivants.

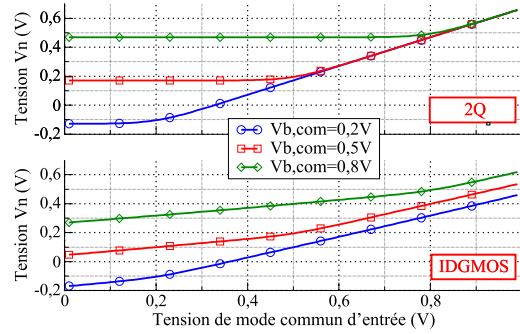


FIG. 3.14 –

Tensions V_n aux bornes de la source de polarisation en fonction du mode commun d'entrée pour $V_{b,com}$ égale à 0,2V, 0,5V et 0,8V.

Ce principe est très avantageux en ce qui concerne le fonctionnement sous tension d'alimentation très faible. En effet, il suffit de connecter les grilles arrière des transistors au potentiel V_{dd} . D'une part, la tension V_n appliquée à la source de polarisation, illustrée sur le figure 3.14, peut alors être plus élevée mais d'autre part, elle est également moins dépendante des variations du mode commun d'entrée puisque sa dérivée par rapport aux variations commune de in_{pf} et in_{nf} est inférieure à l'unité (cf. figure 3.14).

Un problème majeur concerne les variations du gain en fonction de la tension de mode commun d'entrée (cf. figure 3.13). Cette variation est due au passage de l'interface avant du régime d'inversion faible à celui d'inversion forte lorsque la tension de grille de la face avant devient équivalente ou dépasse celle appliquée sur la grille arrière. Ce changement de gain a pour conséquence de dégrader la linéarité de la paire différentielle. Néanmoins, il serait envisageable de rendre les interfaces des *IDGMOS* dissymétriques au niveau technologique. En utilisant par exemple des épaisseurs d'oxyde différentes pour les deux interfaces, il serait possible de maintenir l'interface avant en inversion faible quelle que soit la tension de mode commun d'entrée. En considérant cependant que les transistors sont symétriques du point de vue technologique, il est intéressant de comparer la linéarité des structures standard d'atténuation du gain avec la paire *IDGMOS*. En effet, il existe généralement un compromis entre linéarité et gain. La question est donc de savoir si l'atténuation apportée par la structure *IDGMOS* se fait dans des conditions similaires à celles obtenues dans le cas où l'atténuation est recherchée afin d'améliorer la linéarité. Les circuits de simulation sont présentés à la figure 3.15.

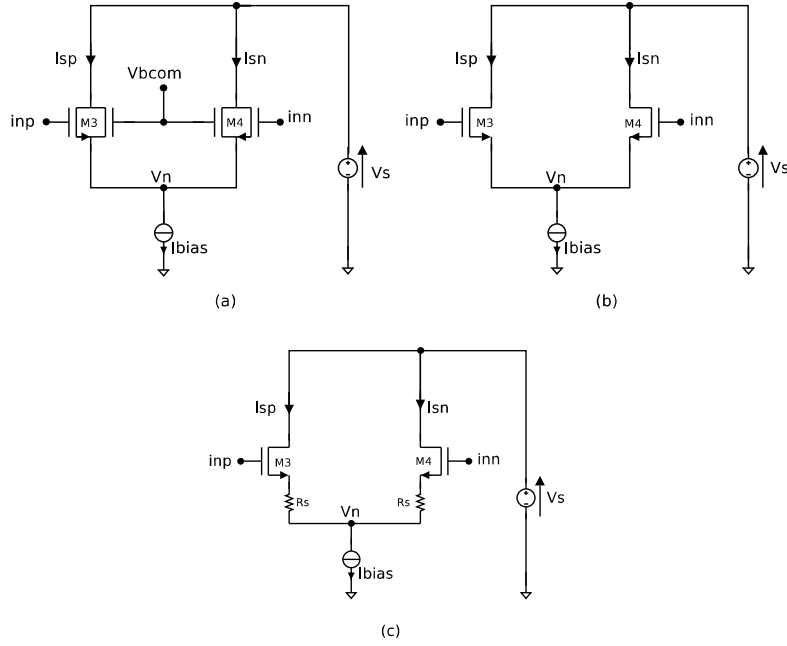


FIG. 3.15 –

Circuits de comparaison de la linéarité entre les paires différentielles (a) *IDGMOS*, (b) standard et (c) dégénérée.

Sur la figure 3.15.a, la tension $V_{b,com}$ est fixée à 0,7V. Le courant de polarisation est égal à $10\mu A$ et les circuits sont alimentés sous 1V. Les dimensions des transistors et la valeur des résistances de dégénérescence R_s du circuit de la figure 3.15.c ont été choisies afin d'obtenir la même valeur de transconductance pour une tension commune d'entrée de 0,5V. Ainsi, les dimensions des transistors, exprimées en μm , sont respectivement 20/0,1, 1, 17/5 et 20/0,1 pour les circuits des figures 3.15.a, b et c. Il est à noter que les transistors des figures 3.15.a et c sont de mêmes dimensions mais que ceux de la structure dégénérée sont à grille connectée et qu'ils disposent

donc d'une transconductance plus forte. La valeur des résistances R_s est de $15k\Omega$.

Les simulations présentées à la figure 3.16 sont effectuées pour les trois circuits en fonction de la tension différentielle d'entrée. En terme de linéarité de la transconductance, la paire différentielle *IDGMOS* est la moins performante. Une fois encore, la dégradation de la linéarité dans la paire *IDGMOS* peut être expliquée par le changement de régime d'inversion de la face avant. Néanmoins, le fait d'avoir un rapport W/L très faible dans le cas du circuit 3.15.b équivaut à avoir une valeur forte de tension grille-source. Le circuit 3.15.c utilise quant à lui des résistances de dégénérescence. Une chute de tension à leurs bornes s'ajoute donc à la tension grille-source des transistors de la paire dans le calcul du potentiel appliqué à la source de polarisation. Dans ces deux derniers cas, le potentiel V_n appliqué sur la source de polarisation risque donc d'être inférieur au $V_{ds,sat}$ de la source. La structure *IDGMOS* reste alors la plus avantageuse en regard au potentiel appliqué à la source de polarisation et à l'adaptation du circuit au fonctionnement sous tension d'alimentation faible.

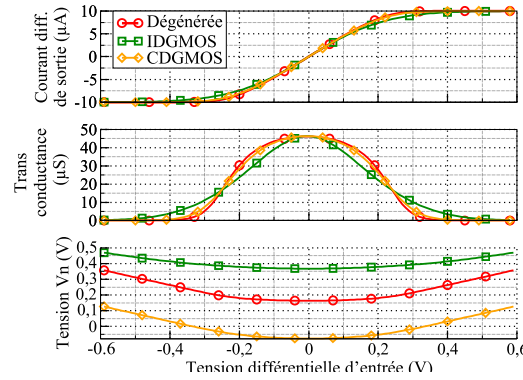


FIG. 3.16 –

Simulations des paires différentielles de la figure 3.15 en fonction de la tension différentielle d'entrée. Courant différentiel de sortie (haut), transconductance (milieu) et tension V_n appliquée à la source de polarisation (bas).

3.2.3 Structures innovantes

Dans le chapitre 3.2.1, les miroirs de courant ont été étudiés en conservant les grilles arrière des transistors d'entrée et de sortie connectées l'une à l'autre afin de maintenir la symétrie du miroir. Par analogie avec l'entrée d'une paire différentielle, ce mode de fonctionnement peut être qualifié de mode commun. Au contraire, le mode différentiel appliqué aux grilles arrière du miroir de courant nécessite de déconnecter les grilles. Piloter les grilles arrière d'un miroir *IDGMOS* ne trouve pas actuellement d'équivalent en technologie *MOS* standard. Ce circuit correspond donc à une structure innovante que l'on peut qualifier de « miroir de courant différentiel ». Ce nouveau type de miroir est illustré sur la figure 3.17.a. De la même façon que l'étude réalisée sur les paires différentielles standards, il est possible de réaliser un ensemble équivalent à deux accès de grille en employant deux transistors *CDGMOS* en parallèle (structure « $2Q$ »). L'apport de la structure *IDGMOS* sera donc mis en valeur en comparant le fonctionnement des deux structures, à double grille *IDGMOS* d'une part et à transistors *CDGMOS* en parallèle d'autre part. Les schémas électriques des deux ensembles sont illustrés sur la figure 3.17.

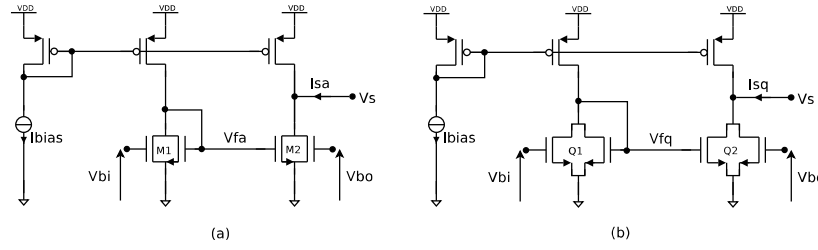


FIG. 3.17 –

Schémas électriques des structures de miroirs de courant différentiels. (a) Structure *IDGMOS*, (b) Structure *2Q*.

Plage de fonctionnement d'entrée :

Dans les circuits de la figure 3.17, le courant de polarisation I_{bias} est fixé à $30\mu A$ et la tension d'alimentation V_{dd} est de $0,5V$. Afin de tenir compte de l'impact des variations des tensions V_{fa} et V_{fq} , les sources de polarisation I_{bias} sont réalisées par des miroirs de courant *CDGMOS* de type *PMOS*. Les dimensions des transistors, données en μm , sont respectivement 50/0,36 et 25/0,36 pour les transistors $M1$, $M2$ et les transistors parallèles des structures $Q1$, $Q2$. Les dimensions des transistors *PMOS* sont 50/0,36. Dans un premier temps, chacun des circuits présentés sur la figure 3.17 est supposé être placé dans sa zone normale de fonctionnement. Ces zones seront explicitées ultérieurement dans ce chapitre.

De part la structure des circuits de la figure 3.17, les courants de sortie I_{sa} et I_{sq} présentent un fonctionnement différentiel relativement aux tensions V_{bi} et V_{bo} . D'une part, le courant de drain de $M2$ et $Q2$ augmente avec l'accroissement de la tension V_{bo} . D'autre part, ces mêmes courants diminuent avec l'augmentation de V_{bi} , cet accroissement de V_{bi} impliquant une diminution de V_{fa} et V_{fq} lorsque le courant de polarisation I_{bias} est supposé être constant. Le fonctionnement en mode commun s'obtient à l'aide de raisonnements similaires. En effet, lorsque les tensions V_{bi} et V_{bo} augmentent en phase, les potentiels V_{fa} et V_{fq} diminuent. La tension V_{bo} augmente alors que les tensions V_{fa} et V_{fq} diminuent (cf. §3.2.1). Le courant de drain des transistors $M2$ et $Q2$ reste donc globalement constant. Les miroirs différentiels 3.17.a et b disposent donc intrinsèquement d'une compensation des variations de mode commun d'entrée.

Néanmoins, il a été démontré dans le chapitre 3.2.2.2 que la structure *2Q* présente un défaut majeur quant à son fonctionnement « grand signal ». En effet, le couplage entre les canaux y est inexistant et les transistors de cette structure fonctionnent en commutation. La plage de fonctionnement de la structure *2Q* correspond alors à cette zone de commutation, en dehors de laquelle le gain entre V_{bi} et V_{fq} est quasi-nul. Afin d'illustrer cette limitation, les miroirs différentiels *IDGMOS* et *2Q* sont simulés en montage suiveur de tension en connectant leur sortie V_s à leur entrée V_{bo} . En effet, les montages de la figure 3.17 correspondent à la structure d'un *OTA*. La contre-réaction réalisée en connectant leur sortie V_s sur leur entrée à gain négatif V_{bo} impose alors que $V_s = V_{bi}$. Aucune charge additionnelle n'est connectée à leur sortie. Les variations de la tension de sortie des deux montages suiveurs sont illustrées sur la figure 3.18.

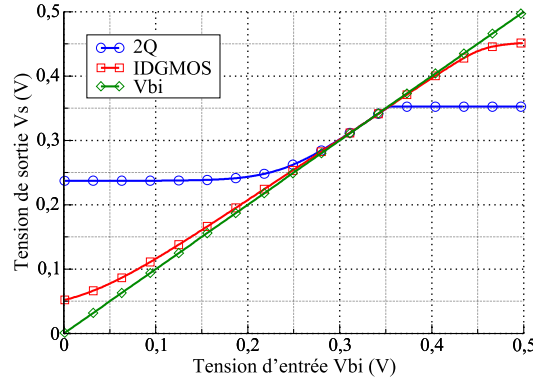


FIG. 3.18 –

Tensions de sortie V_s et d'entrée V_{bi} des montages suiveurs obtenus à partir des miroirs différentiels des figures 3.17.a et b en fonction de V_{bi} .

La tension de sortie des montages suiveurs ainsi obtenus ne peut suivre les variations de la tension de commande que sur la plage de fonctionnement des circuits différentiels d'entrée. Due à la plage de fonctionnement étroite de la structure $2Q$, l'excursion du signal de sortie du circuit de la figure 3.17.b est elle-même limitée. Au contraire, l'OTA $IDGMOS$ de la figure 3.17.a possède une plage de fonctionnement bien plus grande. Bien que les gains de boucle soient faibles dans les deux montages ($33dB$ et $37dB$ respectivement pour les structure $IDGMOS$ et $2Q$), la limitation du circuit $2Q$ apparaît clairement sur les courbes de la figure 3.18. Cette simulation montre en effet que la structure $2Q$ n'est opérationnelle qu'entre $0,25V$ et $0,35V$ alors que le circuit $IDGMOS$ fonctionne pour une tension d'entrée allant de $0,1V$ à $0,45V$.

Compensation du mode commun d'entrée :

L'apport du couplage apparaît donc au sein du miroir différentiel au travers de la plage de fonctionnement du circuit. Un deuxième intérêt de cette structure concerne la stabilité du courant de polarisation en fonction du mode commun d'entrée. En effet, le mode commun correspond aux variations des potentiels d'entrée lorsque ceux-ci varient ensemble. Le mode commun d'entrée est donc équivalent à l'étude réalisée dans le chapitre 3.2.1. Lors de cette étude, il a été montré qu'en dessous d'une certaine limite en tension, le courant de sortie reste stable sur une plage de tension de grille arrière relativement large. Ainsi, le miroir de courant $IDGMOS$ dispose intrinsèquement d'une compensation du mode commun d'entrée. Afin d'illustrer l'intérêt de cette compensation, le miroir différentiel $IDGMOS$ du circuit 3.17.a est repris ici et comparé à la paire « *pseudo-différentielle* » illustrée sur la figure 3.19.b. La paire différentielle de la figure 3.19.b est similaire à une paire standard à ceci près que la source de polarisation a été retirée afin d'adapter le circuit au fonctionnement sous tension d'alimentation faible. La polarisation de ce circuit est fixée par les dimensions des transistors de la paire $S1$ et $S2$ ainsi que par la tension de mode commun d'entrée appliquée sur leur grille. Ne disposant pas de source de polarisation, le courant traversant ces transistors est donc très sensible aux variations de mode commun d'entrée.

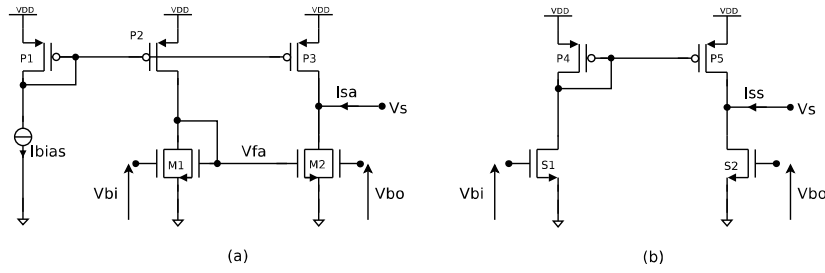


FIG. 3.19 –

Schémas électriques des structures différentielles. (a) Structure *IDGMOS*, (b) Paire « *pseudo-différentielle* ».

Dans les circuits de la figure 3.19, le courant de polarisation I_{bias} est fixé à $30\mu A$ et la tension d'alimentation V_{dd} est de $0,5V$. Les dimensions des transistors, données en μm , sont respectivement $50/0,36$ et $25/0,36$ pour les transistors $M1$, $M2$ et les transistors $S1$, $S2$. Les dimensions des transistors *PMOS* sont $50/0,36$. Dans un premier temps, les circuits représentés sur la figure 3.19.a et b sont chargés en sortie par une source idéale de tension de $0,25V$ afin de simuler le courant de polarisation des transistors $M2$ et $S2$ en fonction de la tension de mode commun d'entrée. Les résultats de cette simulation sont présentés à la figure 3.20 pour une tension différentielle nulle.

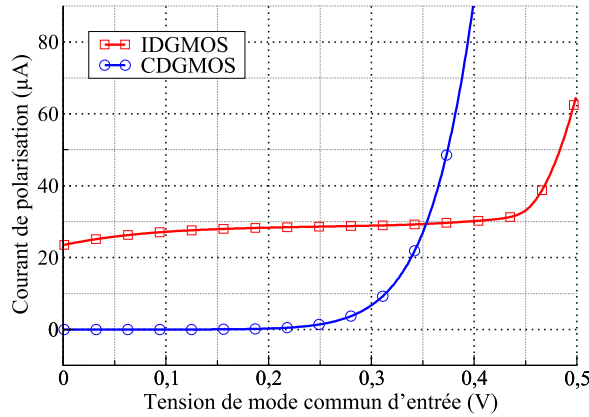


FIG. 3.20 –

Simulation des courants de polarisation des transistors d'entrée des circuits 3.19.a et b chargés par une source de tension de $0,25V$ en fonction de la tension de mode commun d'entrée.

Les courbes présentées à la figure 3.20 montrent l'avantage de la structure *IDGMOS* quant à la stabilité du courant de polarisation des transistors en fonction des variations du mode commun d'entrée. En effet, le courant de polarisation de la paire « *pseudo-différentielle* » ne peut pas être fixé sur une plage de mode commun d'entrée mais seulement pour une valeur donnée. En fonction des dimensions des transistors et de leur transconductance, une légère variation du mode commun d'entrée peut avoir un impact important sur le courant de polarisation de la paire

et par conséquent, sur tous les paramètres dépendants de ce courant. Au contraire, le miroir différentiel *IDGMOS* permet de maintenir un courant de polarisation suffisamment stable sur une plage de mode commun d'entrée relativement large. De plus, les équations du chapitre 2.3.2 ont montré que tant que les interfaces d'entrée sont en régime d'inversion faible, la transconductance des *IDGMOS* dépende principalement du courant traversant l'interface en inversion forte. Par conséquent, les paramètres de la structure *IDGMOS* 3.19.a liés à la transconductance et au courant de polarisation de la paire d'entrée restent constants en fonction de la tension de mode commun d'entrée. Ceci n'étant pas le cas pour la paire « *pseudo-différentielle* », la structure *IDGMOS* reste donc la seule paire à présenter un fonctionnement différentiel et une bonne stabilité en fonction du mode commun d'entrée. De plus, la source de polarisation n'y est pas placée en série avec les transistors et la masse mais elle est repliée entre le transistor *M1* et le rail d'alimentation V_{dd} . Le miroir différentiel est par conséquent bien adapté au fonctionnement sous tension d'alimentation faible. Afin d'illustrer l'intérêt de la stabilité en courant de polarisation de la structure *IDGMOS*, les structures de la figure 3.19 sont montées en *OTA*, simplement en connectant leur sortie V_s sur leur entrée V_{bo} . Afin de mettre les circuits dans des conditions de fonctionnement réelles, leur sortie est chargée par une capacité C_L de 0,5pF. Les capacités parasites des transistors étant faibles devant la capacité de charge, le pôle dominant des *OTAs* se situe au niveau du nœud de sortie. De plus, le pôle non dominant ainsi que le zéro négatif des structures sont assez éloignés de la fréquence au gain unité des *OTAs* afin que ces derniers présentent une réponse de type passe bas d'ordre un jusqu'à cette fréquence au gain unité. Dans ces conditions, la fonction de transfert en tension des *OTAs* peut être approchée par :

$$\frac{V_s}{V_{bi}}(p) = \frac{g_m R_L}{1 + R_L C_L p} \quad (3.10)$$

Dans l'équation 3.10, g_m est la transconductance des transistors d'entrée et R_L la résistance équivalente vue du nœud de sortie. En nommant respectivement $r_{ds,p}$ et $r_{ds,n}$ les résistances drain-source des transistors *PMOS* et *NMOS*, R_L s'exprime alors par :

$$R_L = r_{ds,n} / r_{ds,p} \quad (3.11)$$

L'équation 3.10 permet de déterminer le gain basse fréquence des *OTAs*, leur fréquence de coupure à $-3dB$, ainsi que leur fréquence au gain unité. Ces paramètres s'expriment respectivement par :

$$A_{bf} = g_m R_L \quad (3.12)$$

$$f_c = \frac{1}{2\pi R_L C_L} \quad (3.13)$$

$$f_t = \frac{g_m}{2\pi C_L} \quad (3.14)$$

Les équations 3.12 à 3.14 montrent que l'ensemble des paramètres fréquentiels dépendent du courant de polarisation des transistors. Par conséquent, la réponse fréquentielle de l'*OTA* à paire « *pseudo-différentielle* » de la figure 3.19.b varie largement en fonction de la tension de mode commun d'entrée. Au contraire, l'amplificateur *IDGMOS* 3.19.a présente une meilleure stabilité

de ses paramètres fréquentiels. Ceux-ci varient néanmoins lors du changement de régime des interfaces d'entrée, à savoir pour les valeurs de tension de mode commun d'entrée supérieures à $0,4V$. Le couplage intercanal permet cependant à cette structure de conserver de bonnes caractéristiques fréquentielles et cela même lorsque les interfaces d'entrées du miroir différentiel sont en régime d'inversion faible. Les courbes de la figure 3.21 illustrent l'apport de la structure *IDGMOS* au travers des réponses fréquentielles en boucle ouverte des *OTAs*. Celles-ci sont simulées pour une tension V_{bi} égale à $0,1V$, $0,25V$ et $0,4V$.

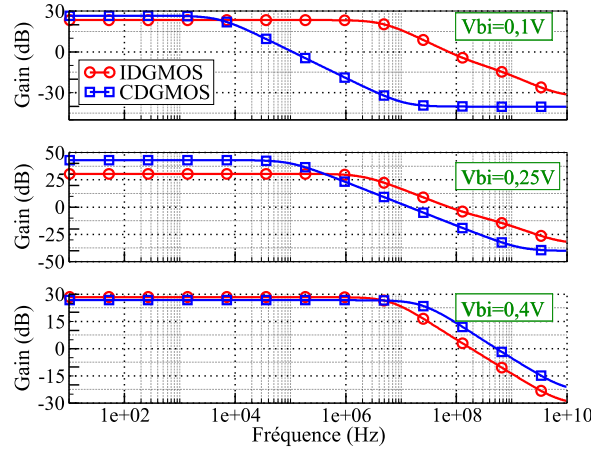


FIG. 3.21 –

Réponses fréquentielles de la boucle ouverte des montages suiveurs de la figure 3.19 pour différentes tensions V_{bi} .

Ces courbes démontrent que, pour une variation de V_{bi} allant de $0,1V$ à $0,4V$, le gain basse fréquence de l'*OTA* « pseudo-différentiel » évolue entre $25dB$ et $45dB$ et sa fréquence au gain unité varie de $6kHz$ à $70MHz$. Sur la même plage de variation de la tension V_{bi} , la stabilité en courant de polarisation de la structure *IDGMOS* permet d'obtenir un gain basse fréquence n'évoluant qu'entre $25dB$ et $30dB$ ainsi qu'une fréquence au gain unité située entre $5MHz$ et $7MHz$.

L'impact des variations des paramètres fréquentiels se retrouve également dans la réponse transitoire des *OTAs* montés en suiveur. Un exemple de réponse transitoire est illustré par les courbes simulées de la figure 3.22. Ces courbes sont obtenues dans les mêmes conditions que pour la simulation des courbes fréquentielles précédentes. La tension appliquée sur V_{bi} est une rampe évoluant entre $0,1V$ et $0,4V$ et présentant un temps de montée de $10ns$.

En considérant la figure 3.22, la réponse de l'*OTA* à paire « pseudo-différentielle » est bien plus lente à suivre les variations du potentiel d'entrée lorsque celle-ci est faible. Le courant de polarisation est si faible que la boucle de contre-réaction tarde à se refermer. L'amplificateur récupère ensuite son retard en passant par la pente de variation maximale de son potentiel de sortie (« *slew-rate* »). La réponse de l'amplificateur *IDGMOS* correspond davantage à celle d'un système linéaire en contre-réaction dont la boucle reste constamment fermée. Sa réponse est donc plus stable et déterminée par les paramètres fréquentiels.

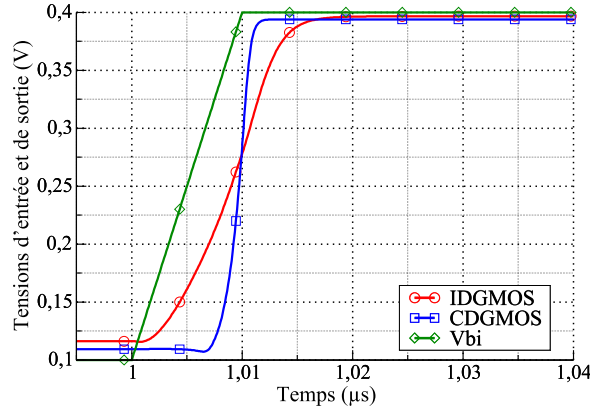


FIG. 3.22 –

Réponse transitoire des montages suiveurs de la figure 3.19 à une rampe de tension $0,1V - 0,4V$ avec un temps de montée de $10ns$.

Un autre avantage de la structure *IDGMOS* réside dans le « *slew-rate* » de l'amplificateur. Puisque la charge des montages suiveurs est purement capacitive, le « *slew-rate* » des potentiels de sortie est fixé par le rapport entre la valeur des courants I_{sa} , I_{ss} des schémas de la figure 3.19 et la valeur de la capacité C_L . Le comportement de ces structures lorsqu'un échelon de tension entre $0,4V$ et $0,1V$ est appliqué sur leur accès V_{bi} avec une charge capacitive de $0,5pF$ est illustré à la figure 3.23.

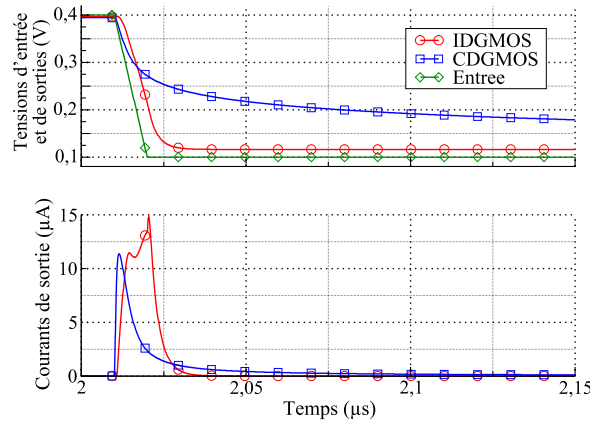


FIG. 3.23 –

Réponse transitoire des montages suiveurs de la figure 3.19 à une rampe de tension $0,4V - 0,1V$ avec un temps de montée de $10ns$.

Lors d'une diminution de V_{bi} de $0,4V$ à $0,1V$, le courant de drain du *PMOS* $P5$ de la figure 3.19.b chute rapidement à une valeur quasi-nulle, le potentiel appliqué sur la grille de $S1$ correspondant à la tension d'entrée de l'*OTA*. Le courant I_{ss} est alors fixé uniquement par le courant de drain de $S2$. Pour une variation de V_s de $0,4V$ à $0,11V$, la valeur maximale du courant I_{ss} est d'environ $11\mu A$. De plus, ce courant ne dépendant que du transistor $S2$, I_{ss} diminue rapidement

au fur et à mesure que la tension de sortie, appliquée sur sa grille, diminue. Par conséquent, le « *slew-rate* » du montage à paire « *pseudo-différentielle* » décroît lui aussi rapidement en passant par une valeur d'environ $-2,5V/\mu s$ lorsque la tension de sortie V_s atteint $0,25V$. En considérant à présent l'amplificateur IDGMOS 3.19.a, le courant de drain du PMOS P3 ne s'annule pas mais il est compensé par le courant d'interface avant de M2. Le courant de sortie I_{sa} est alors fixé non seulement par le courant traversant l'interface arrière de M2 mais aussi par le surplus de courant traversant l'interface avant de ce transistor résultant de la dissymétrie du miroir de courant composé par M1 et M2. Pour une variation de V_s de $0,4V$ à $0,11V$, la valeur maximale du courant I_{sa} est d'environ $15\mu A$, soit un peu moins de 50% de plus que l'OTA à paire « *pseudo-différentielle* ». Le « *slew-rate* » du montage IDGMOS reste stable sur toute la plage de variations de la tension V_s et sa valeur est d'environ $-25V/\mu s$ autour de $V_s = 0,25V$. Le

« *slew-rate* » (resp. le temps d'établissement) du montage IDGMOS reste donc supérieur (resp. inférieur) à celui de l'amplificateur à paire « *pseudo-différentielle* » sur une grande plage de variation de V_s .

Tant en termes de plage de fonctionnement d'entrée qu'en ce qui concerne la stabilité des paramètres du montage, cette étude montre que le miroir différentiel IDGMOS met à profit le couplage d'interface inhérent à la technologie double grille afin de maintenir de bonnes performances même lorsqu'il est alimenté par une tension de $0,5V$. Il se révèle être ainsi une alternative aux structures différentielles standard, notamment au sein des applications fonctionnant sous tension d'alimentation faible.

3.3 Apports combinés

Le chapitre précédent montre combien le miroir de courant différentiel est intéressant lors de la conception d'amplificateurs différentiels alimentés sous très basse tension d'alimentation. En effet, la compensation de mode commun qui lui est intrinsèque permet de réaliser un étage d'entrée performant. De plus, sa structure de base reste celle d'un miroir de courant. Or, les miroirs de courant sont largement utilisés comme charge active des étages amplificateurs. Il est donc envisageable de concevoir un amplificateur différentiel avec d'une part, une entrée différentielle standard et d'autre part, une entrée différentielle située au niveau d'une charge active. L'amplificateur ainsi réalisé dispose de quatre entrées. Néanmoins, il n'est pas possible de dissocier les deux paires d'entrée afin d'obtenir deux amplificateurs en un. En effet, chaque entrée modifie le fonctionnement de l'autre entrée. Cependant, les amplificateurs différentiels disposent de deux modes de fonctionnement : l'un dit de mode commun, l'autre de mode différentiel. Ces deux modes de fonctionnement peuvent être séparés l'un de l'autre.

De plus, le fonctionnement des amplificateurs « *fully-differential* » nécessite un contrôle de la tension de mode commun de sortie afin d'optimiser la plage d'excursion des signaux. Ce fait est illustré sur la figure 3.24 pour un même amplificateur alimenté sous $0,5V$ avec deux valeurs différentes de tension de mode commun de sortie.

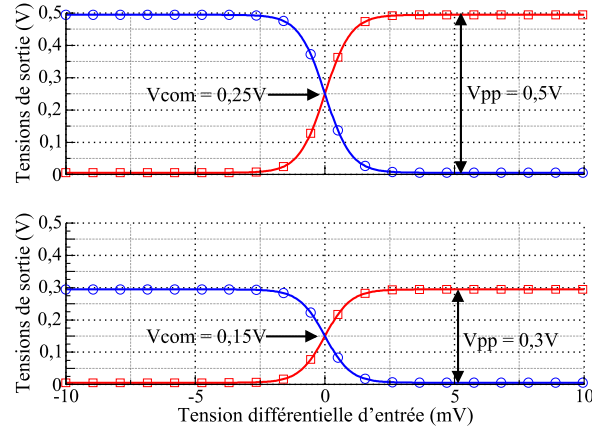


FIG. 3.24 –

Impact de la valeur du mode commun de sortie sur l'amplitude maximale des signaux de sortie d'un amplificateur différentiel en entrée et en sortie.

Fixer la valeur du mode commun de sortie à un potentiel de référence nécessite l'utilisation d'un amplificateur différentiel supplémentaire. L'intérêt du miroir différentiel *IDGMOS* est dans ce cas d'éviter l'ajout de cet amplificateur. Puisque l'amplificateur « *fully-differential* » *IDGMOS* présente lui-même deux paires d'entrée différentielles, l'une d'entre elles peut être utilisée afin de contrôler le mode commun de sortie. Une structure *IDGMOS* « *fully-differential* » basse tension est présentée à la figure 3.25. Cette application est inspirée de l'amplificateur présentée dans [Cha04]. Dans cet article, l'amplificateur dispose d'une compensation de mode commun et d'un système d'optimisation du gain différentiel. Ces deux fonctions y sont réalisées en utilisant les accès substrat de transistors *MOS* standard. L'amplificateur « Gate input *OTA* » présenté dans [Cha04] servira de base de comparaison à l'amplificateur *IDGMOS*.

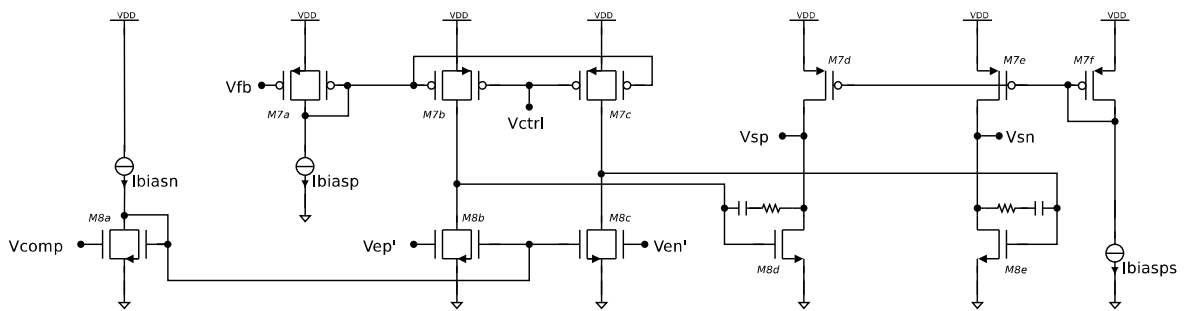


FIG. 3.25 –

Schéma de l'amplificateur « *fully-differential* » *IDGMOS* fonctionnant sous faible tension d'alimentation.

Le circuit présenté ici est alimenté sous $0,5V$ et les courants de polarisation I_{biasn} et I_{biassp} sont de $30\mu A$. Les dimensions des transistors de l'amplificateur sont données dans le tableau 3.1.

Transistors	Dimensions en μm (W/L)
$M8a, M8b, M8c$	50/0,36
$M7a, M7b, M7c$	100/0,36
$M8d, M8e$	100/0,36
$M7d, M7e, M7f$	200/0,36

TAB. 3.1 –

Dimensions des transistors de l'amplificateur de la figure 3.25.

Les capacités et les résistances de compensation sont de $1,3pF$ et $17k\Omega$. Enfin, chaque sortie de l'amplificateur est chargée par une capacité de $20pF$. Cet amplificateur se compose de deux étages. Ceux-ci sont conçus afin de fonctionner sous tension d'alimentation faible puisque les sources de polarisation des paires ont été retirées. L'amplificateur est donc très sensible aux variations de mode commun d'entrée. Afin de compenser ces variations, une structure de miroir différentiel IDGMOS $M8a, M8b$ et $M8c$ est utilisée dans la réalisation de la paire d'entrée du montage.

3.3.1 Compensation du mode commun d'entrée

En comparaison au miroir différentiel présenté dans le chapitre précédent, cette structure correspond à une sortie de type différentielle. La compensation de mode commun est illustrée sur la figure 3.26. Celle-ci est réalisée en mesurant la tension moyenne de V'_{ep} et V'_{en} . Cette valeur moyenne V_{comp} est ensuite appliquée sur la grille du transistor $M8a$. Le fonctionnement de la compensation est similaire à celui du miroir différentiel « *single* » présenté dans le chapitre précédent.

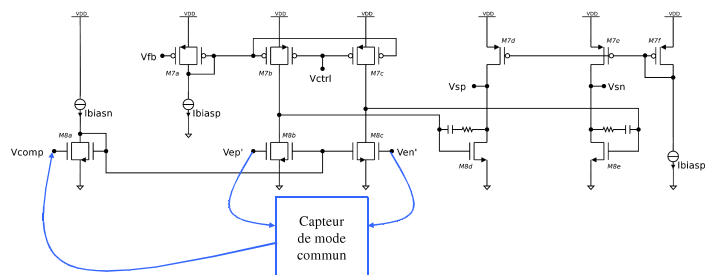
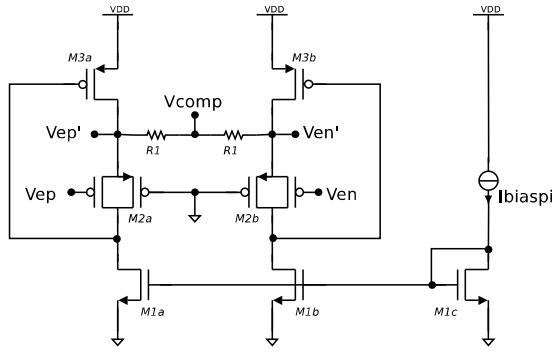


FIG. 3.26 –

Schéma de principe de la compensation de mode commun d'entrée.

Le capteur générant la tension moyenne d'entrée V_{comp} doit préserver une forte impédance aux entrées de l'amplificateur mais il doit également être le plus linéaire possible. Un exemple de réalisation simple consiste à utiliser deux résistances connectées sur les entrées. Dans ce cas, leur valeur devra être élevée afin de maintenir l'impédance d'entrée. Cette solution ne peut être utilisée dans le cas d'une technologie avancée car les oxydes de grille sont très minces, de l'ordre de quelques nanomètres d'épaisseur. Les fuites de grille sont donc relativement élevées et le courant traversant alors les résistances génère un offset entre V_{comp} et la valeur moyenne réelle des tensions d'entrée. Il est donc avantageux d'utiliser un montage de type suiveur entre les tensions d'entrée et les résistances de mesure. Dans ce cas, la valeur des résistances peut être diminuée sans changer l'impédance d'entrée de l'amplificateur. La structure du capteur est reprise du circuit *IDGMOS* présenté dans [RA05]. Le schéma électrique du capteur est illustré sur la figure 3.27. Lorsqu'un *OTA* fonctionnent dans son régime linéaire, les tensions à ses entrées sont très proches l'une de l'autre. Étant donnée la faible plage différentielle d'entrée requise, le courant de polarisation est fixé à $1\mu A$. La valeur des résistances de mesure est $25k\Omega$.



Transistors	Dimensions en μm (W/L)
$M1a, M1b, M1c$	2/0,36
$M2a, M2b$	10/0,36
$M3a, M3b$	2/0,36

FIG. 3.27 –
Schéma électrique du capteur de mode commun d'entrée.

L'intérêt du circuit de la figure 3.27 est qu'il présente une plage admissible d'entrée s'étendant d'un rail d'alimentation à l'autre (cf. §3.2.2.1). Néanmoins, la tension moyenne extraite ne correspond pas à celle des tensions appliquées en entrée du capteur. Un offset apparaît dû à la tension grille-source de ses transistors d'entrée. Puisque la tension V_{comp} du circuit 3.25 doit représenter la tension moyenne des tensions appliquées sur V_{ep}' et V_{en}' de l'amplificateur, le capteur doit donc être intercalé en entrée de l'amplificateur 3.25. Les courbes de la figure 3.28 présentent la valeur du mode commun extrait en fonction de celle appliquée sur les entrées V_{ep} et V_{en} du capteur.

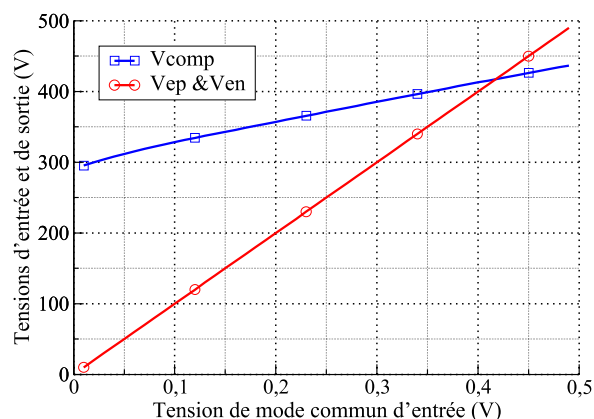


FIG. 3.28 –

Simulation de la sortie V_{comp} du capteur de mode commun d'entrée en fonction de la tension de mode commun d'entrée.

Comme cela a été montré lors de l'étude sur ce type de montage suiveur, les courbes de la figure 3.28 rappellent que le gain en tension du capteur est inférieur à l'unité. Cette atténuation représente un atout en termes de rejet du mode commun mais elle dégrade le gain en mode différentiel et l'offset ramené en entrée. Le reste du circuit d'amplification devra donc rattraper cette perte de gain différentiel. Enfin, la simulation de ce circuit en fonction de la tension différentielle d'entrée montre que la variation de V_{comp} reste inférieure à $0,2mV$ sur la plage différentielle de $\pm 0,1V$ pour une tension commune d'entrée de $0,25V$ appliquée sur V_{ep} et V_{en} .

Les résultats de simulation de l'amplificateur global en fonction du mode commun d'entrée sont présentés à la figure 3.29. Dans cette simulation, les circuits de mesure et de contre-réaction de mode commun de sortie y sont ajoutés. La contre-réaction de mode commun de sortie sera détaillée ultérieurement dans ce chapitre.

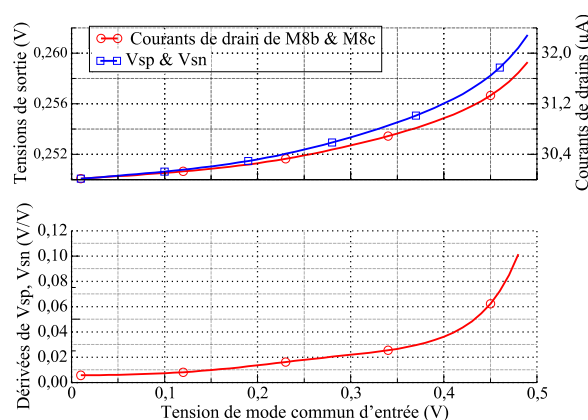


FIG. 3.29 –

Simulation du courant de polarisation du premier étage, de la tension de sortie de l'amplificateur et de sa dérivée en fonction de la tension de mode commun d'entrée.

Si rien n'était fait pour compenser les variations de mode commun d'entrée, le courant de polarisation du premier étage varierait largement sur la plage de mode commun d'entrée. Les paramètres ainsi que les performances de cet étage seraient difficilement contrôlés et la boucle de contre-réaction de mode commun de sortie ne pourrait maintenir le contrôle de la tension moyenne en sortie de l'amplificateur. Grâce à la compensation d'entrée, les courbes de la figure 3.29 montrent que le courant de polarisation du premier étage varie au maximum de 5% par rapport à sa valeur pour une tension commune d'entrée de 0,25V. La tension de mode commun de sortie, asservie par la boucle de contre-réaction, varie quant à elle de moins de 4%. Le gain de l'amplificateur pour le mode commun est de 18mV/V autour d'un mode commun d'entrée de 0,25V et il reste inférieur à 0,1V/V sur la pleine plage de mode commun d'entrée.

3.3.2 Contre-réaction de mode commun de sortie

Le principe de la contre-réaction de mode commun de sortie consiste à régler le courant de drain des transistors *PMOS* *M7b* et *M7c* par rapport à celui imposé par les *NMOS* d'entrée *M8b* et *M8c* afin de fixer la valeur de la tension de mode commun de sortie. Celle-ci reste ainsi constante en fonction du mode commun d'entrée. Comme cela a été mentionné auparavant, la contre-réaction de mode commun de sortie est réalisée de façon compacte. En effet, les transistors *IDGMOS* permettent de concevoir cette fonction en réemployant l'amplificateur lui-même afin de générer le gain de boucle nécessaire. Cela est possible car le mode commun et le mode différentiel peuvent être dissociés l'un de l'autre. Le schéma de principe de la contre-réaction de mode commun de sortie est représenté sur la figure 3.30.

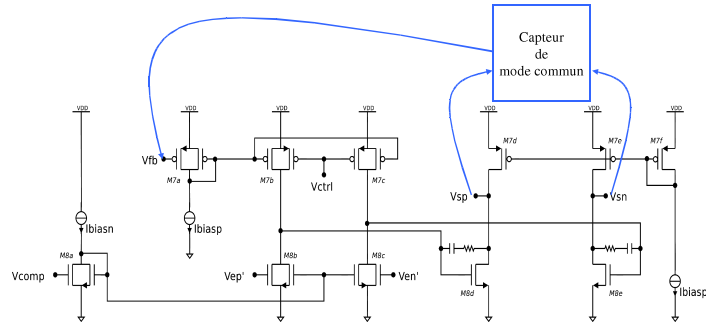
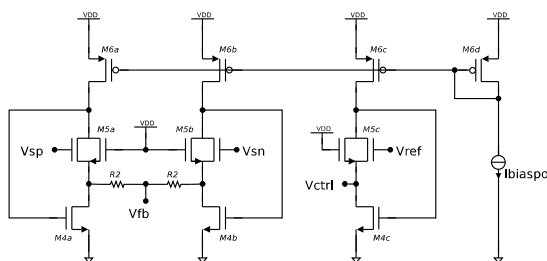


FIG. 3.30 –
Schéma de principe de la contre-réaction de mode commun de sortie.

L'entrée différentielle de la boucle est constituée du miroir de charge active *M7a*, *M7b* et *M7c*. Les grilles avant et arrière des transistors *M7b* et *M7c* étant communes aux deux *IDGMOS*, les effets de cette structure sur le reste de l'amplificateur concerne donc le fonctionnement en mode commun. Compte tenu de la phase du gain de boucle, le retour est effectué sur le transistor *M7a*. La mesure du mode commun de sortie est effectuée de façon similaire à celle concernant le mode commun d'entrée. Néanmoins, la contre-réaction de sortie nécessite une comparaison à un potentiel de référence. Le capteur, illustré sur la figure 3.31, présente une troisième entrée sur laquelle est appliquée cette tension de référence. La sortie V_{ctrl} correspondant à la référence est appliquée sur les accès des transistors *M7b* et *M7c*. Enfin, la plage différentielle d'entrée

du capteur est ici plus grande que dans le cas du mode commun d'entrée. Pour cette raison, le courant de polarisation du circuit est fixé à $10\mu A$. La valeur des résistances de mesure est $25k\Omega$.



Transistors	Dimensions en μm (W/L)
M4a, M4b, M4c	10/0,36
M5a, M5b, M5c	50/0,36
M6a, M6b	40/0,36

FIG. 3.31 –
Schéma électrique du capteur de mode commun de sortie.

Les remarques concernant le fonctionnement de ce circuit sont similaires à celles du capteur de mode commun d'entrée. Ainsi les courbes de la figure 3.32 montrent que le gain du capteur est inférieur à l'unité mais sa plage de fonctionnement s'étend sur la pleine plage de variation de mode commun d'entrée.

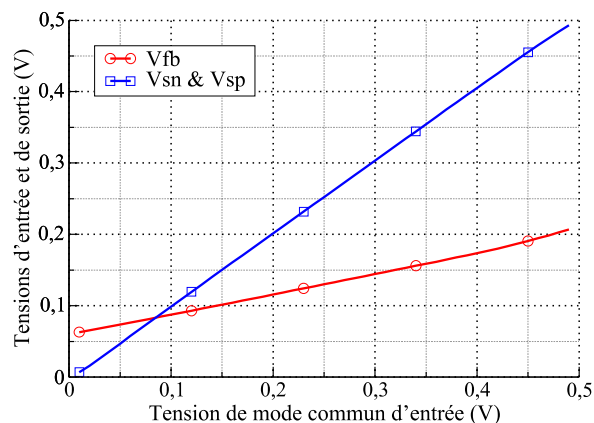


FIG. 3.32 –
Simulation de la sortie V_{fb} du capteur de mode commun de sortie en fonction de la tension de mode commun sur ses entrées V_{sp} et V_{sn} .

Néanmoins, la polarisation plus forte ainsi que l'adaptation des dimensions des transistors permet d'obtenir une variation inférieure à $6mV$ sur une plage différentielle d'entrée couvrant cette fois-ci $\pm 0,5V$ pour une valeur de tension commune d'entrée de $0,25V$ appliquée sur V_{sp} et V_{sn} .

En considérant à présent l'ensemble du circuit d'amplification, les résultats de simulation statique de la boucle de contrôle du mode commun de sortie en fonction de la tension de référence sont présentés à la figure 3.33. Les tensions d'entrée de l'amplificateur V_{ep} et V_{en} sont fixées à 0,25V.

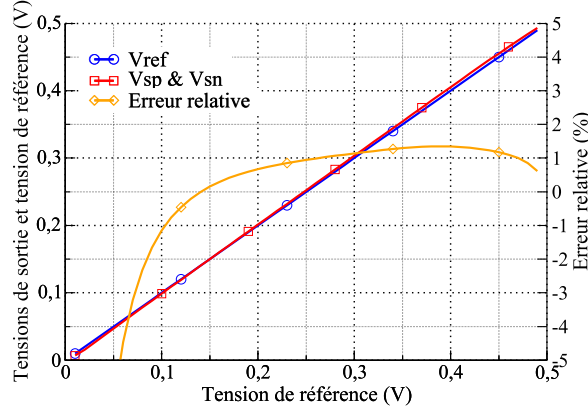


FIG. 3.33 –

Simulation statique de la variation du mode commun de sortie de l'amplificateur complet en fonction de la tension de référence.

La boucle de contrôle compacte permet un réglage précis du mode commun de sortie. Puisque la contre-réaction réutilise l'amplificateur, le gain en boucle ouverte du système de contrôle est du même ordre de grandeur que celle de l'amplificateur. Plus précisément, la différence entre les deux gains provient du ratio entre les transconductances des transistors d'entrée $M8b$, $M8c$ et celle des transistors de la charge active $M7b$, $M7c$. D'une part, les courbes de la figure 3.33 montrent que la précision du contrôle permet d'obtenir une erreur relative entre le mode commun de sortie et la référence inférieure à 1,5% sur la plage de contrôle [0,1V; 0,5V]. D'autre part, la figure 3.33 permet également de vérifier le fonctionnement quasiment rail-à-rail du système de contrôle. Ceci est rendu possible non seulement grâce à l'étage de sortie de l'amplificateur mais aussi par le fonctionnement pleine plage d'entrée du capteur $IDGMOS$ du schéma 3.31. La stabilité de la boucle est assurée en partie par la compensation propre à l'amplificateur. Si une instabilité persiste dans la boucle de contrôle, il est possible d'ajouter une compensation active uniquement pour le mode commun. Un exemple consiste à mettre une capacité en parallèle à chaque résistance R_2 du capteur. Dans le cas de l'amplificateur présenté dans ce chapitre, cela n'est pas nécessaire. Les réponses fréquentielles et transitoires relatives à la boucle de contre-réaction de mode commun de sortie sont illustrées sur la figure 3.34 et 3.35. Les tensions d'entrée de l'amplificateur V_{ep} et V_{en} sont fixées à 0,25V. La réponse fréquentielle est tracée pour une tension de référence V_{ref} de 0,25V. La réponse transitoire correspond à un échelon appliqué sur V_{ref} entre 0,15V et 0,35V avec un temps de montée et de descente d'une nanoseconde.

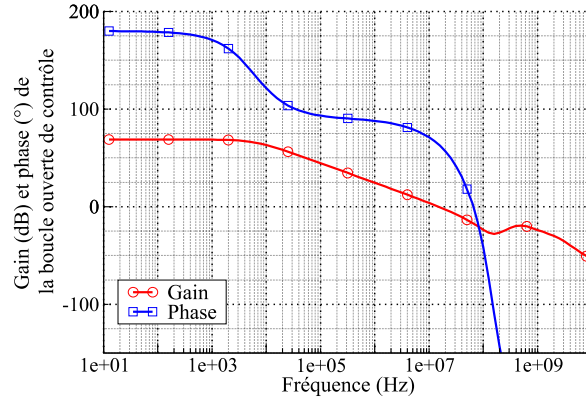


FIG. 3.34 –

Simulation de la réponse fréquentielle de la boucle de contrôle du mode commun de sortie.

La compensation fréquentielle d'un amplificateur consiste en général à rendre son comportement semblable à un système du premier ordre jusqu'à une fréquence située autour de celle au gain unité. L'amplificateur de ce chapitre est ainsi compensé et la réponse fréquentielle de la boucle de contrôle présente donc un comportement similaire. La réponse fréquentielle de la figure 3.34 montre que la contre-réaction dispose d'une marge de phase d'environ 64° pour une fréquence au gain unité de $14,8\text{ MHz}$. Le gain basse fréquence du système est d'environ 69 dB .

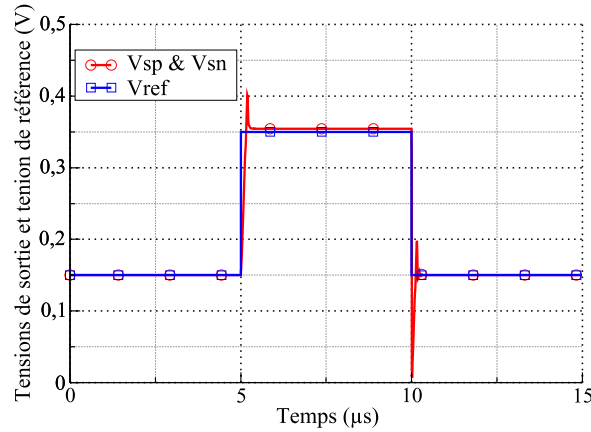


FIG. 3.35 –

Simulation de la réponse transitoire à un créneau de la boucle de contrôle du mode commun de sortie.

Enfin, la réponse transitoire illustrée sur la figure 3.35 permet de visualiser la forme temporelle du mode commun de sortie lorsqu'un échelon de tension est appliqué sur la référence de mode commun de sortie et ainsi de déterminer les différents temps de réponse du système. La simulation de la réponse transitoire du système montre ainsi que la boucle présente un temps d'établissement à 5% de $0,22\mu\text{s}$ en montée et de $0,17\mu\text{s}$ en descente.

3.3.3 Circuit amplificateur complet

Les simulations suivantes présentent les performances de l'ensemble du circuit. Dans un premier temps, il est intéressant de caractériser la fonction d'amplification du circuit. Les tensions de mode commun d'entrée et de sortie sont fixées à $0,25V$. La réponse fréquentielle de l'OTA en mode différentiel d'entrée est présentée à la figure 3.36.

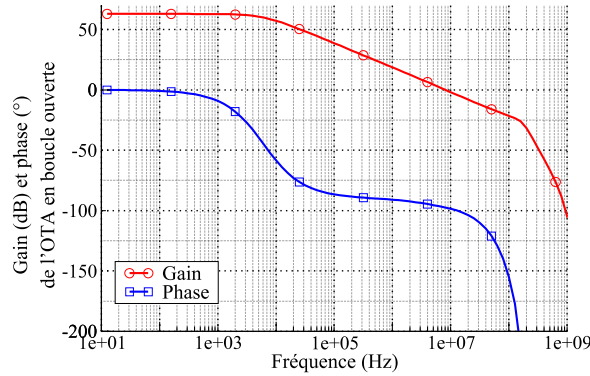


FIG. 3.36 –
Simulation de la réponse fréquentielle de l'OTA en mode différentiel.

Les courbes fréquentielles de la figure 3.36 montrent que l'ensemble d'amplification présente un gain différentiel basse fréquence de $68,9dB$. Ce gain comprend également celui du montage de mesure de mode commun d'entrée qui présente à lui seul une atténuation de $11,3dB$. La compensation fréquentielle du circuit permet d'obtenir une marge de phase globale de $78,5^\circ$ pour une fréquence au gain unité de $15,6MHz$. Les performances concernant le rejet du mode commun d'entrée ont déjà été illustrées sur la figure 3.29. Grâce à la contre-réaction de mode commun de sortie ainsi qu'à la compensation de mode commun d'entrée, le circuit atténue les variations en tension dues au mode commun d'entrée de $35,1dB$ autour d'une tension de mode commun d'entrée de $0,25V$. Néanmoins, la compensation de mode commun diminue pour les fortes valeurs de la tension commune d'entrée. L'atténuation du mode commun a donc tendance à diminuer pour ces valeurs.

La stabilité de l'amplificateur peut être vérifiée en connectant celui-ci en montage suiveur de tension « *fully-differential* » à l'aide de quatre résistances de $50k\Omega$. Les capacités de charge de $20pF$ sont maintenues connectées aux sorties de l'OTA. Dans un premier temps, la simulation statique concernant le suivi de tension est illustrée sur la figure 3.37.

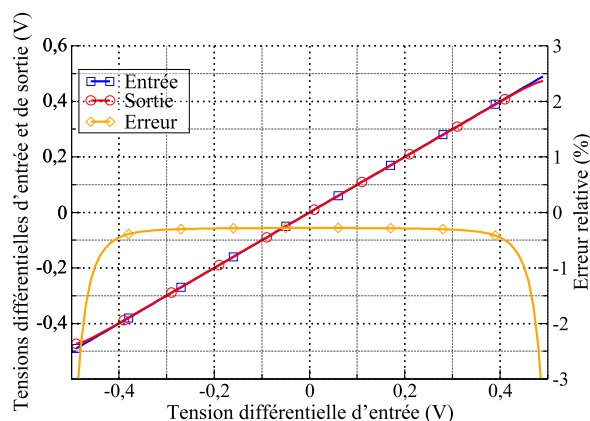


FIG. 3.37 –

Tension différentielle statique en fonction de la tension différentielle d'entrée de l'amplificateur monté en suiveur de tension.

L'amplificateur montre de bonnes performances statiques lorsqu'il est connecté en montage suiveur. En effet, les courbes de la figure 3.37 font apparaître la quasi-pleine plage de fonctionnement du circuit. L'erreur relative sur le signal de sortie reste inférieure à 0,5% sur la plage $\pm 0,4V$. L'erreur augmente en dehors de cette plage principalement à cause de la saturation de l'étage de sortie.

La stabilité du montage suiveur est assurée par la réponse fréquentielle de l'OTA en boucle ouverte présentée sur la figure 3.36. Néanmoins, le comportement de la boucle fermée du montage suiveur peut être analysé à l'aide des courbes présentées aux figures 3.38 et 3.39. Dans un premier temps, la réponse fréquentielle lorsque celui-ci est connecté en suiveur est illustrée sur la figure 3.38.

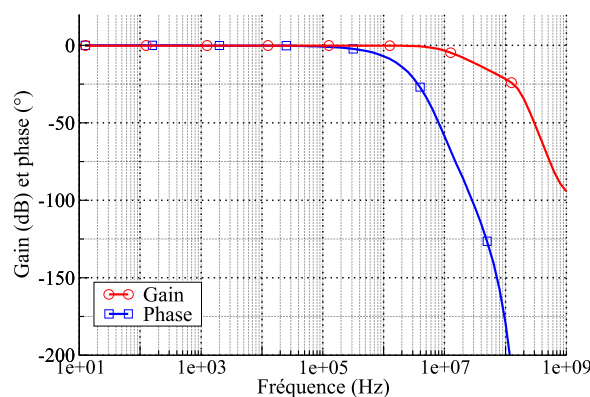


FIG. 3.38 –

Simulation de la réponse fréquentielle du montage suiveur en boucle fermée.

Du point de vue de la stabilité d'un amplificateur rebouclé, le pire cas correspond au montage suiveur, c'est-à-dire lorsque le gain est unitaire. En effet, c'est dans cette configuration que le pôle dominant et les pôles non-dominants sont les plus rapprochés par la contre-réaction. Les

courbes de la figure 3.38 montrent néanmoins que la gain reste bien plat jusqu'à la fréquence de coupure, sans présenter de dépassement. La valeur du gain basse fréquence du suiveur est de $-0,02dB$ et la fréquence de coupure à $-3dB$ se situe autour de $9,5MHz$. La phase est alors égale à -55° , ce qui correspond assez bien à un système du premier ordre.

Dans un second temps, la réponse du système à un échelon de tension différentiel $\pm 0,1V$ avec des temps de montée et de descente d'une nanoseconde est présenté à la figure 3.39.

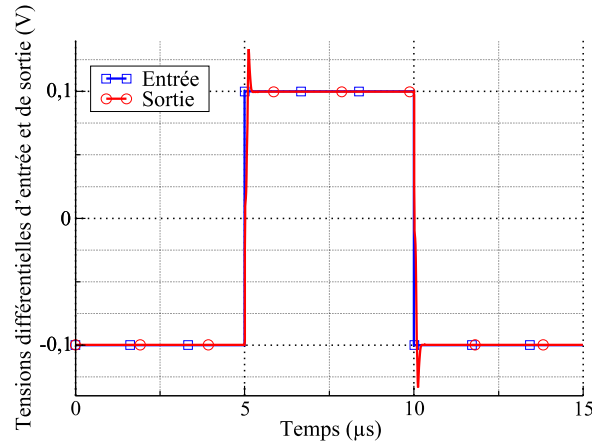


FIG. 3.39 –

Simulation de la réponse transitoire à un échelon du montage suiveur en boucle fermée.

La figure 3.39 montre que la réponse du suiveur est très stable. Les temps de réponse à 5% sont d'environ $160ns$ en montée et en descente. Enfin, les performances du montage sont comparées dans le tableau suivant à celles du circuit « gate input OTA » présenté dans [Cha04].

Paramètre	OTA « Gate-input » [Cha04]	OTA IDGMOS
Tension d'alimentation (V)	0,5	0,5
Puissance (μW)	100	127
Gain DC de boucle ouverte (dB)	$72 * -46$	69
Fréquence au gain unitaire en boucle ouverte (MHz)	15,0	15,6
« slew-rate » ($V/\mu s$) (différentiel)	2,7	2,9
Fréquence au gain unitaire en boucle fermée (MHz)	6,5	9,5
CMRR @ 5kHz (dB)	85	104
Capacité de charge (pF) (« single »)	20	20

*Optimisation du gain activé

TAB. 3.2 –

Comparaison de performances entre l'OTA IDGMOS et celui présenté dans [Cha04]

Ce tableau montre que plusieurs caractéristiques des montages sont similaires, notamment en termes de tension d'alimentation, de gain et de fréquence de fonctionnement. Néanmoins,

l'apport de la structure *IDGMOS* se révèle en considérant le taux de rejet du mode commun (*CMRR*). En effet, la compensation d'entrée ainsi que la contre-réaction de sortie permettent d'améliorer le *CMRR* d'environ 20dB. Au-delà de ce nombre, la capacité de l'*OTA IDGMOS* à maintenir les courants de polarisation stables en fonction du mode commun, et par conséquent la bande passante de l'amplificateur, donne un réel degré de liberté supplémentaire par rapport à la structure présentée dans [Cha04]. L'application *IDGMOS* décrite ici permet donc d'illustrer au moins trois avantages de cette technologie sur un procédé *bulk* standard, à savoir l'adaptation du circuit au fonctionnement sous tension d'alimentation faible, la création de nouvelles structures performantes, et la réalisation compacte de fonctions demandant habituellement une surconsommation en courant ainsi qu'en surface de silicium.

3.4 Réalisations

Ce chapitre présente les circuits ayant été intégrés sur un jeu de masques en vue d'une réalisation sur silicium. Étant donné le caractère innovant de cette technologie *IDGMOS*, certains problèmes sont apparus lors de la fabrication et ce silicium n'a pas pu être réalisé. La description des circuits suivants ne pourra donc pas inclure de résultats de mesures. Néanmoins, une brève explication sur la topologie et l'intérêt de ces circuits est donnée ici. Il est à noter que le but principal n'était pas de caractériser les performances intrinsèques de la technologie mais bien de mettre en valeur l'apport fonctionnel de la seconde grille pour la conception de circuits analogiques.

Au vu de la maturité de la technologie, il aurait été très risqué d'intégrer des circuits comportant un nombre très élevé d'éléments. Les structures choisies représentent donc des briques élémentaires de la conception. Toujours dans la même optique, la longueur des grilles des transistors n'a pas été choisie à sa valeur minimale afin d'éviter tout risque de défaillances dans le composant mais aussi d'assurer un bon appariement, sans que les données statistiques n'aient été disponibles.

3.4.1 Miroir de courant cascode régulé

Ce circuit est fortement inspiré de l'étude présentée dans [Kum04a]. Il est constitué d'un miroir cascode régulé incluant le miroir, le circuit de contre-réaction ainsi que d'un ensemble d'interrupteurs permettant d'ouvrir la boucle. Grâce à la contre-réaction, le potentiel de drain V_f du transistor de sortie *M1b* est fixé par la tension appliquée sur la broche V_d . Le potentiel de drain peut être régulé soit au potentiel de drain du transistor d'entrée du miroir *M1a* accessible par la broche V'_d (amélioration de la symétrie), soit à un potentiel égal au $V_{ds,sat}$ du transistor de sortie du miroir (optimisation de la plage de tension de sortie). L'apport des *IDGMOS* réside dans la réalisation compacte du montage différentiel *M3a*, *M3b* inclus dans le circuit de contre-réaction.

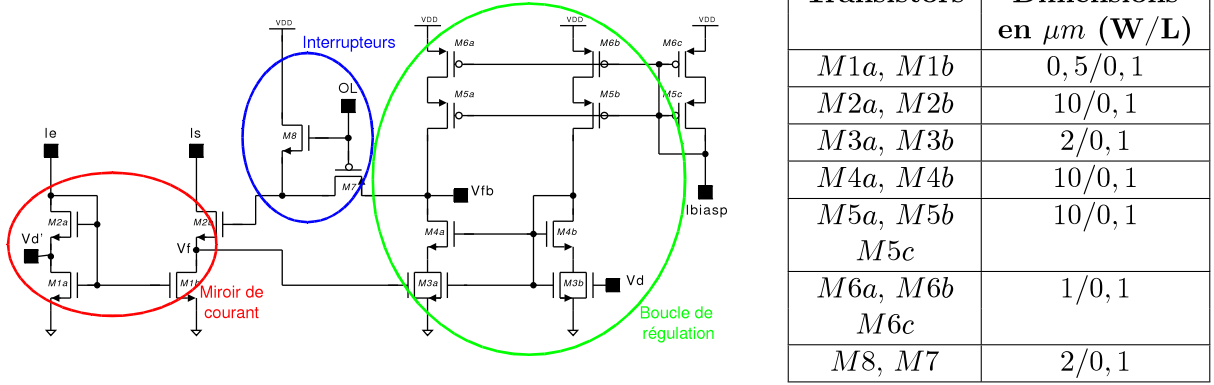


FIG. 3.40 –
Miroir de courant cascode régulé.

Le circuit présente deux configurations : l'une permet de caractériser l'amplificateur de régulation (boucle ouverte), l'autre permet de caractériser le miroir régulé (boucle fermée). Lorsque le potentiel appliqué sur la broche *OL* est à l'état logique 0, la boucle est fermée et le miroir de courant régulé peut être caractérisé. Dans le cas contraire, il est possible de caractériser l'amplificateur de contre-réaction. Ses entrées sont alors V_d et I_s (la grille de $M2b$ étant polarisée à V_{dd} par le transistor $M8$) et la sortie peut être mesurée sur la broche V_{fb} . Quelques résultats de simulation du miroir régulé sont présentés à la figure 3.41 lorsque le potentiel de drain de $M1b$ est régulé à celui du transistor d'entrée $M1a$. Ces résultats ont été obtenus pour $V_{dd} = 1V$ et $I_{biasp} = 10\mu A$.

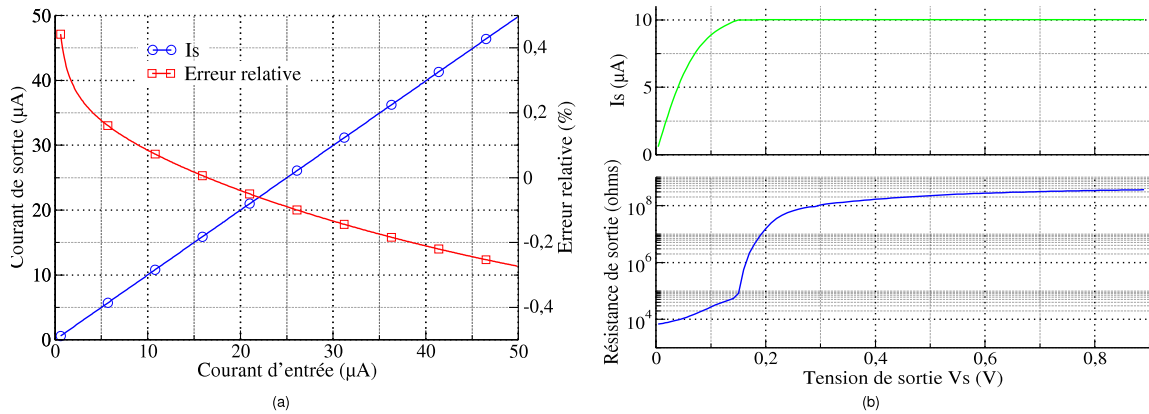
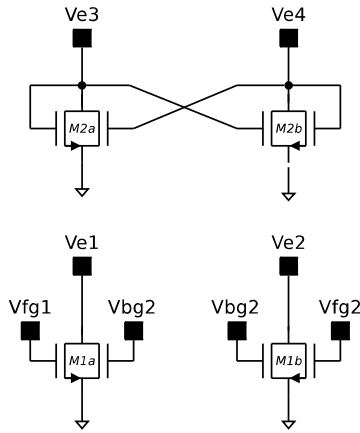


FIG. 3.41 –
Simulation du miroir régulé. (a) Courant de sortie en fonction du courant d'entrée à $V_s = 1V$
(b) Courant de sortie en fonction de la tension de sortie pour $I_e = 10\mu A$

La figure 3.41.a montre que la recopie de courant est d'excellente qualité lorsque la symétrie du miroir est forcée par la régulation. En effet, l'erreur relative reste inférieure à $\pm 0,5\%$ sur une gamme allant de $0\mu A$ à $50\mu A$. Néanmoins, l'optimisation de la symétrie se fait au détriment de la plage de tension de sortie. Celle-ci, présentée à la figure 3.41.b, montre que le miroir de courant n'est opérationnel que pour une tension de sortie supérieure à environ $150mV$.

3.4.2 Paire croisée



Transistors	Dimensions en μm (W/L)
$M1a, M1b$	5/0,2
$M2a, M2b$	5/0,2

FIG. 3.42 –
Ensemble de caractérisation d'un montage en paire croisée.

Les paires croisées sont de plus en plus utilisées comme charges à impédance négative pour les étages amplificateurs. Leur impédance étant négative, elles permettent en effet d'augmenter le gain de ces étages par compensation d'impédance. Le circuit de la figure 3.42 est constitué d'une paire croisée ainsi que d'un circuit « réplique » servant à caractériser les transistors avant connexion. Les quatre transistors ont été intégrés de façon à optimiser leur appariement. Néanmoins, le manque de données d'appariement n'a pas permis de simuler ce circuit au préalable. Le but est uniquement de mesurer les performances de ce type de montage réalisé de façon compacte grâce à la technologie IDGMOS et de vérifier s'il présente naturellement une impédance négative.

3.4.3 Capteur de mode commun

Ce circuit est inspiré du montage suiveur de tension présenté dans le chapitre 3.2.2.1. Son but est d'extraire une image de la valeur moyenne entre les deux tensions V_{e1} et V_{e2} . La technologie IDGMOS est utilisée dans ce circuit en mettant deux IDGMOS en parallèle et en connectant leur grille arrière au rail d'alimentation V_{dd} . De ce fait, le gain de chaque transistor d'entrée n'est plus unitaire et la plage fonctionnelle d'entrée devient plus grande. Le couplage entre grilles est ainsi mis à profit afin de linéariser la tension de sortie obtenue.

3.4.4 Structure différentielle avec accessibilité à toutes les grilles

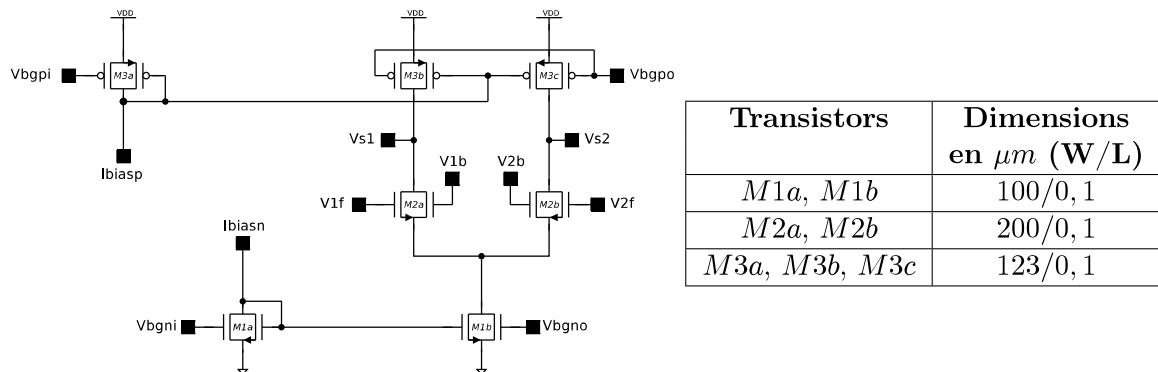


FIG. 3.45 –
Structure différentielle avec accessibilité à toutes les grilles.

Ce circuit est constitué d'un étage amplificateur différentiel conventionnel dans lequel tous les accès de grille sont indépendants les uns des autres et accessibles de l'extérieur. Cette structure permet donc d'une part, de monter le circuit sous différentes configurations et, d'autre part, de caractériser l'impact des différents accès sur le fonctionnement de la configuration choisie. Ce montage a été dimensionné afin de fonctionner sous une tension d'alimentation de 1V pour un courant de polarisation I_{biasn} de $700\mu A$.

Entre autres, les configurations possibles sont :

- un amplificateur différentiel standard
- un amplificateur différentiel standard « *fully-differential* » objet d'une contre-réaction qui peut être externe ou interne (cf. §3.3)
- un amplificateur différentiel à dynamique d'entrée élevée (cf. §3.2.2.2)
- un miroir de courant différentiel *NMOS* (cf. §3.2.3)

3.4.5 Comparaison des structures différentielles

Ce circuit est constitué de quatre structures d'amplificateur différentiel en entrée et en sortie, d'un capteur de mode commun d'entrée, d'une boucle de contre-réaction de mode commun de sortie ainsi que de la logique de commande des différentes configurations. Ce circuit est destiné à comparer les performances des amplificateurs entre eux en utilisant la même boucle de contre-réaction intégrée. De plus, les *IDGMOS* sont mis à profit grâce à la réalisation compacte de la boucle de contre-réaction (cf. §3.3). Néanmoins, le circuit complet a été conçu de façon à ce que la contre-réaction puisse être réalisée de manière conventionnelle, en utilisant un amplificateur opérationnel et un capteur de mode commun externes. Les sorties des amplificateurs sont chargées par des capacités intégrées de $1pF$.

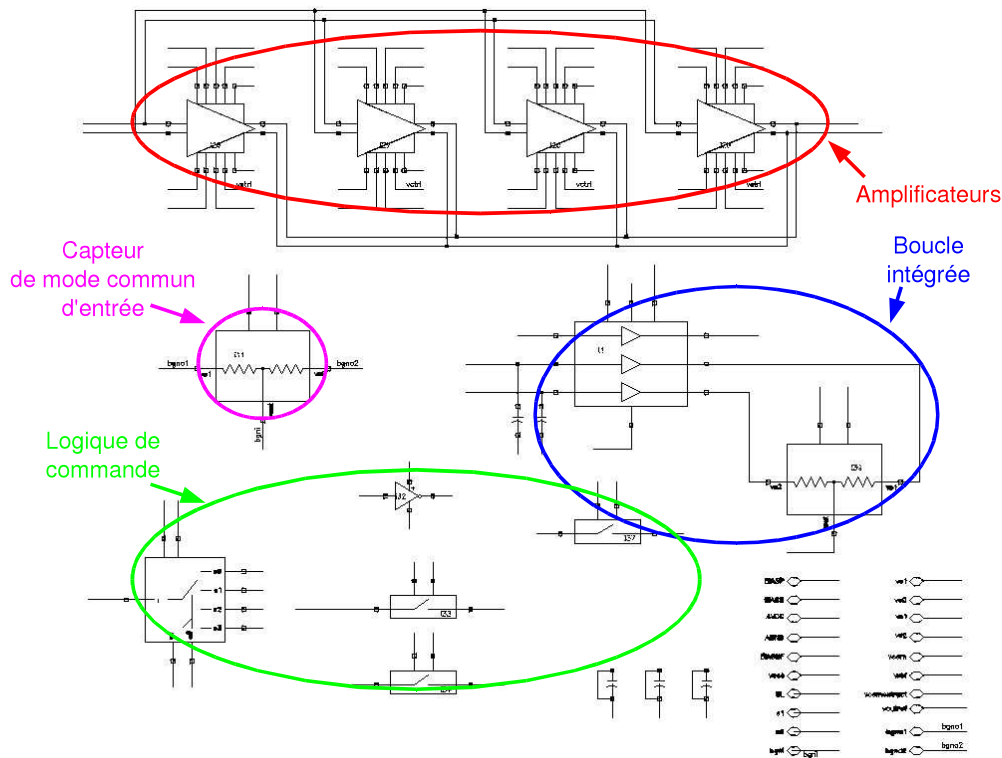


FIG. 3.46 –
Comparaison des quatre montages amplificateurs « *fully-differential* ».

La logique de commande des configurations se compose d'interrupteurs *MOS* ainsi que d'un décodeur 2 vers 4 standard. Son but est de sélectionner l'amplificateur à caractériser d'une part, et de choisir entre une contre-réaction intégrée ou externe d'autre part.

Les résistances n'existent pas dans la bibliothèque actuelle de la technologie et il est nécessaire d'utiliser des transistors *MOS* dans leur zone ohmique afin de réaliser la mesure du mode commun de sortie des amplificateurs. Ces résistances *MOS* ne permettant pas d'obtenir des résistances de forte valeur, un suiveur de tension est intercalé entre les sorties des amplificateurs et le capteur de mode commun à résistance *MOS*. Celui-ci a donc pour fonction première de maintenir une impédance élevée vue par la sortie des amplificateurs. Son schéma électrique est illustré sur la figure 3.47.

Ce circuit est inspiré du montage suiveur de tension présenté dans le chapitre 3.2.2.1. Celui présenté ici a cependant été dimensionné en considérant la plage d'excursion élevée des signaux appliqués sur ses entrées. De plus, il comporte une troisième branche servant à décaler la tension de référence V_{ref} de la contre-réaction de mode commun de la même façon que les deux premières branches décalent les tensions à mesurer.

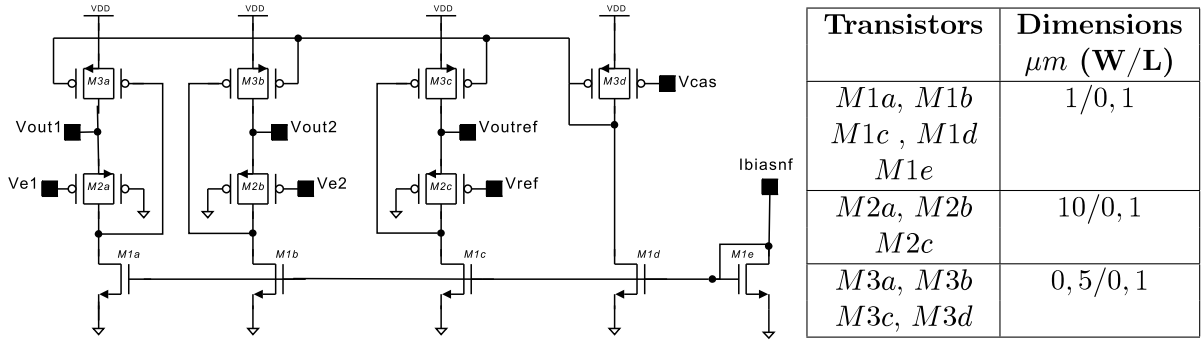


FIG. 3.47 –

Suiveur de tension de la boucle de contre-réaction de mode commun de sortie.

Les résultats de simulation de ce circuit en modes commun et différentiel sont présentés à la figure 3.48.

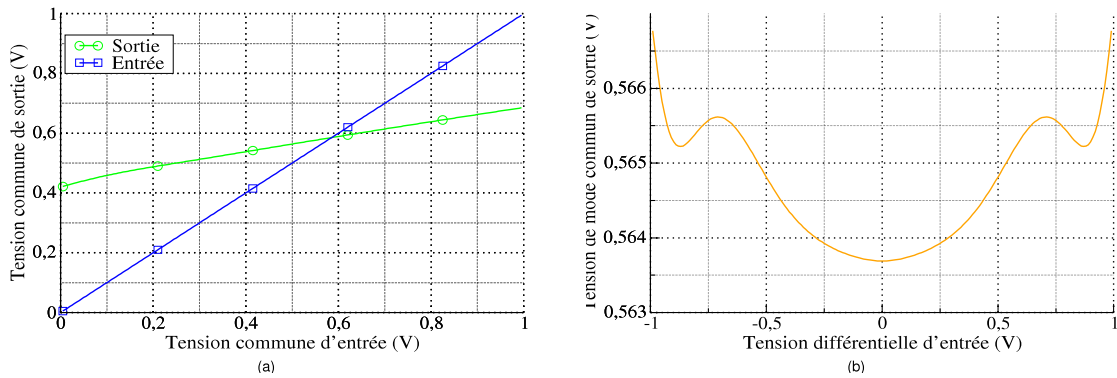


FIG. 3.48 –

Simulation du suiveur de tension pour $V_{dd} = 1V$ et $I_{biasnf} = 50\mu A$. (a) Entrées en mode commun (b) Entrées en mode différentiel

Ici encore, les courbes de la figure 3.48.a montrent que le suiveur de tension IDGMOS permet d'obtenir une plage fonctionnelle d'entrée étendue jusqu'aux rails d'alimentation. La caractéristique en mode différentiel présentée à la figure 3.48.b montre quant à elle que le suiveur est relativement insensible au mode différentiel d'entrée.

Les amplificateurs pouvant être caractérisés dans ce circuit sont :

- un amplificateur différentiel à charge cascode (fig. 3.49)
- un amplificateur différentiel à charge cascode et entrée repliée (fig. 3.50)
- un amplificateur différentiel à étage d'entrée de type miroir de courant différentiel (fig. 3.51)
- un amplificateur différentiel à charge cascode et dont l'entrée est de type miroir de courant différentiel (fig. 3.52)

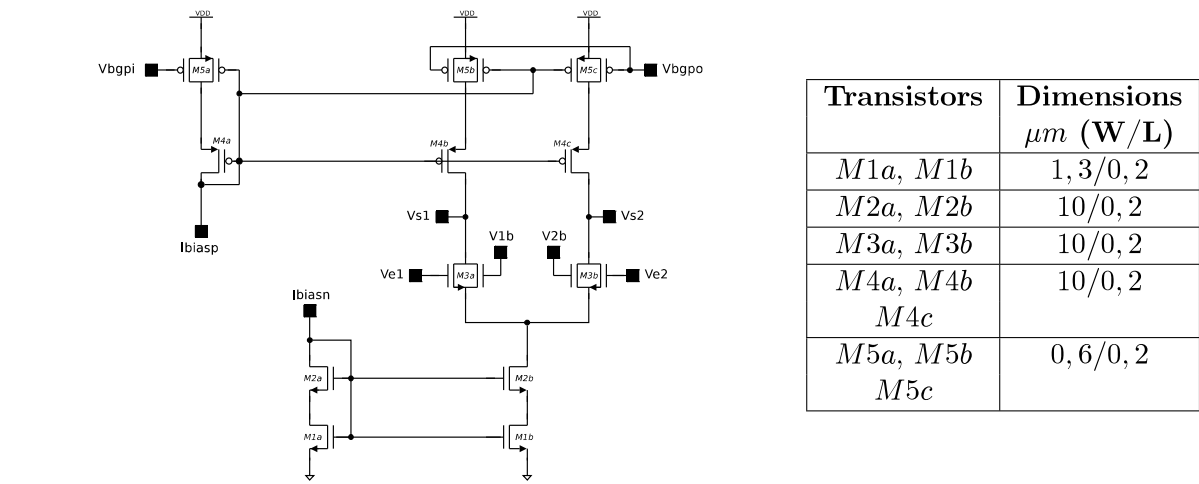


FIG. 3.49 –
Amplificateur « *fully-differential* » 1.

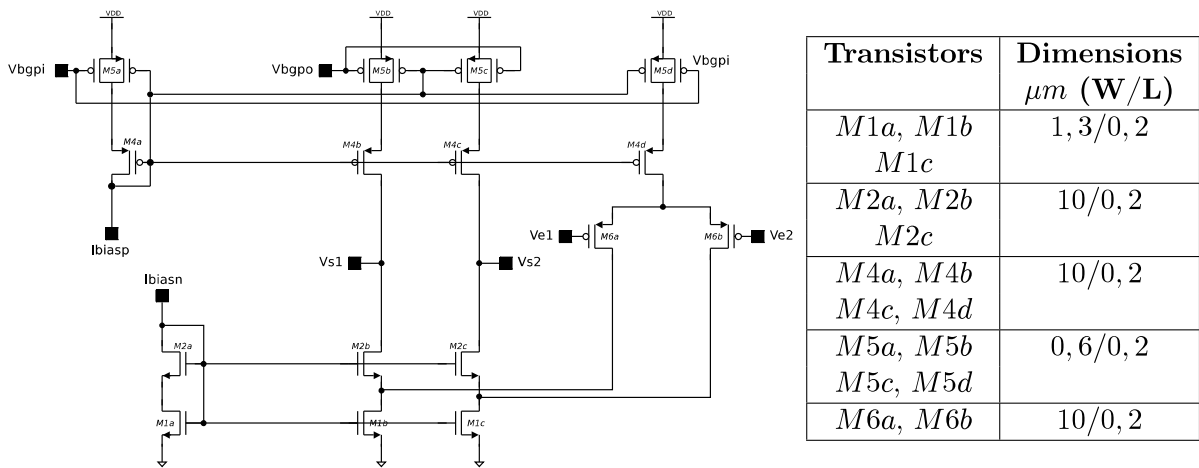


FIG. 3.50 –
Amplificateur « *fully-differential* » 2.

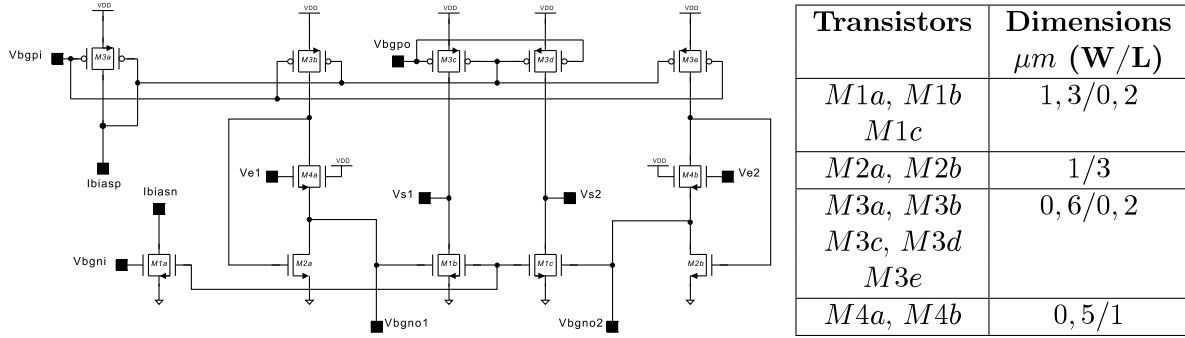


FIG. 3.51 –
Amplificateur « *fully-differential* » 3.

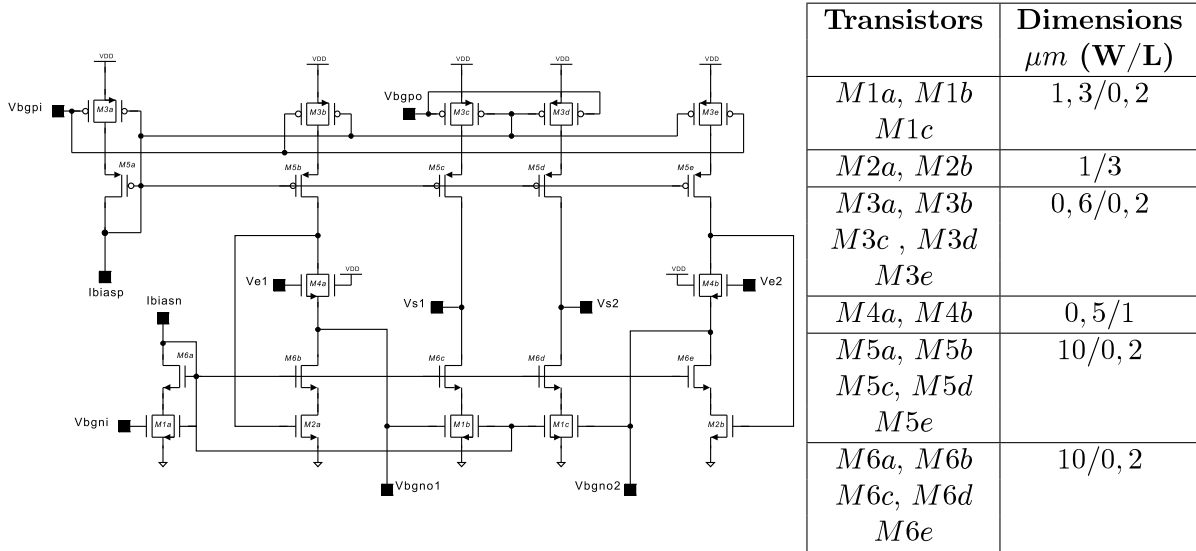


FIG. 3.52 –
Amplificateur « *fully-differential* » 4.

Les amplificateurs des figures 3.49 et 3.50 sont des structures standard. Les amplificateurs 3.51 et 3.52 fonctionnent sous basse tension d'alimentation grâce à la suppression de la polarisation de pied. Ces deux derniers circuits souffrent donc d'une forte dépendance au mode commun d'entrée et il devient nécessaire de compenser ces variations. Une compensation de mode commun d'entrée est donc réalisée au niveau des grilles arrière des transistors de la paire différentielle d'entrée de ces amplificateurs. Des étages atténuateurs *IDGMOS* sont intercalés à l'entrée des amplificateurs 3.51 et 3.52 afin de diminuer l'impact du mode commun d'entrée sur le fonctionnement de la paire différentielle. Le gain différentiel est également diminué mais celui-ci peut être augmenté par la suite à l'aide d'un autre étage amplificateur.

La contre-réaction de mode commun de sortie est quant à elle nécessaire pour tous les circuits des figures 3.49 à 3.52. Celle-ci est effectuée sur la polarisation « de tête » des étages amplificateurs. Les grilles avant et arrière des transistors de polarisation *PMOS* peuvent être déconnectées

afin de réaliser une contre-réaction de type compacte (cf. §3.3).

Les résultats de simulation de ces circuits en modes commun et différentiel sont présentés à la figure 3.53.

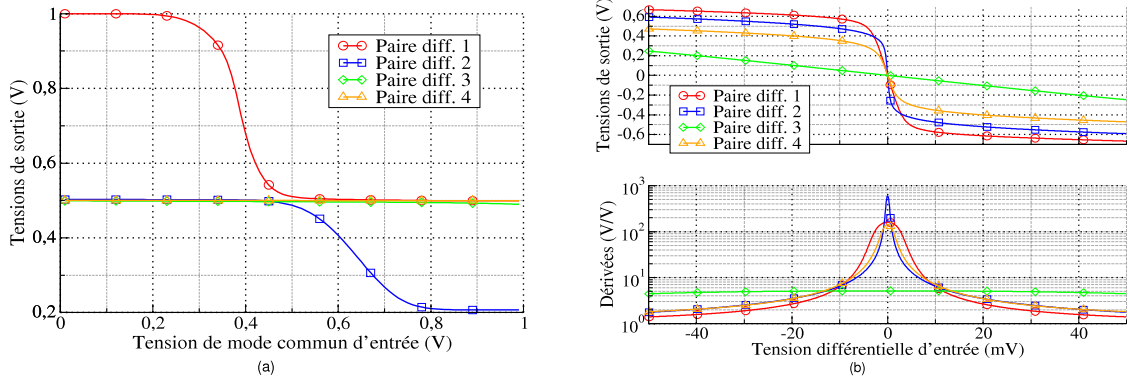


FIG. 3.53 –

Simulation des amplificateurs avec $V_{dd} = 1V$ et $I_{biasn} = 20\mu A$ et une tension de référence V_{ref} fixée à 0,5V. (a) Entrées en mode différentiel (b) Entrées en mode commun

Les courbes illustrées sur la figure 3.53.a montrent que seuls les amplificateurs 3 et 4 offrent un fonctionnement pleine plage de variation en ce qui concerne le mode commun d'entrée. En effet, leurs tensions de sortie restent fixées à la tension de référence 0,5V. Les amplificateurs 1 et 2 ne fonctionnent que sur une partie de la plage en fonction du type, *NMOS* ou *PMOS*, de leur étage d'entrée. Comme cela a été dit précédemment, l'adaptation du circuit au fonctionnement sous faible tension d'alimentation se fait au détriment du gain des amplificateurs. Ainsi, les courbes de la figure 3.53.b montrent que les amplificateurs 1 et 2 disposent de gains différentiels plus élevés que ceux des amplificateurs 3 et 4.

La figure 3.54 montre le layout de l'ensemble de comparaison des quatre montages amplificateurs « *fully-differential* ».

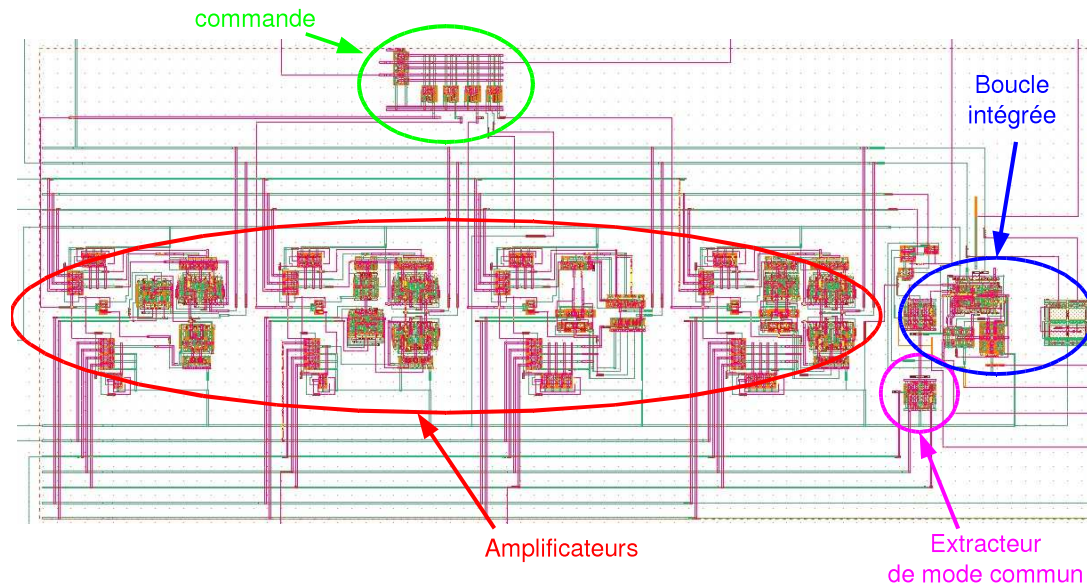


FIG. 3.54 –

Layout de l'ensemble de comparaison des quatre montages amplificateurs « *fully-differential* ».

3.4.6 Sigma-Delta d'ordre 1

Ce circuit est constitué d'un convertisseur Sigma-Delta différentiel du premier ordre à capacités commutées. Bien qu'aucune mesure de bruit ne soit disponible dans le kit de conception, l'intérêt de ce circuit réside dans le fait qu'il est constitué de peu de parties actives. Au vu de la maturité relativement faible de la technologie et compte tenu du risque de défaillances, il est donc intéressant de disposer d'un circuit élémentaire et réalisant néanmoins une fonction complète. Il est à noter que ce circuit permet de caractériser la technologie et non de mettre en avant les apports de la déconnexion des grilles des transistors. Tous les transistors de ce circuit sont donc des transistors à grilles interconnectées.

Les caractéristiques typiques du convertisseur sont :

- tension d'alimentation : $1V$ à $1,2V$
- dynamique d'entrée : $0,5V_{pp}$
- fréquence d'échantillonnage : $3MHz$ à $4MHz$

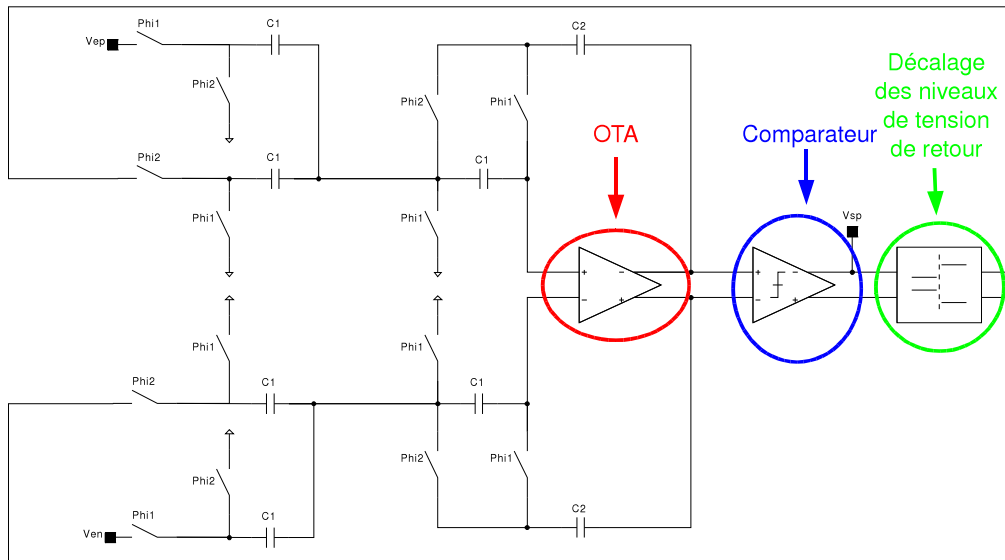


FIG. 3.55 –
Schéma de la chaîne de conversion du Sigma-Delta d'ordre 1.

Les éléments du circuit complet sont :

- un *OTA*
- un comparateur
- un circuit d'adaptation de la tension de retour à la dynamique du signal d'entrée
- un générateur d'horloges à non-recouvrement de phase (non représenté)
- un générateur de masse flottante (non représenté)
- un circuit de polarisation de l'*OTA* et du comparateur (non représenté)
- un circuit d'extraction du mode commun de sortie de l'*OTA* à capacités commutées (non représenté).

L'*OTA* est un amplificateur différentiel de type « cascode replié » différentiel en entrée et en sortie. Ce type d'amplificateur permet d'obtenir un gain en tension relativement important avec un minimum d'étages. Le schéma de l'*OTA* 3.56 montre que celui-ci n'est constitué que d'un seul étage d'amplification ainsi que de transistors montés en diode permettant d'une part, de générer la tension de grille des transistors cascode et, d'autre part, de fournir la tension de référence au capteur de mode commun comme valeur à fixer sur les sorties V_{s1} et V_{s2} de l'*OTA*.

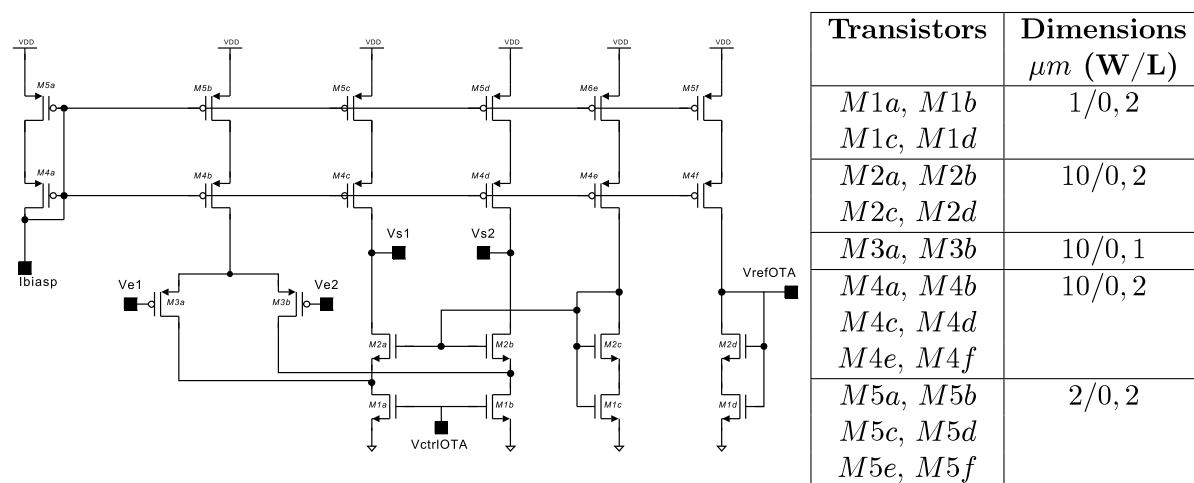


FIG. 3.56 –
Schéma de l'OTA utilisé dans le convertisseur Sigma-Delta.

Le capteur de mode commun de l'OTA étant intégré au sein d'un système commuté, il utilise lui-même un principe basé sur les capacités commutées. Son schéma est représenté sur la figure 3.57.

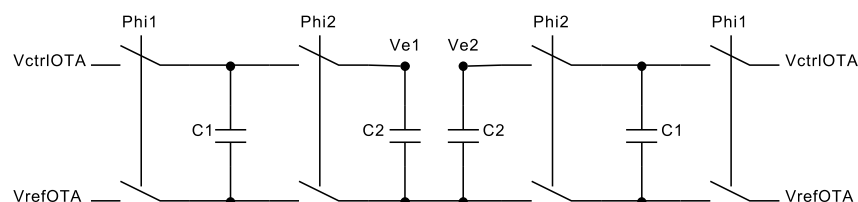


FIG. 3.57 –
Schéma électrique du capteur de mode commun de l'OTA « *fully-differential* ».

Sur le schéma de la figure 3.57, les entrées V_{e1} et V_{e2} du capteur sont connectées aux sorties V_{s1} et V_{s2} de l'OTA. La tension V_{refOTA} correspond à la tension à laquelle le mode commun de sortie de l'OTA doit être régulé, la tension $V_{ctrlOTA}$ représente la tension de grille de la polarisation de pied.

Le comparateur est de type échantillonné et il est cadencé par un signal d'horloge. Dans un premier temps, l'étage d'entrée du comparateur prend en compte la valeur des tensions appliquées sur ses entrées. Le basculement de la tension de sortie est effectué dans un second temps lorsqu'un front apparaît sur le signal d'horloge. L'information est alors transmise et mémorisée par les portes logiques de sortie.

Le circuit d'adaptation du niveau de la tension de retour par rapport au niveau du signal d'entrée est simplement constitué d'interrupteurs.

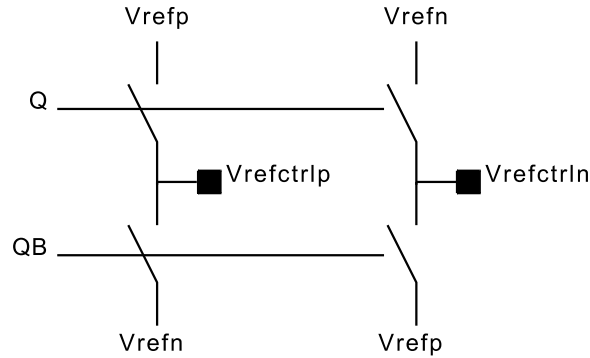


FIG. 3.58 –

Schéma du circuit d'adaptation des niveaux de sortie aux tensions d'entrée du convertisseur.

En fonction des niveaux logiques en sortie du comparateur, ce circuit transforme ces informations logiques en tensions analogiques adaptées à la dynamique d'entrée du convertisseur. Les potentiels $V_{ref,p}$ et $V_{ref,n}$ sont fixés de l'extérieur du convertisseur par l'utilisateur.

En plus des éléments représentés sur la figure 3.55, le circuit global comprend les parties permettant aux circuits décrits précédemment de fonctionner. Ainsi, le générateur d'horloges à non-recouvrement de phase crée deux signaux rectangulaires non recouvrant à partir d'un signal d'horloge externe. Il se compose essentiellement de portes logiques dont les temps de passage permettent de créer un délai entre le passage au niveau logique «0» d'une horloge et le passage à «1» de l'autre horloge. Les deux signaux ainsi générés sont utilisés pour commander les interrupteurs du convertisseur et assurer une bonne isolation entre les phases de fonctionnement du circuit. Le générateur de masse flottante se compose quant à lui de deux transistors identiques placés entre les rails d'alimentation. Son rôle est de fournir une tension moyenne entre les deux rails d'alimentation. Le circuit de polarisation en courant est constitué de miroirs de courant de type cascode, recopiant simplement un courant de référence injecté depuis l'extérieur du circuit et l'adaptant à la polarisation de $10\mu A$ nécessaire à chaque étage de l'OTA et du comparateur.

3.4.7 Sigma-Delta d'ordre 2

Ce circuit est constitué d'un convertisseur Sigma-Delta différentiel du second ordre à capacités commutées. Les caractéristiques typiques du convertisseur sont identiques à celles du convertisseur du premier ordre décrit précédemment. Néanmoins, le convertisseur d'ordre deux est intrinsèquement plus performant en termes de bruit que celui d'ordre un, si bien que la caractérisation de la technologie est plus facile sur ce circuit. La contrepartie est qu'il demande un second OTA et le convertisseur présente donc davantage de risques de défaillance. Hormis cela, les éléments du circuits sont similaires pour les deux convertisseurs. Le schéma global de la chaîne de conversion est représenté sur la figure 3.59

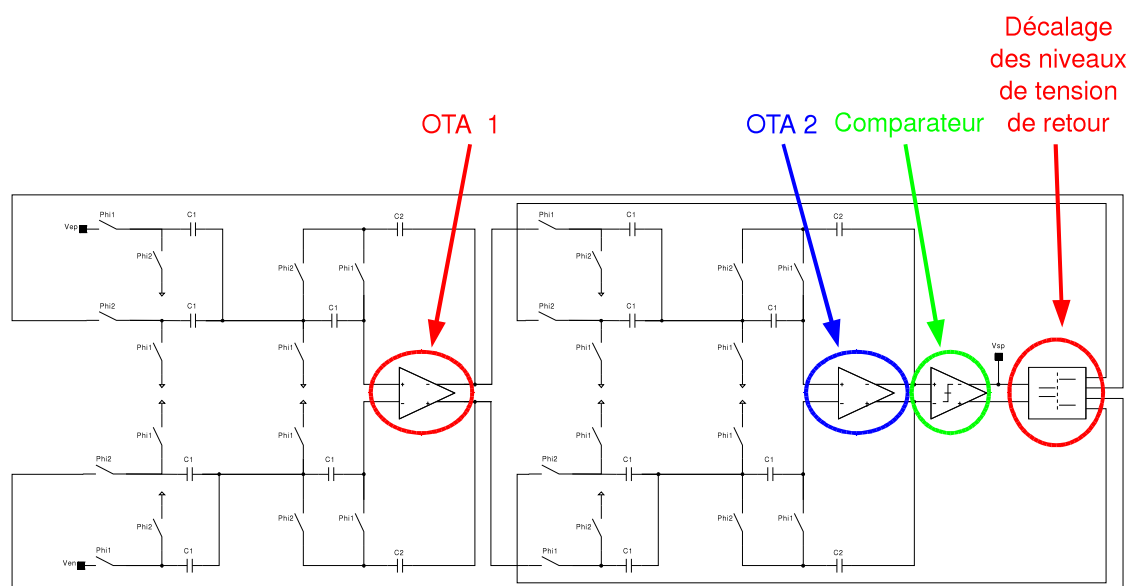


FIG. 3.59 –
Schéma de la chaîne de conversion du Sigma-Delta d'ordre 2.

Seuls les circuits de polarisation et d'adaptation des tensions de retour sont différents de ceux du Sigma-Delta du premier ordre. Le circuit de polarisation dispose de sorties supplémentaires afin de polariser le second *OTA*. De la même façon, le circuit d'adaptation des tensions de sortie du comparateur comprend les quatre sorties destinées au retour sur les deux entrées de chaque étage du convertisseur.

3.5 Conclusion

Dans les chapitres précédents, le comportement du transistor *IDGMOS* a été analysé afin de révéler les caractéristiques intrinsèques du composant pouvant représenter des apports potentiels pour les circuits au sein desquels l'*IDGMOS* sera intégré. Chacun de ses apports potentiels est repris dans ce chapitre mais, cette fois, en replaçant le transistor dans un environnement plus réaliste, à savoir un circuit analogique simulé sous des conditions proches de celles que rencontrera probablement l'*IDGMOS* dans le futur, notamment en ce qui concerne la valeur de la tension d'alimentation. Les circuits analogiques les plus complexes peuvent généralement se décomposer en éléments simples. Ceux-ci sont, par exemple, le miroir de courant, la paire différentielle, le suiveur de tension, etc...

Utilisé dans le miroir de courant, le transistor *IDGMOS* offre la possibilité d'ajuster sa tension de seuil afin de s'adapter au fonctionnement sous faible tension d'alimentation. Contrairement à une technologie *MOS* standard, cet ajustement se fait électroniquement, en fixant un potentiel convenablement choisi sur l'une des deux grilles des transistors formant le miroir de courant. À l'avenir, les technologies ne proposeront peut être plus une multitude de transistors ayant des

tensions de seuil fixées mais peut être bien un unique transistor adaptable. Cependant, le principe du contrôle de la tension de seuil au sein du miroir de courant présente une limite fonctionnelle liée au besoin du miroir d'être symétrique afin de fournir une recopie correcte du courant. Si la symétrie n'est pas maintenue de l'extérieur, la tension de seuil ne peut être diminuée indéfiniment et, selon les dimensions des transistors du miroir et la valeur du courant à recopier, cette limite peut être atteinte avant même que soit atteinte la valeur minimale intrinsèque de la tension de seuil de l'*IDGMOS*.

La symétrie du miroir est importante pour le bon fonctionnement de la structure mais encore faut-il que la recopie de courant se doive d'être unitaire. En effet, dans le cas où le «miroir» est employé afin d'amplifier le courant, la dissymétrie est recherchée. Dans cette optique, le miroir de courant *IDGMOS* peut également être intéressant en regard à l'utilisation des accès supplémentaires de ses transistors. En déséquilibrant les potentiels appliqués sur les grilles arrière des transistors d'entrée et de sortie, il est en effet possible de modifier le gain en courant du miroir. En utilisant les accès supplémentaires des transistors et la façon dont les deux faces influent l'une sur l'autre, il devient alors possible de créer des points de réglage des caractéristiques des circuits et de rendre ces derniers paramétrables.

Un autre intérêt majeur de l'*IDGMOS* avait été révélé dans les chapitres précédents. Celui-ci concerne sa plage de contrôle du courant de drain par les grilles. Cette plage s'étendant de la masse à la tension d'alimentation, il devient possible de contrôler efficacement le courant de drain quand bien même la polarisation du transistor ne le permettrait pas en ce qui concerne un transistor standard. L'étendue de la plage de contrôle peut être transposée dans une certaine mesure aux circuits réalisés à base de transistors *IDGMOS*. Il en va ainsi de la paire différentielle standard et du suiveur de tension mais aussi d'une nouvelle structure appelée dans ce manuscrit le miroir de courant différentiel. Ce miroir de courant, plutôt atypique en regard à son utilisation, consiste simplement en un miroir basic dans lequel les accès supplémentaires des transistors du miroir sont utilisés en mode différentiel. Il est montré dans ce chapitre que le courant de sortie d'un tel circuit présente bel et bien un fonctionnement différentiel en ce qui concerne les tensions appliquées sur les accès supplémentaires. Ce chapitre va plus loin en montrant également que ce circuit dispose non seulement d'une compensation intrinsèque de mode commun mais également d'un fonctionnement très adapté à la faible tension d'alimentation. Ce nouveau circuit est simulé et comparé à ses homologues *bulk* sous une tension d'alimentation de 0,5V. Il ressort de cette étude que le miroir de courant différentiel est un excellent candidat pour le remplacement des paires différentielles standard, celles-ci présentant quelques difficultés à fonctionner sous une tension d'alimentation trop faible.

Un dernier aspect réside dans la possibilité de réaliser des fonctions analogiques de manière plus compacte. Cet aspect n'est en fait qu'une extension fonctionnelle des apports de l'*IDGMOS* cités précédemment, notamment l'étendue de plage de contrôle du courant et l'existence du couplage dès lors qu'une des faces du transistor est polarisée en inversion faible. Cependant, cet aspect a été intégré avec les autres apports du transistor double grille au sein d'un amplificateur « *fully-differential* » complet. Cet amplificateur se compose de deux étages, d'une paire différentielle d'entrée formée du miroir de courant différentiel, et d'une boucle de contre-réaction compacte de mode commun de sortie. Les performances de l'amplificateur *IDGMOS* sont comparées à celles d'une architecture similaire réalisée sur le principe de l'utilisation des accès substrat de transistors

MOS standard, toutes deux fonctionnant sous une tension d'alimentation de $0,5V$. Alors que les performances majeures des deux amplificateurs sont similaires, la structure *IDGMOS* offre de plus un contrôle réel du mode commun de sortie ainsi qu'un degré de liberté supplémentaire quant au choix du mode commun d'entrée. Il est entendu que les performances comparées ici sont issues de la simulation des deux circuits.

L'étape suivante consiste à intégrer sur silicium certains de ces circuits réalisés à base de transistors *IDGMOS*. A cette fin, des structures ont été réalisées mais elles n'ont pu être mesurées suite à la détérioration du jeu de wafer sur lesquels elles ont été intégrées. Les circuits prévus en vue de leur réalisation physique sur silicium sont présentées en fin de chapitre. Le but de ces circuits était de permettre la caractérisation des apports tels qu'il apparaissent dans les circuits cités tout au long de ce chapitre.

Conclusion Générale

Ce travail de thèse traite du fonctionnement et de l'application du transistor *MOS* double grille à grilles indépendantes au sein de circuits analogiques opérant à basses fréquences. La mise en production de ce composant est prévue pour le noeud technologique *22nm*, ce qui correspond à une utilisation industrielle d'ici 2016. Parmi toutes les technologies émergentes, celle-ci présente l'avantage important de ne pas trop s'éloigner de la technologie *bulk*, bien maîtrisée et connue de l'industrie du semiconducteur, tout en apportant les améliorations physiques permettant de prolonger la réduction géométrique des transistors. De plus, la technologie *DGMOS* à grilles planaires dispose naturellement de deux grilles physiquement séparées. Par conséquent, un second avantage inhérent à cette technologie est qu'elle rend possible le contrôle électrique du courant de drain par deux accès, offrant ainsi un degré de liberté supplémentaire par rapport à une technologie standard.

L'étude décrite dans ce manuscrit a débuté par la présentation du transistor *IDGMOS*, des raisons de son développement et de son fonctionnement général. Un accent particulier a été mis ensuite sur les différences fonctionnelles statiques qui apparaissent entre ce type de composants et ceux réalisés à base d'une technologie standard. Ainsi, le couplage intercanal, existant seulement dans ce type de structures, a été illustré par les variations paramétriques des caractéristiques d'entrée et de sortie du composant. Dans un second temps, le modèle du transistor à grilles indépendantes élaboré par Marina Reyboz a été présenté puis simplifié dans le but d'en extraire des équations simples décrivant le fonctionnement non plus statique mais dynamique « *petits signaux* » de l'*IDGMOS*. Le transistor étant physiquement symétrique, disposant de deux accès de grille et son courant de drain global étant la somme des deux courants d'interface, la transconductance d'un transistor *IDGMOS* se présente sous la forme de trois matrices, chacune correspondant à une combinaison possible des états d'inversion des interfaces.

Le fonctionnement du transistor ayant été explicité, il était également nécessaire de comprendre les impacts qu'auront l'environnement futur et la réduction géométrique du transistor sur ses performances. Bien que la maturité de la technologie *DGMOS* soit très faible, le second chapitre a présenté un premier état de l'art permettant de prédire certains de ces impacts de façon assez sûre. Ainsi, le verrou majeur pour la conception de circuits analogiques apparaît être la réduction de la tension d'alimentation. Ce verrou est d'autant plus important qu'il devient nécessaire de diminuer la tension d'alimentation afin de réduire la puissance consommée par les circuits mais également pour tenir compte des limitations physique des transistors. La tension

d'alimentation diminuant, la polarisation des dispositifs actifs dans les circuits futurs sera alors l'un des problèmes les plus importants rencontrés lors de la conception. Suite à ce constat, un second état de l'art a été présenté dans le but de répertorier les solutions existantes pour adapter les circuits au fonctionnement sous tension d'alimentation faible. Néanmoins, les différentes techniques élaborées à cette fin concernent principalement la conception employant des transistors *bulk*. En effet, très peu de centres de recherche disposent d'un accès à une technologie avancée. Certaines solutions existent pourtant, notamment lorsque l'accès substrat des transistors *bulk* est utilisé pour contrôler la tension de seuil des transistors. Cette configuration du dispositif se rapproche du transistor *IDGMOS* mais elle demeure bien plus difficile à mettre en oeuvre et les solutions ne restent que partielles. Puisque les premières études ont conservé l'emploi d'une technologie standard, une deuxième partie de ce chapitre tente de comparer les performances d'une technologie *IDGMOS* à celles d'une technologie *bulk* avancée actuelle. Bien que purement qualitative, cette étude n'a pas permis de conclure réellement tant certains aspects physiques diffèrent en ce qui concerne les matériaux employés et les structures des composants. Cependant, la dernière partie de ce chapitre a pu donner quelques éléments de réponse à propos de l'apport des structures *IDGMOS* à la conception analogique en s'appuyant sur l'étude fonctionnelle présentée lors du premier chapitre. En plus du simple contrôle de la tension de seuil d'une interface par la grille de la face opposée, il apparaît également que le couplage intercanal du transistor permet de maintenir un fonctionnement « *petits signaux* » effectif lors de l'accès aux deux grilles, notamment dans le cas où seule l'une des interfaces est en régime d'inversion forte. Dans cette configuration, la transconductance du transistor par rapport à l'accès faiblement polarisé reste importante et les paramètres « *petits signaux* » dépendent principalement de l'interface en inversion forte. La plage de contrôle du courant de drain par les accès des deux grilles se trouve donc étendue d'un rail d'alimentation à l'autre. Ce fonctionnement pleine plage et cette capacité du transistor *IDGMOS* à séparer sa polarisation d'une part, la stabilité des paramètres et le maintien du contrôle du courant d'autre part, représentent potentiellement des solutions à la réduction de la tension d'alimentation.

L'application des principes présentés dans le deuxième chapitre a été l'objet de la dernière partie de ce manuscrit. Celle-ci reprend donc chaque particularité fonctionnelle du transistor *IDGMOS* en utilisant celui-ci au sein de structures plus ou moins complexes. Du miroir de courant à la paire différentielle en passant par le suiveur de tension, plusieurs blocs élémentaires de la conception analogique sont revus en mettant en avant les apports et les limitations fonctionnels du transistor *IDGMOS*.

Le troisième chapitre a montré que le contrôle statique de la tension de seuil se révèle être un bon moyen d'adapter le miroir de courant au fonctionnement sous tension d'alimentation faible. En effet, le transistor permet de réaliser électriquement le contrôle de la tension de seuil alors qu'une technologie standard ne peut que proposer des transistors à tensions de seuil différentes fixées par le procédé technologique. Néanmoins, une limitation importante apparaît en termes de symétrie du miroir dès lors que la tension grille-source du transistor d'entrée devient inférieure à sa tension $V_{ds,sat}$. Cette frontière apparaissant rapidement lorsque l'interface servant au contrôle de la tension de seuil rentre en régime d'inversion forte, il n'est possible de diminuer la tension de seuil effective que d'une centaine de millivolts. Au delà, une contre-réaction est nécessaire afin de maintenir la symétrie électrique du miroir. Le contrôle statique de la tension de seuil permet également de rendre le miroir paramétrable. En jouant cette fois-ci sur la dissymétrie du miroir, il est alors possible de régler son gain en courant. Ce principe peut être par exemple mis en

oeuvre afin de créer des amplificateurs à gain variable, l'intérêt de l'*IDGMOS* résidant dans la réalisation compacte du réglage du gain.

Dans un second temps, l'apport du fonctionnement pleine plage du transistor *IDGMOS* a été mis en valeur pour le suiveur de tension et les paires différentielles. Dans les deux cas, il apparaît que cette propriété inhérente au composant peut être aisément élargie au fonctionnement du circuit employant le transistor. Bien que l'augmentation de la plage de fonctionnement se fasse au détriment notamment du gain des circuits, celle-ci représente une solution générale aux impacts de la diminution de la tension d'alimentation. En combinant cette propriété avec une structure innovante, le miroir de courant différentiel, l'efficacité du principe a été démontrée par la conception d'un *OTA* « *fully-differential* » complet fonctionnant sous une alimentation de 0,5V. Cet amplificateur met également en oeuvre une nouvelle technique de contrôle de la tension de mode commun de sortie réalisée de façon compacte. C'est ici un autre apport du couplage intercanal qui est illustré, permettant d'économiser non seulement de la surface de silicium mais également de la puissance consommée. Au final, les simulations de l'*OTA* montrent que celui-ci présente de meilleures performances que celles issues de la simulation d'un amplificateur réalisé en utilisant les accès substrat des transistors *bulk*.

Contrôle de la tension de seuil, réglage des paramètres du circuit, réalisation compacte des fonctions, structures innovantes, fonctionnement pleine plage, les apports du transistor *IDGMOS* sont nombreuses en vue de son intégration au sein de circuits analogiques. L'apport majeur reste celui de l'adaptation au fonctionnement sous tension d'alimentation faible puisque cette difficulté semble être le point bloquant pour la conception des circuits futurs. De plus, certains aspects fonctionnels de l'*IDGMOS* présentés dans de manuscrit peuvent être mis en oeuvre astucieusement dans d'autres domaines de conception tels que les conceptions de type numérique et *RF*. Pour le moment, c'est principalement en termes de gain en surface de silicium et de puissance consommée que le transistor double grille se révèle être intéressant. De nombreux travaux doivent néanmoins être poursuivis afin de pouvoir conclure. En effet, et cela quel que soit le domaine de conception, les réalisations sur silicium manquent. En ce qui concerne le domaine analogique, le manque de données statistiques d'appariement et de mesures de bruit font grandement défaut à ce qui peut être dit sur l'*IDGMOS*. Une fois ces données disponibles, il sera alors possible de conforter les travaux de recherche présentés ici mais également d'étendre cette étude à la conception de circuits fortement dépendant du bruit dont, notamment, les convertisseurs et les systèmes de communication *RF*.

Néanmoins, les travaux théoriques effectués sur le transistor ont d'ores et déjà permis de publier bien des résultats intéressants sur l'utilisation du transistor double grille dans tous les domaines de conception. Plusieurs brevets ont été déposés et des réalisations verront le jour assez rapidement à partir du moment où la technologie atteindra une maturité suffisante. Technologie, modélisation, conception, tous les acteurs travaillent dans ce but. Cependant, ces efforts reposent sur la confiance portée aux prévisions de l'*ITRS* et ces travaux ne sont pas effectués sans une certaine prise de risque. Or, le secteur des semiconducteurs est fortement dépendant des facteurs économiques mondiaux et ceux-ci ne sont pas pris en compte par l'*ITRS*. Ainsi, il reste possible de voir un glissement dans le temps des prévisions faites il y a quelques années. Il est également possible que l'industrie décide de prolonger l'utilisation de technologies *bulk* avancées plus longtemps que prévu. Cela se fera au prix de performances moins bonnes mais aussi à moindre coût. Enfin, la technologie double grille demeure une technologie innovante parmi d'autres. Il se peut

donc qu'une autre technologie voit le jour et remette tout en question. Quoi qu'il en soit, et si les différents facteurs le permettent, les recherches actuelles montrent bel et bien que la technologie double grille est l'une des meilleures alternatives dans la poursuite de la réduction géométrique des composants.

Table des figures

1.1		3
1.2		5
1.3		7
1.4		8
1.5		9
1.6		10
1.7		11
1.8		12
1.9		14
1.10		17
1.11		28
1.12		29
1.13		29
1.14		30
2.1		36
2.2		42
2.3		43
2.4		43
2.5		45
2.6		45
2.7		47
2.8		48
2.9		49
2.10		50
2.11		50
2.12		51
2.13		53
2.14		54
2.15		55
2.16		56
2.17		57

2.18	58
2.19	59
2.20	60
2.21	63
2.22	63
2.23	64
3.1	70
3.2	71
3.3	72
3.4	73
3.5	74
3.6	75
3.7	76
3.8	77
3.9	78
3.10	79
3.11	80
3.12	82
3.13	82
3.14	83
3.15	84
3.16	85
3.17	86
3.18	87
3.19	88
3.20	88
3.21	90
3.22	91
3.23	91
3.24	93
3.25	93
3.26	94
3.27	95
3.28	96
3.29	96
3.30	97
3.31	98
3.32	98
3.33	99
3.34	100
3.35	100
3.36	101
3.37	102
3.38	102
3.39	103

3.40		105
3.41		105
3.42		106
3.43		107
3.44		107
3.45		108
3.46		109
3.47		110
3.48		110
3.49		111
3.50		111
3.51		112
3.52		112
3.53		113
3.54		114
3.55		115
3.56		116
3.57		116
3.58		117
3.59		118

Liste des tableaux

1.1		12
1.2		21
2.1		40
3.1		94
3.2		103

Annexes

Modèle « petits signaux » du transistor IDGMOS : formulaire

$$C_{oxfg} = \frac{\epsilon_{ox}}{T_{oxfg}} \quad C_{oxbg} = \frac{\epsilon_{ox}}{T_{ox2}} \quad C_{si} = \frac{\epsilon_{si}}{T_{si}} \quad (15)$$

$$C_{eq} = \frac{1}{\frac{1}{C_{oxfg}} + \frac{1}{C_{oxbg}} + \frac{1}{C_{si}}} \quad (16)$$

$$n_{fg} = 1 + \frac{1}{C_{oxfg}} \cdot \frac{C_{si}C_{oxbg}}{C_{si}+C_{oxbg}} \quad n_{bg} = 1 + \frac{1}{C_{oxbg}} \cdot \frac{C_{si}C_{oxfg}}{C_{si}+C_{oxfg}} \quad (17)$$

$$V_{gfg,p} = V_{gfg} - \Delta\Phi_{mi} \quad V_{gbg,p} = V_{gbg} - \Delta\Phi_{mi} \quad (18)$$

$$\Delta V_t = \frac{n_{fg} \cdot n_{bg}}{n_{fg} + n_{bg} - n_{fg} \cdot n_{bg}} \cdot ut \cdot \ln \left(\frac{n_{fg}}{n_{bg}} \cdot \frac{C_{oxfg}}{C_{oxbg}} \right) \quad (19)$$

$$\Delta V_{tlim} = ut \cdot \ln \left(\frac{\tanh \left(\left| \frac{C_{eq}}{C_{si}} \cdot \frac{\Delta V_t}{2ut} \right| \right)}{\left| \frac{C_{eq}}{C_{si}} \cdot \frac{\Delta V_t}{2ut} \right|} \right) \quad (20)$$

$$V_{tfg,lim} = ut \cdot \ln \left(\frac{2 \cdot n_{fg} \cdot C_{oxfg} \cdot ut}{q \cdot n_i \cdot T_{si}} + \frac{n_{fg}-1}{n_{fg}} \cdot \Delta V_t - \Delta V_{tlim} \right) \quad (21)$$

$$V_{tbg,lim} = ut \cdot \ln \left(\frac{2 \cdot n_{bg} \cdot C_{oxbg} \cdot ut}{q \cdot n_i \cdot T_{si}} + \frac{n_{bg}-1}{n_{bg}} \cdot \Delta V_t - \Delta V_{tlim} \right) \quad (22)$$

$$V_{geff,fg} = V_{tfg,lim} - \frac{1}{2} \cdot \left(V_{tfg,lim} - V_{gfg,p} - \delta Vg + \sqrt{(V_{tfg,lim} - V_{gfg,p} - \delta Vg)^2 + 4 \cdot \delta Vg \cdot V_{tfg,lim}} \right) \quad (23)$$

$$V_{geff,bg} = V_{tbg,lim} - \frac{1}{2} \cdot \left(V_{tbg,lim} - V_{gbg,p} - \delta Vg + \sqrt{(V_{tbg,lim} - V_{gbg,p} - \delta Vg)^2 + 4 \cdot \delta Vg \cdot V_{tbg,lim}} \right) \quad (24)$$

$$fV_{th} = \frac{\tanh \left(\left| \frac{C_{eq}}{C_{si}} \cdot \frac{V_{geff,fg} - V_{geff,bg}}{2ut} \right| \right)}{\left| \frac{C_{eq}}{C_{si}} \cdot \frac{V_{geff,fg} - V_{geff,bg}}{2ut} \right|} \quad (25)$$

$$V_{tfg,0} = n_{fg} \cdot ut \cdot \ln \left(\frac{2 \cdot n_{fg} \cdot C_{oxfg} \cdot ut}{q \cdot n_i \cdot T_{si}} \right) - n_{fg} \cdot ut \cdot \ln(fV_t) \quad (26)$$

$$V_{tfg} = V_{tfg,0} - (n_{fg} - 1) \cdot V_{geff,bg} \quad (27)$$

$$V_{tbg,0} = n_{bg} \cdot ut \cdot \ln \left(\frac{2 \cdot n_{bg} \cdot C_{oxbg} \cdot ut}{q \cdot ni \cdot T_{si}} \right) - n_{bg} \cdot ut \cdot \ln(fV_t) \quad (28)$$

$$V_{tbg} = V_{tbg,0} - (n_{bg} - 1) \cdot V_{geff,fg} \quad (29)$$

$$V_{gtfg,0} = ut \cdot n_{fg} \cdot \ln \left(1 + \exp \left(\frac{V_{fg,p} - V_{tfg}}{ut \cdot n_{fg}} \right) \right) \quad (30)$$

$$V_{gtbg,0} = ut \cdot n_{bg} \cdot \ln \left(1 + \exp \left(\frac{V_{bg,p} - V_{tbg}}{ut \cdot n_{bg}} \right) \right) \quad (31)$$

$$E_c = \frac{C_{eq}}{\epsilon_{si}} \cdot ((V_{fg,p} - V_{gtfg,0}) - (V_{bg,p} - V_{gtbg,0})) \quad (32)$$

$$V_{cfg} = \frac{\epsilon_{si}}{C_{oxfg}} \cdot E_c \quad (33)$$

$$V_{cbg} = \frac{\epsilon_{si}}{C_{oxbg}} \cdot E_c \quad (34)$$

$$V_{gtfg,0_2vcfg} = ut \cdot \ln \left(1 + \exp \left(\frac{V_{fg,p} - V_{tfg} + 2 \cdot V_{cfg}}{ut} \right) \right) \quad (35)$$

$$V_{gtfg,0_vcfg} = ut \cdot \ln \left(1 + \exp \left(\frac{V_{fg,p} - V_{tfg} + V_{cfg}}{ut} \right) \right) \quad (36)$$

$$a_{fg} = \frac{C_{oxfg}^2 \cdot V_{gtfg,0_2vcfg} \cdot V_{gtfg,0}}{2q \cdot ni \cdot \epsilon_{si} \cdot ut} \quad (37)$$

$$V_{off,fg} = \frac{(ut \cdot \ln(a_{fg}) + V_{cfg} - V_{tfg}) \cdot V_{gtfg,0_2vcfg} \cdot V_{gtfg,0}}{2ut \cdot V_{gtfg,0_vcfg} + V_{gtfg,0_2vcfg} \cdot V_{gtfg,0}} \quad (38)$$

$$V_{gtbg,0_2vcbg} = ut \cdot \ln \left(1 + \exp \left(\frac{V_{bg,p} - V_{tbg} + 2 \cdot V_{cbg}}{ut} \right) \right) \quad (39)$$

$$V_{gtbg,0_vcbg} = ut \cdot \ln \left(1 + \exp \left(\frac{V_{bg,p} - V_{tbg} + V_{cbg}}{ut} \right) \right) \quad (40)$$

$$a_{bg} = \frac{C_{oxbg}^2 \cdot V_{gtbg,0_2vcbg} \cdot V_{gtbg,0}}{2q \cdot ni \cdot \epsilon_{si} \cdot ut} \quad (41)$$

$$V_{off,bg} = \frac{(ut \cdot \ln(a_{bg}) + V_{cbg} - V_{tbg}) \cdot V_{gtbg,0_2vcbg} \cdot V_{gtbg,0}}{2ut \cdot V_{gtbg,0_vcbg} + V_{gtbg,0_2vcbg} \cdot V_{gtbg,0}} \quad (42)$$

$$ut_{eq,fg} = \frac{n_{fg} \cdot ut}{4} \cdot \left(\tanh \left(\frac{V_{fg,p} - V_{tfg}}{2 \cdot \gamma \cdot ut} \right) + 1 \right) \cdot \left(\tanh \left(\frac{V_{fg,p} - V_{tfg}}{2 \cdot 2 \cdot ut} \right) + 1 \right) \quad (43)$$

$$V_{gtfg} = 2 \cdot ut \cdot n_{fg} \cdot \ln \left(1 + \frac{\exp \left(\frac{V_{fg,p} - V_{tfg} - V_{off,fg} + ut_{eq,fg}}{2 \cdot ut \cdot n_{fg}} \right)}{1 + 2 \cdot \exp \left(-\frac{V_{fg,p} - V_{tfg}}{2 \cdot ut \cdot n_{fg}} \right)} \right) \quad (44)$$

$$ut_{eq,bg} = \frac{n_{bg} \cdot ut}{4} \cdot \left(\tanh \left(\frac{V_{bg,p} - V_{tbg}}{2 \cdot \gamma \cdot ut} \right) + 1 \right) \cdot \left(\tanh \left(\frac{V_{bg,p} - V_{tbg}}{2 \cdot 2 \cdot ut} \right) + 1 \right) \quad (45)$$

$$V_{gtbg} = 2 \cdot ut \cdot n_{bg} \cdot \ln \left(1 + \frac{\exp\left(\frac{V_{gbg,p} - V_{tbg} - V_{off,bg} + ut_{eq,bg}}{2 \cdot ut \cdot n_{bg}}\right)}{1 + 2 \cdot \exp\left(-\frac{V_{gbg,p} - V_{tbg}}{2 \cdot ut \cdot n_{bg}}\right)} \right) \quad (46)$$

$$n_{eq,fg} = \frac{1 - n_{fg}}{4} \cdot \left(\tanh\left(\frac{V_{gbg,p} - V_{tbg}}{2 \cdot 7 \cdot ut}\right) + 1 \right) \cdot \left(\tanh\left(\frac{V_{gfg,p} - V_{tfg}}{2 \cdot 2 \cdot ut}\right) + 1 \right) + n_{fg} \quad (47)$$

$$V_{dsat,fg} = \frac{(V_{gtfg} + 2 \cdot ut) \cdot ESAT_{fg} \cdot L_{fg}}{(V_{gtfg} + 2 \cdot ut) + n_{eq,fg} \cdot ESAT_{fg} \cdot L_{fg}} \quad (48)$$

$$n_{eq,bg} = \frac{1 - n_{bg}}{4} \cdot \left(\tanh\left(\frac{V_{gfg,p} - V_{tfg}}{2 \cdot 7 \cdot ut}\right) + 1 \right) \cdot \left(\tanh\left(\frac{V_{gbg,p} - V_{tbg}}{2 \cdot 2 \cdot ut}\right) + 1 \right) + n_{bg} \quad (49)$$

$$V_{dsat,bg} = \frac{(V_{gtbg} + 2 \cdot ut) \cdot ESAT_{bg} \cdot L_{bg}}{(V_{gtbg} + 2 \cdot ut) + n_{eq,bg} \cdot ESAT_{bg} \cdot L_{bg}} \quad (50)$$

$$V_{dseff,fg} = V_{dsat,fg} - \frac{1}{2} \cdot \left(V_{dsat,fg} - V_{ds} - \delta + \sqrt{(V_{dsat,fg} - V_{ds} - \delta)^2 + 4 \cdot \delta \cdot V_{dsat,fg}} \right) \quad (51)$$

$$V_{dseff,bg} = V_{dsat,bg} - \frac{1}{2} \cdot \left(V_{dsat,bg} - V_{ds} - \delta + \sqrt{(V_{dsat,bg} - V_{ds} - \delta)^2 + 4 \cdot \delta \cdot V_{dsat,bg}} \right) \quad (52)$$

$$ut_{eff,fg} = ut \cdot \frac{V_{dseff,fg}}{V_{dsat,fg}} \quad (53)$$

$$V_{gteff,fg} = 2 \cdot ut \cdot n_{fg} \cdot \ln \left(1 + \frac{\exp\left(\frac{V_{gfg,p} - V_{tfg} - V_{off,fg} + ut_{eff,fg}}{2 \cdot ut \cdot n_{fg}}\right)}{1 + 2 \cdot \exp\left(-\frac{V_{gfg,p} - V_{tfg}}{2 \cdot ut \cdot n_{fg}}\right)} \right) \quad (54)$$

$$ut_{eff,bg} = ut \cdot \frac{V_{dseff,bg}}{V_{dsat,bg}} \quad (55)$$

$$V_{gteff,bg} = 2 \cdot ut \cdot n_{bg} \cdot \ln \left(1 + \frac{\exp\left(\frac{V_{gbg,p} - V_{tbg} - V_{off,bg} + ut_{eff,bg}}{2 \cdot ut \cdot n_{bg}}\right)}{1 + 2 \cdot \exp\left(-\frac{V_{gbg,p} - V_{tbg}}{2 \cdot ut \cdot n_{bg}}\right)} \right) \quad (56)$$

$$n_{eff,fg} = (n_{eq,fg} - n_{fg}) \cdot \frac{V_{dseff,fg}}{V_{dsat,fg}} + n_{fg} \quad (57)$$

$$V_{dsateff,fg} = \frac{(V_{gtfg} + 2 \cdot ut) \cdot ESAT_{fg} \cdot L_{fg}}{(V_{gtfg} + 2 \cdot ut) + n_{eff,fg} \cdot ESAT_{fg} \cdot L_{fg}} \quad (58)$$

$$n_{eff,bg} = (n_{eq,bg} - n_{bg}) \cdot \frac{V_{dseff,bg}}{V_{dsat,bg}} + n_{bg} \quad (59)$$

$$V_{dsateff,bg} = \frac{(V_{gtbg} + 2 \cdot ut) \cdot ESAT_{bg} \cdot L_{bg}}{(V_{gtbg} + 2 \cdot ut) + n_{eff,bg} \cdot ESAT_{bg} \cdot L_{bg}} \quad (60)$$

$$V_{dseffp,fg} = V_{dsateff,fg} - \frac{1}{2} \cdot \left(V_{dsateff,fg} - V_{ds} - \delta + \sqrt{(V_{dsateff,fg} - V_{ds} - \delta)^2 + 4 \cdot \delta \cdot V_{dsateff,fg}} \right) \quad (61)$$

$$V_{dseffp,bg} = V_{dsateff,bg} - \frac{1}{2} \cdot \left(V_{dsateff,bg} - V_{ds} - \delta + \sqrt{(V_{dsateff,bg} - V_{ds} - \delta)^2 + 4 \cdot \delta \cdot V_{dsateff,bg}} \right) \quad (62)$$

$$\beta_{fg} = \frac{W_{fg}}{L_{fg}} \cdot U_{0,fg} \quad (63)$$

$$I_{dfg} = \beta_{fg} \cdot C_{oxfg} \cdot V_{gteff,fg} \cdot \left(1 - n_{eff,fg} \cdot \frac{V_{dseffp,fg}}{2 \cdot (V_{gteff,fg} + 2 \cdot ut)} \right) \cdot \frac{V_{dseffp,fg}}{1 + \frac{V_{dseffp,fg}}{ESAT_{fg} \cdot L_{fg}}} \quad (64)$$

$$\beta_{bg} = \frac{W_{bg}}{L_{bg}} \cdot U_{0,bg} \quad (65)$$

$$I_{dbg} = \beta_{bg} \cdot C_{oxbg} \cdot V_{gteff,bg} \cdot \left(1 - n_{eff,bg} \cdot \frac{V_{dseffp,bg}}{2 \cdot (V_{gteff,bg} + 2 \cdot ut)} \right) \cdot \frac{V_{dseffp,bg}}{1 + \frac{V_{dseffp,bg}}{ESAT_{bg} \cdot L_{bg}}} \quad (66)$$

$$I_d = I_{dfg} + I_{dbg} \quad (67)$$

$$(68)$$

Bibliographie

- [Cak03] Tamer Cakici, Aditya Bansal, et Kaushik Roy, “A Low Power Four Transistor Schmitt Trigger for Asymmetric Double Gate Fully Depleted SOI Devices”, *IEEE International SOI Conference*, pages 21–22, 2003.
- [Cha04] S. Chatterjee, Y. Tsividis, et P. Kinget, “A 0.5-V Bulk-Input Fully Differential Operational Transconductance Amplifier”, *ESSCIRC*, pages 147–150, Sep 2004.
- [Cha05a] S. Chatterjee, T. Musah, Y. Tsividis, et P. Kinget, “Weak inversion MOS varactors for 0.5 V analog integrated filters”, *Symposium on VLSI Circuits Digest of Technical Papers*, pages 272–275, 2005.
- [Cha05b] S. Chatterjee, Y. Tsividis, et P. Kinget, “0.5-V Analog Circuit Techniques and Their Application in OTA and Filter Design”, *IEEE Journal of Solid-State Circuits*, vol. 40, n° 12, pages 2373–2387, Dec 2005.
- [Chi06] Meng-Hsueh Chiang, Keunwoo Kim, Ching-Te Chuang, et Christophe Tretz, “High-Density Reduced-Stack Logic Circuit Techniques Using Independent-Gate Controlled Double-Gate Devices”, *IEEE Transactions on Electron Devices*, vol. 53, n° 9, pages 2370–2377, Sep 2006.
- [Dec06] S. Decoutere, P. Wambacq, V. Subramanian, J. Borremans, et A. Mercha, “Technologies for (sub-) 45nm Analog/RF CMOS - Circuit Design Opportunities and Challenges”, *IEEE Custom Integrated Circuits Conference*, pages 679–686, 2006.
- [Fis87] Fischer, “Current differential amplifier”, *IEEE Journal of Solid-State Circuits*, pages 330–340, 1987.
- [Fre06] P. Freitas, G. Billiot, H. Lapuyade, et J.B. Begueret, “Analog Circuit Design Based on Independently Driven Double Gate MOSfet”, *International Conference on Ph.D. Research in Microelectronics and Electronics*, 2006.
- [Fre07] P. Freitas, G. Billiot, H. Lapuyade, et J.B. Begueret, “Analog Design Considerations For Independently Driven Double Gate MOSfets And Their Application in a Low-Voltage OTA”, *IEEE International Conference on Electronics, Circuits, and Systems*, 2007.
- [gau04] J. gautier, Mos «ultime », Rapport technique, Action Spécifique SoC, CEA, Léli, 2004, http://www.ief.u-psud.fr/~belhaire/SOCNT/23012004/gautier_23jan2004.pdf.

- [Ham07] Hesham F. A. Hamed et Savas Kaya, “Low Voltage Programmable Double-Gate MOS-FETs Current Mirror and Its Application As Programmable-Gain Current Amplifier”, *IEEE International Conference on Electronics, Circuits, and Systems*, pages 391–394, 2007.
- [itrte] *The International Technology Roadmap for Semiconductors*, chapitre Process Integration, Devices, and Structures, pages 4–18, 2006 Update, http://www.itrs.net/Links/2006Update/Final/04_PIDS2006UpdateFINALswv1.pdf.
- [Kim04] K. Kim, J. G. Fossum, et C. T. Chuang, “Process/physics-based threshold voltage model for nano-scaled double-gate devices”, *International Journal of Electronics*, vol. 91, n° 3, Mar 2004.
- [Kum04a] A. Kumar, B. A. Minch, et S. Tiwari, “Low Voltage and Performance Tunable CMOS Circuit Design Using Independently Driven Double Gate MOSFETs”, *IEEE International SOI Conference*, pages 119–121, 2004.
- [Kum04b] A. Kumar et S. Tiwari, “A Power-Performance Adaptative Low Voltage Analog Circuit Design Using Independently Controlled Double Gate CMOS Technology”, *IEEE International Symposium on Circuits and Systems*, partie I, pages 197–200, 2004.
- [Lim83] H. K. Lim et J. G. Fossum, “Threshold Voltage of Thin-Film Silicon-on-Insulator (SOI) MOSFET’s”, *IEEE Trans. On Electron Devices*, vol. 30, n° 10, Oct 1983.
- [Mah04] Hamid Mahmoodi, Saihal Mukhopadhyay, , et Kaushik Roy, “High Performance and Low Power Domino Logic Using Independent Gate Control in Double-Gate SOI MOS-FETs”, *IEEE International SOI Conference*, pages 67–68, 2004.
- [Mat05] Leo Mathew, Michael Sadd, Aaron Thean, Tab Stephens, Rode Mora, Melissa Zavala, BichYen Nguyen, Raghav Rai, Susan Backer, Rob Shimer, W. Zang, Mursheed.M.Chowdhry, et Jerry G. Fossum, “Multiple Independent Gate Field Effect Transistors Device, Process, Applications”, *International Symposium on Silicon-On-Insulator Technology and Tevices*, vol. 3, pages 273–282, Mai 2005.
- [Nau05] Bram Nauta et Anne-Johan Annema, “Analog/RF circuit design techniques for nanometerscale IC technologies”, *ESSCIRC*, pages 45–53, 2005.
- [Nut07] Sebastien Nuttinck, Bertrand Parvais, Gilberto Curatola, et Abdelkarim Mercha, “Double-Gate fnFETs as a CMOS Technology Downscaling Option : An RF Perspective”, *IEEE Transactions on Electron Devices*, vol. 54, n° 2, pages 279–283, Fev 2007.
- [Pac06] C. Pacha, K. Von Arnim, T. Schulz, W. Xiong, M. Gostkowski, G. Knoblinger, A. Marshall, T. Nirschl, J. Berthold, C. Russ, H. Gossner, C. Duvvury, P. Cleavelin, et K. Schroefer, “Circuit Design Issues in Multi-Gate FET CMOS Technologies”, *IEEE International Solid-State Circuits Conference*, pages 420–421, 2006.
- [Poi05] T. Poiroux, M. Vinet, O. Faynot, J. Widiez, J. Lolivier, T. Ernst, B. Previtali, et S. Deleonibus, “Multiple gate devices : advantages and challenges”, *Microelectronic Engineering*, vol. 80, pages 378–385, June 2005.
- [RA05] J. Ramirez-Angulo, M.S. Sawant, A. Lopez-Martin, et R.G. Carvajal, “Compact implementation of high-performance CMOS current mirror”, *Electronics Letters*, vol. 41, n° 10, Mai 2005.

- [Red05] M. V. Rammohan Reddy, D. K. Sharma, M. B. Patil, et V. Ramgopal Rao, “Power-Area Evaluation of Various Double-Gate RF Mixer Topologies”, *IEEE Electron Device Letters*, vol. 26, n° 9, pages 664–666, Sep 2005.
- [Rey05] M. Reyboz, O. Rozeau, T. Poiroux, P. Martin, P. Lecarval, et J. Jomaah, “Explicit Analytical Charge-Based Model of Asymmetrical Double Gate MOSFET”, *IEEE Conference on Electron Devices and Solid-State Circuits*, pages 257–260, Dec 2005.
- [Rey07] M. Reyboz, *Modélisation analytique de transistors double grille à effet de champ en technologie sub-45 nm*, Thèse de Doctorat, Institut National Polytechnique de Grenoble, 2007.
- [Roy05] A.S. Roy, J. M. Sallèse, et C. C. Enz, “A Closed-Form Charge-Based Expression for Drain Current for Symmetric and Asymmetric Double Gate MOSFET”, *ESSDERC*, Sep 2005.
- [San06] W. Sansen, *Analog Design Essentials*, Springer, 2006.
- [Tau01] Y. Taur, “Analytical Solutions of Charge and Capacitance in Symmetric and Asymmetric DG MOSFET”, *IEEE Trans. On Electron Devices*, vol. 48, n° 12, Dec 2001.
- [Tho07] Olivier Thomas, Marina Reyboz, et Marc Belleville, “Sub-1V, Robust and Compact 6T SRAM cell in Double Gate MOS technology”, *IEEE International Symposium on Circuits and Systems*, pages 2778–2781, 2007.
- [Xi04] X. Xi, “BSIM5 MOSFET Model”, *Solid-State and Integrated Circuits Technology*, Oct 2004.
- [Zha02] X. Zhan et E. I. El-Masry, “A High-Performance, Low-Voltage, Body-Driven CMOS Current Mirror”, *IEEE International Symposium on Circuits and Systems*, partie V, pages 49–52, 2002.
- [Zha05] Weimin Zhang, Jerry G. Fossum, Leo Mathew, et Yang Du, “Physical Insights Regarding Design and Performance of Independent-Gate FinFETs”, *IEEE Transactions on Electron Devices*, vol. 52, n° 10, pages 2198–2206, Oct 2005.

Liste des communications et publications

Communications

- **P. Freitas**, G. Billiot, H. Lapuyade, J.B. Begueret, «Analog Circuit Design Based on Independently Driven Double Gate MOSfets», International Conference on Ph.D. Research in Microelectronics and Electronics (PRIME), 2006, Bordeaux, France.
- **P. Freitas**, G. Billiot, H. Lapuyade, J.B. Begueret, «Analog Design Considerations For Independently Driven Double Gate MOSfets And Their Application in a Low-Voltage OTA», IEEE International Conference on Electronics, Circuits, and Systems (ICECS), 2007, Marrakech, Maroc.

Chapitre d'ouvrage

- **P. Freitas**, D. Navarro, I. O'Connor, G. Billiot, H. Lapuyade et J.B. Begueret, «Analog Circuit Design», Chapitre V, «Planar Double-Gate Transistor : From Technology to Circuit», Editeurs A. Amara, O. Rozeau, Editions Springer, janvier 2009.

Résumé

L'objectif de cette thèse est d'étudier les apports et les limitations des dispositifs double grille à grilles indépendantes (*IDGMOS*) dans la conception de circuits analogiques fonctionnant à basses fréquences. Ce dispositif compte parmi les structures à l'étude pour le remplacement des transistors *MOS* à substrat massif. Ce remplacement deviendra nécessaire dès lors que ceux-ci auront atteint leurs limites physiques suite à la diminution géométrique dictée par les besoins de l'industrie du semiconducteur. Bien que cette technologie soit conçue pour ses potentialités quant à la réalisation de circuits numériques et *RF*, le fait de pouvoir déconnecter les deux grilles et de les contrôler séparément ouvre également la voie à de nouvelles solutions pour la conception des systèmes analogiques futurs.

Ce travail se focalise tout d'abord sur l'étude du comportement de l'*IDGMOS* et notamment sur les effets du couplage existant entre les deux interfaces du composant. Cette étude s'appuie sur les caractéristiques du transistor ainsi que sur son modèle. Celui-ci est ensuite simplifié afin d'extraire des lois élémentaires régissant le fonctionnement dynamique de l'*IDGMOS*. Dans un second temps, ce manuscrit précise l'environnement futur du transistor ainsi que les solutions existantes, conçues à base de dispositifs à substrat massif et permettant de palier les détériorations fonctionnelles futures. Une brève étude comparative est présentée ensuite entre une technologie *MOS* standard avancée et un modèle *IDGMOS* ajusté sur les prévisions de l'*ITRS*. Néanmoins, les paramètres ajustés sont à ce point idéaux qu'il est difficile de conclure. Il reste donc préférable de se cantonner aux considérations analogiques données par la suite du chapitre, celles-ci se basant principalement sur les équations du modèle de l'*IDGMOS* ainsi que sur sa structure. La troisième partie de ce chapitre met en œuvre le transistor *IDGMOS* au sein de circuits représentant les blocs de base de l'électronique analogique. Chacun de ces blocs est étudié afin de mettre en valeur un apport fonctionnel particulier du composant. Cette étude se termine par une comparaison entre les résultats simulés d'un amplificateur complet *IDGMOS* et ceux d'un autre circuit réalisé quant à lui en utilisant l'accès substrat de transistors *MOS* standard, tous deux fonctionnant sous une tension d'alimentation de 0,5V.

Summary

The aim of this thesis is to study the contributions and the limitations of Independently Driven Double Gate *MOS* transistors in regard of the low frequency analog design. This device is one of the candidates for the replacement of the current *bulk MOS* technology since the gate length of the transistors cannot be efficiently decreased under 30nm. Even if the *IDGMOS* technology is mainly designed for digital and radio frequency applications, the independent drive of the gates should also improve the design of analog circuits and it would provide solutions to the future circuits issues.

First, this work focuses upon the *IDGMOS*'s behaviour, going a little deeper into the effects of the coupling that exists between its interfaces. Using the electrical characteristics of the transistor and simplifying its model, this report then reviews the static and dynamic laws of the component in order to extract a simple description of its operation modes. Secondly, a state of the art concerning both the future environment and issues is presented, followed by the solutions which currently exist using the standard *MOS* technology. A brief comparison between an advanced *MOS* technology and an *IDGMOS* model fitted on the *ITRS* parameters is given. However, these ideal parameters prevent this work from establishing a practical conclusion whereas the aforementioned theoretical studies can be used for providing a better understanding of the *IDGMOS* contributions. Those are reviewed just before the last part of the report which presents some basic analog circuits and their enhancement using double gate transistors. This chapter first emphasises each important aspect of the device operating within the circuits and it thus concludes on an interesting comparison between two complete low supply voltage amplifiers, the first one designed using *IDGMOS* transistors and the other one based on *bulk* driven *MOS* devices.