

N° d'ordre : 3681

THESE

présentée à

L'UNIVERSITE BORDEAUX 1

ECOLE DOCTORALE DES SCIENCES PHYSIQUES ET DE L'INGENIEUR

Par Jérôme PUIL

POUR OBTENIR LE GRADE DE

DOCTEUR

SPECIALITE : Electronique

CONTRIBUTION A L'ETUDE D'ASSEMBLAGES
ELECTRONIQUES SUR CIRCUITS IMPRIMES A HAUTE DENSITE
D'INTEGRATION COMPORTANT UN NOMBRE DE COUCHES
IMPORTANT ET DES CONDENSATEURS ENTERRES

Soutenue le : 27 novembre 2008

Après avis de :

M. Christian BOISROBERT

Professeur, université de Nantes

M. André VAN CALSTER, Professeur

Professeur, IMEC Ghent

Devant la commission d'examen formée de :

M. Christian BOISROBERT

Professeur, université de Nantes

M. Pascal GUILBAULT

Docteur, BULL SAS

M. Daniel LAMBERT

Docteur, BULL SAS

M. Yves OUSTEN

Professeur, IMS

M. André VAN CALSTER

Professeur, IMEC Ghent

M. Eric WOIRGARD

Professeur, IMS

N° d'ordre : 3681

THESE

présentée à

L'UNIVERSITE BORDEAUX 1

ECOLE DOCTORALE DES SCIENCES PHYSIQUES ET DE L'INGENIEUR

Par Jérôme PUIL

POUR OBTENIR LE GRADE DE

DOCTEUR

SPECIALITE : Electronique

CONTRIBUTION A L'ETUDE D'ASSEMBLAGES
ELECTRONIQUES SUR CIRCUITS IMPRIMES A HAUTE DENSITE
D'INTEGRATION COMPORTANT UN NOMBRE DE COUCHES
IMPORTANT ET DES CONDENSATEURS ENTERRES

Soutenue le : 27 novembre 2008

Après avis de :

M. Christian BOISROBERT	Professeur, université de Nantes
M. André VAN CALSTER, Professeur	Professeur, IMEC Ghent

Devant la commission d'examen formée de :

M. Christian BOISROBERT	Professeur, université de Nantes
M. Pascal GUILBAULT	Docteur, BULL SAS
M. Daniel LAMBERT	Docteur, BULL SAS
M. Yves OUSTEN	Professeur, IMS
M. André VAN CALSTER	Professeur, IMEC Ghent
M. Eric WOIRGARD	Professeur, IMS

à Valérie,
à mes parents.

Je remercie Monsieur le Professeur P. FOUILLAT, Directeur de l'IMS de Bordeaux, pour son accueil chaleureux et pour la confiance qu'il m'a témoignée en m'accueillant dans son laboratoire. De même, je remercie Monsieur Laurent CARGEMEL pour m'avoir accueilli dans le département Recherche et Développement de BULL. Je remercie également, l'ANRT (Association Nationale de la Recherche Technique), responsable de la gestion de cette convention CIFRE.

Ce travail a été réalisé sous la direction de Monsieur le Professeur Eric WOIRGARD à qui j'exprime mes plus sincères remerciements pour sa confiance, ses conseils et sa passion communicative.

Je remercie vivement Monsieur Jean-Yves DELETAGE, Ingénieur de recherche, pour ses conseils précieux quant à l'utilisation du progiciel Ansys.

J'éprouve toute ma reconnaissance à Monsieur Daniel LAMBERT, Ingénieur de recherche de la société BULL, pour son accueil, sa disponibilité et ses conseils.

Je tiens à remercier Monsieur Pascal GUILBAULT, Ingénieur de recherche de la société BULL, pour sa disponibilité, son aide précieuse et ses conseils.

Mes remerciements vont également à Monsieur Yves OUSTEN qui m'a fait l'honneur de présider mon jury de thèse.

Je tiens à remercier particulièrement Monsieur Christian BOISROBERT, Professeur à l'université de Nantes et Monsieur André VANCALSTER, Professeur à l'université de Gant (Belgique) pour avoir accepté de juger ce travail et d'en être les rapporteurs.

Que ma famille et tous mes amis soient assurés de mon immense gratitude et de ma sincère reconnaissance pour leur soutien permanent.

TABLE DES MATIERES

TABLE DES MATIERES	1
ABREVIATIONS	5
INTRODUCTION GENERALE	7
CHAPITRE I : LES TECHNOLOGIES POUR CIRCUITS IMPRIMES	
HAUTE DENSITE	9
I. EVOLUTION DES CIRCUITS INTEGRES	10
II. LES SUPPORTS D'INTERCONNEXION STANDARD	12
III. LES LIGNES DE TRANSMISSION	14
<i>III.1. Le phénomène de réflexion</i>	<i>14</i>
<i>III.2. Le phénomène d'atténuation.....</i>	<i>15</i>
<i>III.3. Le phénomène de déphasage</i>	<i>16</i>
<i>III.4. Le phénomène de puissance et de bruit</i>	<i>17</i>
IV. LES TECHNOLOGIES DES CIRCUITS IMPRIMES AVEC CONDENSATEURS ENTERRES	19
V. CONCLUSION	21
CHAPITRE II : CARACTERISATION ELECTRIQUE DE NOUVEAUX	
MATERIAUX DIELECTRIQUES POUR CIRCUITS IMPRIMES HAUTE	
DENSITE	23
I. DESCRIPTION DES MATERIAUX DIELECTRIQUES.....	23
<i>I.1. Choix des matériaux pour les applications standards.....</i>	<i>24</i>
<i>I.2. Choix des matériaux pour les applications hautes vitesses.....</i>	<i>25</i>
<i>I.3. Propriétés des matériaux sélectionnés</i>	<i>25</i>
II. THEORIE D'EXTRACTION DES PROPRIETES DES MATERIAUX	26
<i>II.1. Modélisation des striplines et des microstrips</i>	<i>27</i>

II.2. Caractérisation dans le domaine temporel.....	29
II.3. Caractérisation dans le domaine fréquentiel.....	31
III. VEHICULE DE TEST POUR LA CARACTERISATION DE MATERIAUX DIELECTRIQUES	34
III.1. Spécification du véhicule de test TVH.....	34
III.1.1. Règles de tracé et empilage du circuit imprimé.....	35
III.1.2. Description des motifs de test.....	36
III.2. Fabrication des véhicules de test.....	37
IV. MESURE DES MOTIFS DE TEST.....	38
IV.1. Analyse des micro-sections.....	38
IV.2. Banc de test et connexion à la carte imprimée.....	42
IV.3. Mesure de la constante diélectrique.....	43
IV.3.1. Caractérisation des lignes au réflectomètre.....	43
IV.3.2. Caractérisation des lignes à l'analyseur de réseau.....	44
IV.4. Mesure de l'angle de pertes.....	47
V. EXPLOITATION DES RESULTATS	49
V.1. Comparaison des impédances.....	50
V.2. Comparaison du paramètre S_{21}	51
VI. CONCLUSION	52

CHAPITRE III : CARACTERISATION ELECTRIQUE DES CONDENSATEURS ENTERRES DANS LES CIRCUITS IMPRIMES HAUTE DENSITE 53

I. DESCRIPTION DES MATERIAUX CAPACITIFS ENTERRES	53
II. THEORIE DES IMPEDANCES CAPACITIVES	57
II.1. Modélisation d'un plan capacitif.....	57
II.2. Caractérisation électrique dans le domaine fréquentiel.....	59
III. VEHICULE DE TEST POUR LA CARACTERISATION DES CONDENSATEURS ENTERRES	60
III.1. Spécification du véhicule de test TVP.....	61
III.1.1. Définition de l'empilage du circuit imprimé.....	61
III.1.2. Description des motifs de test.....	62
III.1.3. Fabrication des véhicules de test.....	64
IV. MESURE DES MOTIFS DE TEST.....	66
IV.1. Analyse des micro-sections.....	66
IV.2. Caractérisation du condensateur à l'analyseur de réseau.....	68
IV.2.1. Configuration de la mesure de l'impédance capacitive.....	68
IV.2.2. Extraction de l'élément capacitif.....	69
IV.2.3. Extraction de l'élément résistif.....	73

IV.2.4. Extraction de l'élément inductif	74
IV.2.5. Comparaison avec une technologie standard	76
V. EXPLOITATION DES RESULTATS PAR OUTIL DE SIMULATION	78
VI. CONCLUSION	79

CHAPITRE IV : EVALUATION PAR L'OUTIL DE SIMULATION DE LA FIABILITE DE L'ASSEMBLAGE D'UN COMPOSANT HAUTE DENSITE SUR UN CIRCUIT AVEC CONDENSATEURS ENTERRES .81

I. METHODOLOGIE.....	81
II. CARACTERISTIQUES ET COMPORTEMENT DES MATERIAUX.....	83
II.1. Définitions.....	83
II.1.1. La contrainte	83
II.1.2. Les déformations	84
II.1.3. Le coefficient de dilatation thermique.....	86
II.2. Description des matériaux	87
III. ETUDE DE LA FIABILITE DU BGA REPORTE SUR UN CIRCUIT IMPRIME.....	89
III.1. Spécification du véhicule de test d'assemblage.....	89
III.1.1. Description du composant.....	89
III.1.2. Principe du routage	91
III.1.3. Description de l'assemblage du composant	93
III.1.3.1. Analyse des joints brasés.....	96
III.1.3.2. Planéité du composant reporté.....	98
III.1.3.3. Epaisseur des matériaux	99
III.2. Essais de vieillissements accélérés de l'assemblage.....	100
III.2.1. Principe des essais de vieillissement accéléré.....	100
III.2.2. Détection des microcoupures	101
III.3. Résultats des vieillissements accélérés.....	102
III.3.1. Cycles thermiques 0°C/+100°C	102
III.3.2. Cycles thermiques -55°C/+125°C.....	103
IV. MODELISATION ET SIMULATIONS	105
IV.1. Modèle étudié.....	105
IV.1.1. Structure du modèle	105
IV.1.2. Modélisation thermomécanique des matériaux de l'assemblage	107
IV.2. Simulation du report sur carte avec un modèle 3D octant	113
IV.2.1. Montée à 217°C du modèle octant.....	114
IV.2.2. Retour à la température ambiante	115
IV.2.3. Stockage de l'assemblage pendant 15 jours.....	116
IV.3. Simulation des cycles thermiques -55°C/+125°C.....	117

<i>IV.4. Simulation de l'assemblage sur une technologie standard.....</i>	<i>120</i>
IV.4.1. Simulation du report sur carte.....	120
IV.4.2. Simulation des cycles thermiques -55°C/+125°C.....	121
V. COMPARAISON ET INTERPRETATION DES RESULTATS.....	122
VI. CONCLUSION.....	125
CONCLUSION GENERALE	126
REFERENCES	128

ABBREVIATIONS

BGA	Ball Grid Array	Composant monté en surface par billes de brasure
CCGA	Ceramic Column Grid Array	Composant en céramique monté en surface par des colonnes
CMS	Composant Monté en Surface	Composant miniature sans broche traversant
FR4	Flame Retardant 4	Matériau diélectrique standard avec retardateur de flamme
GSG	Ground – Signal – Ground	Attribution aux broches des sondes de mesure
LBGA	Laminate Ball Grid Array	Composant sans enrobage monté en surface par billes de brasure
LGA	Land Grid Array	Composant avec plages de connexions sans broche
NSMD	Non Solder Mask Defined	L'ouverture du vernis épargne est plus grande que la pastille de cuivre
PBDE	PolyBromoDiphényléthErs	Retardateur de flamme
PLCC	Plastic Leaded Chip Carrier	Composant plastique monté en surface avec des broches sur les quatre cotés
PQFP	Plastic Quad Flat Pack	Composant plastique monté en surface avec des broches sur les quatre cotés
PTFE	PolyTétraFluoroEthylène	Polymère thermoplastique
RoHs	Restriction Of Hazardous Substance	Directive européenne de restriction de plusieurs substances comme le plomb
SAC305	Sn_{96,5%}Ag_{3%}Cu_{0,5%}	Alliage de brasure sans plomb
SMD	Solder Mask Defined	Recouvrement du vernis épargne sur la pastille de cuivre
SOJ	Small Outline J-lead	Composant miniature monté en surface avec des broches recourbées
SOLT	Short – Open – Load – Thru	Méthode de calibration d'équipement de mesures
SOP	Small Outline Package	Composant à boîtier miniature monté en surface
TDR	Time Domain Reflectometer	Equipement de mesures de réflexion
TVH	Test Vehicle High speed	Véhicule de test dédié aux matériaux diélectriques
TVP	Test Vehicle Planar capacitor	Véhicule de test dédié aux matériaux pour condensateurs enterrés

INTRODUCTION GENERALE

Depuis plus de deux décennies, l'évolution de l'électronique est caractérisée par deux tendances : l'augmentation de la densité d'intégration et l'accroissement des fréquences d'horloge des circuits numériques. Un exemple particulièrement représentatif nous est donné par les micro-ordinateurs commercialisés début 2005 dont l'unité centrale comporte plusieurs dizaines de millions de transistors et fonctionne avec une fréquence d'horloge supérieure à 3 GHz.

L'évolution des circuits intégrés vers des fréquences supérieures à plusieurs GHz et du nombre d'entrées – sorties au delà de 1000 connexions par composant entraînent pour l'industrie des circuits l'obligation d'évoluer vers :

- L'introduction de matériaux diélectriques plus performants : diminution de l'angle de perte et de la constante diélectrique.
- La possibilité d'intégrer des composants passifs à l'intérieur des couches internes des circuits imprimés.

Ces innovations doivent être compatibles avec l'exigence que les produits fonctionnels fabriqués avec ces nouveaux matériaux garantissent une fiabilité au moins égale à celle obtenue avec les matériaux et les procédés utilisés actuellement ; d'un point de vue économique, l'introduction en fabrication de ces matériaux et procédés innovants doit s'effectuer avec des coûts raisonnables.

Pour prendre un exemple concret, Bull a développé une carte électronique haute densité sur laquelle sont reportés deux boîtiers CCGA comportant 1443 entrées – sorties au pas de 1,27 mm. Ce nombre d'entrées – sorties dimensionné sur 50 mm², nécessite d'utiliser 24 couches conductrices et 200 capacités de découplage. On atteint là les limites de la technologie classique des circuits imprimés, sans parler du coût d'une telle réalisation.

Le travail présenté a ainsi pour but d'apporter une contribution à l'étude d'un assemblage électronique sur circuits à haute densité d'intégration comportant un nombre de couches important et des composants enterrés. La contribution du doctorant porte sur les points suivants : le développement des outils et des techniques de qualification des procédés permettant d'intégrer des composants passifs dans les couches internes des circuits imprimés, l'étude et la réalisation de véhicules de test pour la caractérisation électrique et thermomécanique des nouveaux matériaux et les simulations électriques et les simulations thermomécaniques à partir des dimensions physiques des circuits.

Ce travail a été réalisé dans le cadre d'une thèse en contrat CIFRE entre Bull SAS, le laboratoire IMS de l'université Bordeaux 1 et l'ANRT. Les travaux ont été réalisés dans le laboratoire de microélectronique IMS de Bordeaux et dans l'établissement des Clayes-sous-Bois de Bull. Cette étude s'intègre dans le cadre du projet européen EMCOMIT.

EMCOMIT (pour « EMbedded COMponent for InTerconnect applications ») est un projet de recherche et développement Européen PIDEA, qui a démarré en Février 2005, pour une durée de 3 ans. Des partenaires de deux pays ont collaboré à ce projet :

- En France : Maine CI, le responsable du projet et fabricant de circuits imprimés ; Bull SAS, recherche et développement pour des applications informatiques complexes ; EADS-DCS, recherche et développement pour des applications de télécommunications défenses ; ainsi que le laboratoire de recherche IMS.
- En Belgique : L'université de Gent / IMEC ; Alcatel Bel, recherche et développement pour des applications serveurs ; IPTe (Barco Manufacturing Services), assembleur de cartes.

Les activités de recherche et de développement du projet mènent à une décomposition du présent manuscrit en quatre chapitres.

Le premier chapitre est un rappel des différentes technologies rencontrées sur les circuits imprimés haute densité d'intégration. Il décrit l'évolution des circuits intégrés et des supports d'interconnexion couramment utilisés. Ce chapitre relate également des principaux phénomènes à prendre en considération dans la réalisation des lignes de transmission, en vue d'obtenir un signal de bonne qualité.

Le deuxième chapitre s'oriente vers la caractérisation électrique de nouveaux matériaux diélectriques. Ils ont été choisis pour leurs propriétés électriques performantes et parce qu'ils sont susceptibles d'apporter une solution aux problèmes liés à l'intégrité des signaux dans les circuits imprimés. Leur constante diélectrique et leur angle de pertes permettent de répondre aux exigences des applications de télécommunication et de technologie de l'information jusqu'à 10GHz, compatibles RoHs. La qualification de ces matériaux s'effectue par l'intermédiaire d'un véhicule de test spécifique qui intègre les motifs nécessaires pour mesurer les caractéristiques électriques des matériaux. Une présentation de ces matériaux sera faite ainsi qu'une description de leurs propriétés électriques. Ces matériaux seront ensuite testés à l'aide des motifs implantés sur les circuits imprimés. Enfin les résultats seront exposés et comparés.

Le troisième chapitre est consacré à la caractérisation électrique des matériaux capacitifs permettant d'enterrer des condensateurs à l'intérieur des circuits imprimés. Ces condensateurs sont particulièrement utilisés pour réduire la longueur de la boucle de découplage génératrice d'inductances parasites. Pour qualifier ces matériaux, un deuxième véhicule de test est développé et intègre plusieurs condensateurs enterrés. Les résultats des mesures ont pour objectif d'observer les performances électriques apportées par cette nouvelle technologie et d'établir une comparaison avec une technologie standard. Les impédances capacitives mesurées et attendues seront présentées afin de qualifier ces matériaux.

Le quatrième et dernier chapitre traite de l'étude de la fiabilité d'un assemblage de composant dense sur un circuit imprimé avec condensateur enterré. Pour assurer la fiabilité des assemblages, deux types de travaux sont conduits en parallèle : des simulations thermomécaniques et des essais de vieillissement accéléré. Les simulations thermomécaniques sont effectuées à l'aide du progiciel ANSYS qui utilise la méthode des éléments finis. Leur but est de calculer les contraintes résiduelles accumulées pendant le procédé d'assemblage puis l'énergie dépensée dans les parties critiques des joints au cours d'un cycle thermique. Simultanément, les échantillons sont soumis à des essais de vieillissement accéléré statiques et dynamiques. Les essais dynamiques consistent à soumettre les échantillons à des variations périodiques de température, par exemple entre -55°C et $+125^{\circ}\text{C}$. L'évolution des dégradations observées sur les joints brasés permet de recalibrer les modèles numériques qui peuvent être utilisés pour prédire la durée de vie des joints en fonction du profil de mission envisagé pour le circuit final.

CHAPITRE I

LES TECHNOLOGIES POUR CIRCUITS IMPRIMES HAUTE DENSITE

C'est depuis la naissance du premier processeur, que les systèmes informatiques connaissent une évolution foudroyante. Ils bénéficient de l'avancée de l'électronique et améliorent leur fiabilité, leurs performances et leur miniaturisation. La progression technologique de la microélectronique permet de construire des circuits intégrant un nombre de transistors de plus en plus grand et fonctionnant à des fréquences de plus en plus élevées. Ce qui a pour effet d'augmenter les capacités de calcul et la rapidité à transférer des informations [B01].

Pour que ces systèmes puissent transporter, échanger et interpréter les données, il est nécessaire que le réseau d'interconnexion soit performant. La conservation de toute l'intégrité du signal devient alors une grande difficulté dans la conception des cartes électroniques. Les technologies de réalisation des circuits imprimés atteignent leurs limites et de nouvelles perspectives sont étudiées.

Dans ce premier chapitre, nous aborderons les problèmes électriques de cette avancée en électronique. Nous identifierons les moyens mis en œuvre pour répondre à ces difficultés. Enfin, nous présenterons les technologies de réalisation de circuits imprimés haute densité avec des condensateurs enterrés.

I. EVOLUTION DES CIRCUITS INTEGRES

Les circuits intégrés se composent généralement d'une plaquette de silicium monocristallin très pur, dopé par diffusion d'atomes étrangers pour le rendre conducteur. Sur cette plaque de surface comprise entre 0,2 et 2 cm², différents composants électroniques sont gravés pour réaliser des fonctions complexes. Les processeurs qui sont des circuits intégrés rassemblant les éléments essentiels d'un ordinateur se caractérisent par une très haute densité d'intégration et permettent d'interpréter les instructions d'un programme.

Pour faciliter leur utilisation et pour accommoder le pas des pads de la puce (de l'ordre de 150 à 250µm) à celui autorisé par les technologies de circuits imprimés, les circuits intégrés sont reportés sur des substrats rectangulaires en plastique ou en céramique, en vue d'être placés sur des circuits imprimés. La puce est ensuite reliée aux broches internes du boîtier par l'intermédiaire de fils d'or ou d'aluminium. Cette technologie n'est plus utilisée pour les processeurs car le câblage filaire limite la densité du composant et de plus l'inductance apportée par ces fils n'est pas compatible avec les fréquences de ces circuits. Une deuxième méthode d'interconnexion est alors apparue, elle consiste à reporter la puce de silicium par l'intermédiaire de microbilles. Ces composants s'appellent les « flip-chips ». Ces microbilles permettent d'augmenter le nombre d'entrées et de sorties du composant, et de diminuer l'inductance de connexion. La Figure 1 représente deux boîtiers BGA en connexions filaires et en connexions par microbilles.

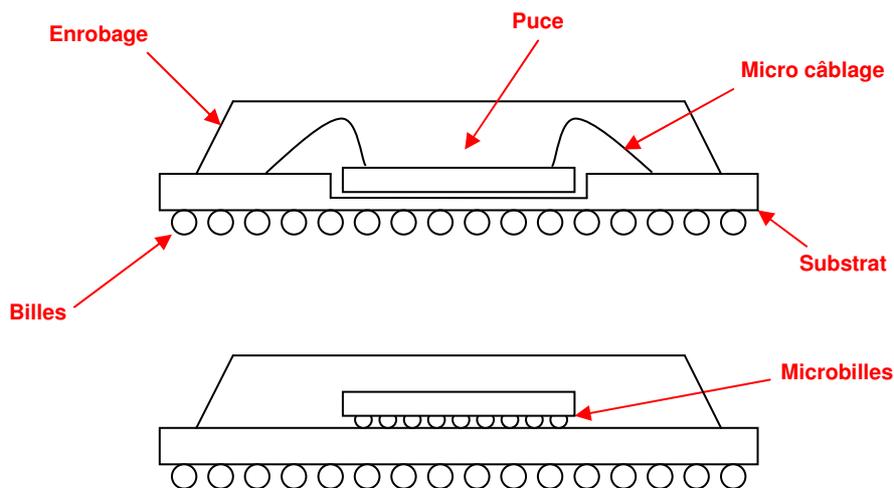


Figure 1 : Représentation de BGA en connexions filaires et en connexions par microbilles

La Figure 2 est une photographie d'une puce d'essai réalisée par la société BULL.

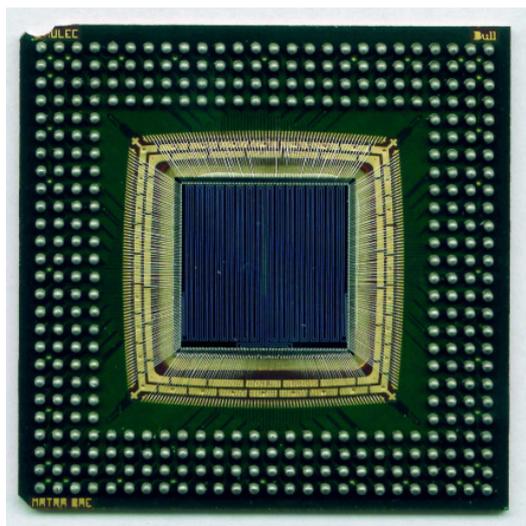


Figure 2 : Puce d'un processeur BULL

Pour le câblage filaire, il est souvent nécessaire d'encapsuler la puce dans une cavité afin d'avoir les broches de connexions du boîtier au même niveau que celles de la puce et ainsi diminuer le chemin des fils. Pour le filaire, on a deux types de boîtiers : le cavity up et le cavity down. Sur la Figure 2, il s'agit d'un boîtier cavity down, la puce se trouve du même côté que les billes du boîtier.

La connexion des boîtiers avec les circuits imprimés est réalisée selon différentes technologies. La première, et aussi la plus ancienne, concerne les boîtiers à broches traversantes pouvant s'adapter aux circuits imprimés munis de trous. On trouve ensuite les boîtiers à broches recourbées, permettant de monter le composant sur la surface du circuit imprimé. Parmi ces boîtiers à pattes recourbées, on distingue les boîtiers équipés de broches sur les quatre côtés (PQFP et PLCC) et ceux brochés sur les deux côtés (SOP et SOJ). Enfin, la troisième technologie concerne les boîtiers à billes de brasure (BGA) reportés sur la surface des circuits imprimés. Cette troisième méthode de report est fortement utilisée sur les circuits imprimés haute densité et c'est également le type de boîtier que nous utiliserons dans cette étude.

Pour faciliter le démontage de ces composants, la technologie de connecteur « socket » est de plus en plus adoptée pour les processeurs. C'est notamment pratique pour des composants chers, que l'on veut pouvoir changer en cas de panne. Pour cela un connecteur est soudé sur la carte et le composant (LGA) est appuyé, par un mécanisme de mise en pression, sur les contacts du connecteur, comme la montre la Figure 3.

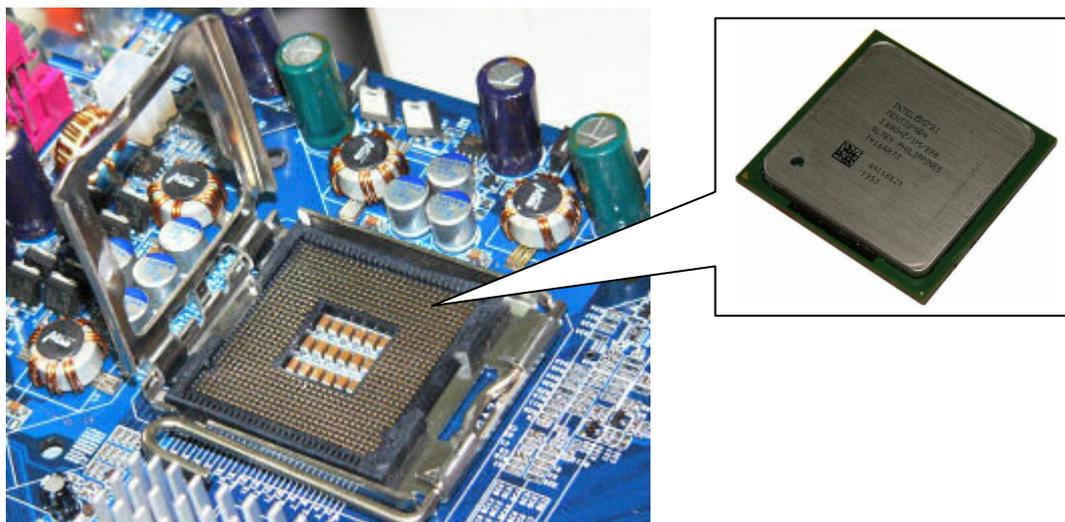


Figure 3 : Montage du composant LGA par connecteur « socket »

Compte tenu de la progression rapide et constante dans le domaine des composants haute densité, le nombre de transistors par puce se multiplie. Ce qui a pour conséquence d'augmenter la consommation des circuits intégrés et d'accélérer les phénomènes qui dégradent la qualité du signal.

Ces phénomènes apparaissent avec la haute densité des circuits imprimés. En effet le nombre de connexions par boîtier va jusqu'à plus de 1000 billes et avec un pas de plus en plus fin. Les problèmes de diaphonie entre les connexions s'amplifient tandis que le pourcentage de signaux critiques s'accroît. D'autres phénomènes sont dus aux vitesses élevées des horloges. Pour augmenter la rapidité des signaux et diminuer la puissance dissipée des composants due à la fréquence d'horloge, les circuits utilisent des tensions d'alimentation faibles avec une marge de bruit très petite. De plus les fronts montants des signaux sont de plus en plus raides et les temps de propagation ne sont plus négligeables dans un cycle d'horloge [B05].

Tous ces phénomènes électriques qui sont apparus avec l'évolution des circuits logiques imposent de prendre en compte de nombreux facteurs dans la réalisation des supports d'interconnexion.

II. LES SUPPORTS D'INTERCONNEXION STANDARD

Le circuit imprimé est l'exemple le plus courant de support d'interconnexion, mais le boîtier dans lequel est encapsulé un circuit intégré est lui aussi un support d'interconnexion. La densité d'un assemblage électronique dépend fortement de la densité de ses supports d'interconnexion. La largeur des lignes va ainsi définir le nombre de lignes conductrices par couche. Le nombre de couches nécessaire pour tracer un circuit dépend en premier lieu : des règles de tracé, de la possibilité ou non de croiser les liens de transmission et du nombre de fils qu'il est possible de faire passer entre deux billes d'un boîtier BGA [B11].

La difficulté consiste à interconnecter des circuits intégrés très denses sur des supports d'interconnexion dont la densité relative devient de plus en plus faible. De plus, les pas des plots de sortie d'une puce sont compris entre 150 et 250 μm , alors que les pas des billes du boîtier vont de 0,5 à 1,27mm.

Le procédé de réalisation d'un circuit imprimé se caractérise par l'empilage d'une combinaison de circuits bifaces et de pré-imprégnés. Les lignes conductrices des circuits imprimés sont généralement en cuivre et les diélectriques isolants sont réalisés avec un tissage de fibre de verre noyé dans une résine époxyde [B02]. On trouve également des matériaux non tramés, tels que le polytétrafluoroéthylène (PTFE) ou le polyimide. Pour fabriquer les circuits imprimés, on utilise des diélectriques entièrement recouverts de cuivre sur les deux faces (bifaces) et des diélectriques nus pour effectuer le raccord isolant entre deux bifaces. Ce cuivre est gravé chimiquement conformément aux lignes conductrices que l'on souhaite obtenir, après quoi les différentes couches sont empilées et pressées pour constituer le substrat final. Les pistes conductrices sont réalisées par un procédé soustractif. Il consiste à déposer sur toute la surface du cuivre, une couche de résine résistante à l'attaque chimique. Une photolithographie est effectuée afin que seuls les conducteurs que l'on veut réaliser soient recouverts de résine. Le circuit est alors soumis à une attaque chimique qui ne grave que le cuivre non protégé par la résine. Les différentes couches sont reliées par des trous d'interconnexion percés puis métallisés, que l'on appellera : vias. Enfin, une couche de vernis épargne et une couche de finition Nickel/or sont déposées sur le circuit. La première sert à éviter la formation de court-circuit, en empêchant la brasure utilisée pour le report des composants de s'étaler le long des conducteurs. La deuxième protège le cuivre des oxydations et facilite l'assemblage des composants en améliorant la mouillabilité de la plage de report.

La société BULL utilise des circuits imprimés très denses de 18 couches métalliques, comme le montre la Figure 4.

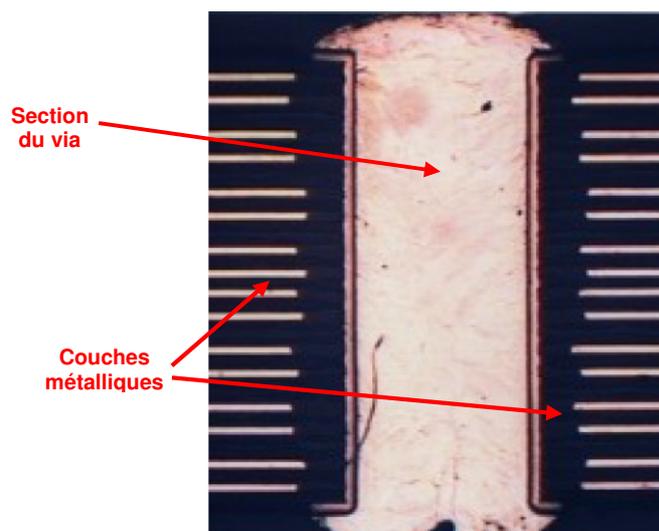


Figure 4 : Microsection au niveau d'un via d'un circuit imprimé 18 couches de la société BULL

Lors de la fabrication des supports d'interconnexion, la largeur des conducteurs doit être contrôlée car elle définit en partie l'impédance de la ligne de transmission.

Pour des circuits imprimés denses, dont l'épaisseur augmente avec le nombre de couches, il devient difficile de percer correctement des trous d'un petit diamètre. Ces trous sont percés mécaniquement, puis métallisés, permettant la connexion entre les différentes couches du circuit imprimé. Après le perçage du trou, une attaque chimique est effectuée pour nettoyer les résidus de résine présents sur ses parois. La métallisation est faite par une croissance électrolytique du cuivre, préalablement déposé chimiquement. Pour les plots de report des BGA, la difficulté est de pouvoir mettre des trous d'interconnexions entre les billes du boîtier. Ils doivent être suffisamment petits pour s'insérer entre les plots et suffisamment larges pour respecter les règles de faisabilité des fabricants de circuits imprimés. Pour avoir une métallisation correcte sur toute la paroi du trou, le rapport

profondeur du trou sur le diamètre doit être limité. Une valeur de 12 est relativement courante pour des circuits imprimés denses. L'état de l'art se situe aux environs de 16.

III. LES LIGNES DE TRANSMISSION

La transmission de données entre un émetteur et un récepteur nécessite une liaison sur un support d'interconnexion. La qualité de la transmission dépend essentiellement de ses caractéristiques électriques. Dans le cas des cartes électroniques, ces transmissions sont généralement assurées par des lignes de cuivre disposées dans un milieu diélectrique, comme nous l'avons vu précédemment. Aussi les performances électriques de la transmission dépendent de la géométrie du cuivre et des propriétés électriques du diélectrique. Les phénomènes de réflexion, l'atténuation du signal, le bruit et le déphasage sont à prendre en considération dans la définition des supports de transmission [B06]. L'intégrité du signal, qui transite sur ces supports, dépend principalement de ces paramètres. Pour mieux les appréhender, voici leur description.

III.1. LE PHENOMENE DE REFLEXION

Dans le cas des pistes d'un circuit imprimé mal terminées, c'est-à-dire qui présente une discontinuité d'impédance, des réflexions peuvent apparaître lorsque l'énergie d'un signal se réfléchit du composant récepteur vers le composant émetteur.

La réflexion du signal reconstituée sur la Figure 5 est très souvent rencontrée sur des lignes de transmission mal adaptées en impédance.

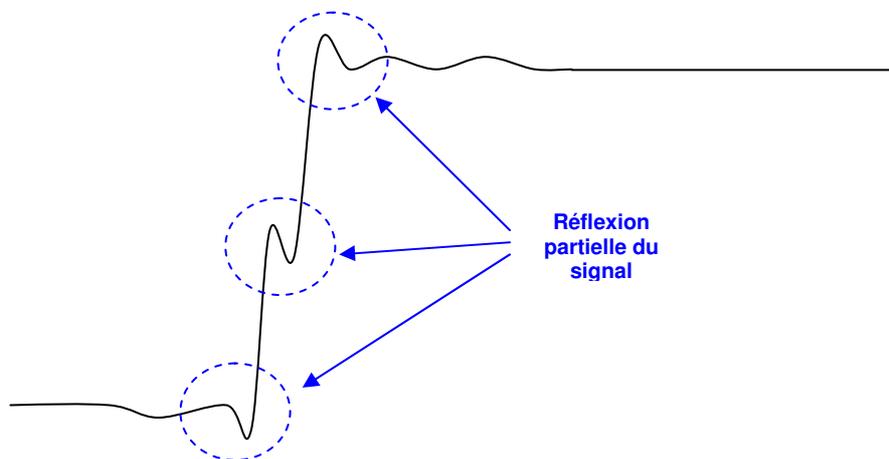


Figure 5 : Réflexion observable sur le front montant d'un signal reconstitué

Le front négatif de la réflexion peut passer sous la tension seuil du récepteur avant la reprise de la transition montante qui apparaît alors comme un second front montant. Selon le temps de maintien du signal d'entrée, ce parasite peut conduire à un état erroné. C'est pourquoi lors de la conception et la fabrication d'un circuit imprimé, les impédances des lignes sont parfois contrôlées afin de garantir une bonne adaptation en transmission et un signal le moins déformé possible. Toutes les discontinuités d'une ligne sont susceptibles d'établir des réflexions parasites. Elles sont générées par les connecteurs, les coupures de plan de masse et les vias. Les angles droits dans le tracé des lignes peuvent également engendrer des réflexions dans le signal. L'impédance d'une ligne se détermine en

fonction de la largeur et l'épaisseur du cuivre, ainsi que de la permittivité relative du matériau diélectrique et de son épaisseur. Il est donc important de contrôler ces paramètres lors de la caractérisation des diélectriques.

III.2. LE PHENOMENE D'ATTENUATION

Un canal de transmission atténue l'amplitude du signal qui le traverse. Le phénomène d'atténuation correspond à une perte d'énergie du signal pendant sa propagation sur le canal et s'accroît avec la longueur de celui-ci. La quantité d'énergie perdue dépend principalement de la géométrie des lignes, des pertes tangentielles du diélectrique, de la fréquence du signal et de la bande passante du système. En réalité, pour comprendre comment le canal de transmission affaiblit le signal, il faut analyser le spectre d'un signal rectangulaire. Dans la théorie, un signal rectangulaire peut se décomposer en série de Fourier sous la forme d'une somme de sinusoïdes d'ordre impaire et s'exprime selon l'Équation 1.

$$\text{Équation 1 : } f(t) = \frac{4A}{\pi} \left[\sin \omega t + \frac{1}{3} \sin 3\omega t + \frac{1}{5} \sin 5\omega t + \dots \right]$$

Aussi, un signal est parfaitement rectangulaire si tous les termes en sinus de la fonction précédente sont additionnés.

Mais dans la pratique, un support de transmission se caractérise par une bande passante limitée. Puisqu'il se comporte comme un filtre passe bas, il atténue fortement les fréquences hautes. Par conséquent, il ne peut pas transmettre parfaitement toutes les fréquences d'un signal. Ainsi en fonction de cette largeur de bande et des pertes tangentielles du diélectrique, certaines harmoniques du signal sont atténuées. La majeure partie de l'énergie d'un signal se concentre en dessous d'une fréquence limite qu'il faut alors déterminer. Enfin, le support de transmission doit être conçu de sorte que sa bande passante n'atténue pas plus de 3dB, les harmoniques du signal situées en dessous de cette fréquence limite. Les 3dB correspondent à la bande de fréquences dans laquelle la puissance du signal reçu est au pire égale à la moitié du signal émis. Pour des signaux rapides, par exemple les QPI d'Intel, on demande une atténuation maximum de 12dB.

La Figure 6 compare l'addition d'un grand nombre de termes en sinus (courbe bleu) pour lequel on a très peu d'atténuation et l'addition des quatre premiers termes en sinus (courbe rouge) pour lequel on a perdu toutes les harmoniques de rang supérieur à 7.

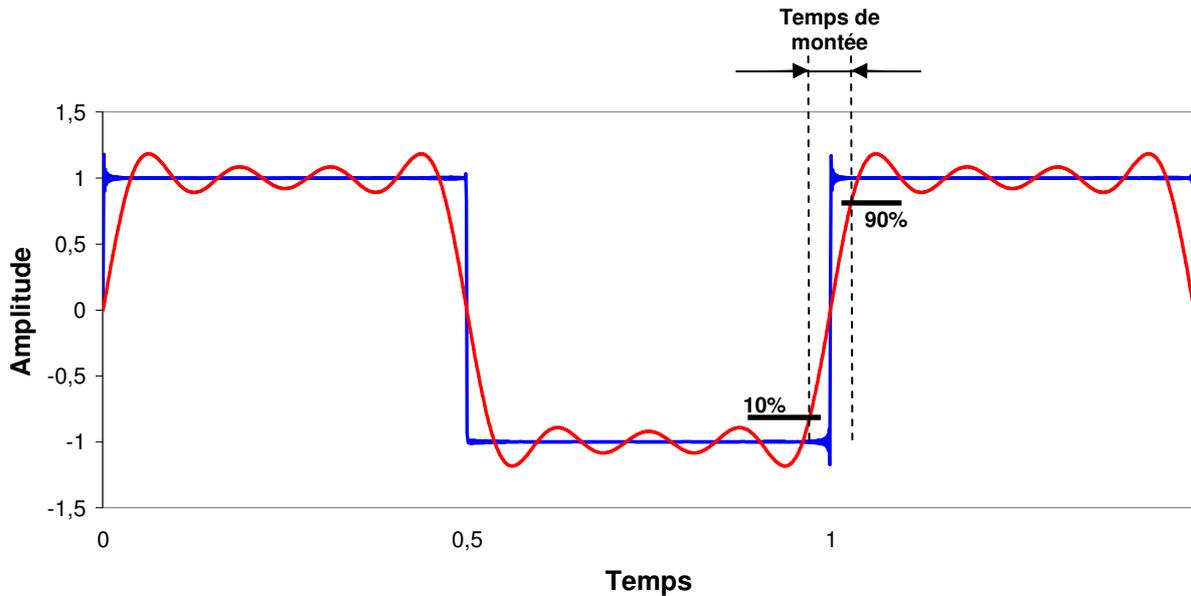


Figure 6 : comparaison d'un signal rectangulaire fortement atténué (rouge) et partiellement atténué (bleu)

On constate qu'avec seulement 4 harmoniques, le signal périodique rectangulaire est déformé et le temps de montée est fortement allongé. En fait, les composantes à hautes fréquences sont à l'origine de la raideur des fronts du signal [B33].

Pour définir le nombre d'harmoniques suffisant pour reconstituer un signal rectangulaire peu déformé et interprétable par le récepteur, il faut se référer à l'horloge sur laquelle est cadencé le débit des données. Dans le domaine des temps, la forme d'onde d'une horloge peut être décrite selon sa période, sa fréquence et son temps de montée. Typiquement, le temps de montée est mesuré entre 10% et 90% de la pente (courbe rouge). C'est à partir du temps de montée de l'horloge que l'on peut estimer la largeur de la bande passante suffisante pour reconstituer le signal.

$$\text{Équation 2 : } BP = \frac{0,35}{t_{\text{montée}}}$$

Avec BP la bande passante exprimée en Hz et $t_{\text{montée}}$ exprimé en seconde.

Les processeurs actuels distribuent des horloges qui peuvent atteindre des fréquences de travail de l'ordre de 2,5GHz, avec un temps de montée de 50ps. Cela implique que pour reconstituer un tel signal, la bande passante de la ligne de transmission ne doit pas atténuer les fréquences inférieures à 7GHz.

III.3. LE PHENOMENE DE DEPHASAGE

Le déphasage est le retard entre deux signaux. Il peut se trouver, par exemple, entre un signal de données et l'horloge de synchronisation des données. Ce phénomène dépend principalement de la distance de parcours du signal et du temps de propagation proportionnel à la racine carrée de la constante diélectrique du matériau. Pour des liaisons dont la longueur est critique, il peut être avantageux d'utiliser des matériaux à plus faible permittivité relative afin de réduire les bruits liés au couplage entre les lignes adjacentes et de réduire le temps de propagation (les

perturbations deviennent négligeables lorsque le temps de propagation le long d'une ligne est inférieur au temps de montée du signal).

III.4. LE PHENOMENE DE PUISSANCE ET DE BRUIT

Le fonctionnement d'un système informatique est caractérisé par la commutation synchrone d'un certain nombre de sorties [B27]. Chacune de ces sorties, en commutant, exerce un appel de courant sur la ligne qu'elle commande ; il s'ensuit un appel global important de courant au niveau du boîtier.

Par exemple, lorsque 40 sorties commutent 50 mA chacune en 1 ns, elles génèrent un front au niveau de l'alimentation de ce boîtier, égal à $\frac{dI}{dt} = 2$ (A/ns). A haute fréquence, l'inductance associée aux pistes de connexion du condensateur de découplage ainsi que l'inductance équivalente au boîtier ne sont pas négligeables et provoquent une chute de tension de valeur :

$$\text{Équation 3 : } V_{\Delta i} = L_{\text{equi}} \cdot \frac{dI}{dt} \quad V_{\Delta i} = 0,5v \text{ pour } L_{\text{equi}} = 0,25nH$$

Si la chute de tension était trop importante, les fonctions logiques seraient sous alimentées et ne fonctionneraient pas correctement [B34]. Pour minimiser les fluctuations de la tension d'alimentation causées par l'activation rapide du processeur, des condensateurs de découplage sont utilisés [B29]. Ils possèdent différentes capacités qui fournissent la quantité de courant suffisante lorsque les sorties des portes logiques commutent ensemble. On trouve d'abord les condensateurs qui disposent de gros réservoirs capacitifs physiquement localisés près de la source d'énergie régulée. D'autres condensateurs sont placés sur la carte afin de conditionner les différents rails d'alimentation et supprimer les bruits de commutation. Des condensateurs sont placés sur le boîtier du circuit en silicium et enfin quelques condensateurs sont disposés sur la puce elle-même. Plus le condensateur est proche de l'appel de courant et plus il est efficace car l'inductance parasite devient faible. Mais les capacités des condensateurs placés sur le boîtier sont très faibles et ne suffisent pas, à elles seules, pour combler les appels de courants. C'est l'association de plusieurs condensateurs de différentes capacités qui permettra d'obtenir un système de découplage fiable.

Ces condensateurs font office de source de courant à faible impédance et fournissent une capacité d'énergie pour répondre aux appels de courant du composant. D'autre part, la présence d'une capacité de découplage réduit la boucle effective de circulation du courant transitoire.

D'après l'Équation 3 on constate que plus l'inductance équivalente est élevée et plus la variation de tension est importante. Elle se répercute sur tous les circuits présents dans le boîtier et peut induire des erreurs logiques. Le bruit de commutation perturbe les lignes de transmission pendant quelques nanosecondes, ce qui augmente le temps de cycle de traitement du signal. Pour réduire la boucle de circulation du courant et obtenir ainsi une impédance équivalente la plus faible possible, les condensateurs sont placés le plus près possible des fonctions logiques [B35]. C'est pourquoi on trouve certains condensateurs placés directement sur la puce de silicium [B36].

Le découplage des composants à billes est généralement réalisé avec des condensateurs surfaciques en céramique (CMS). Pour réduire la boucle de circulation du courant, ces condensateurs sont placés au plus près des billes du BGA. Mais avec l'augmentation de la taille des boîtiers et du

nombre d'entrées et sorties des BGA, il devient difficile de placer les condensateurs près des billes. Alors plusieurs sociétés se sont regroupées et ont participé ensemble à l'élaboration d'une nouvelle technique permettant de minimiser les distances d'interconnexion [B30]. Cette technique consiste à placer les condensateurs de découplage à l'intérieur des circuits imprimés, directement sous le BGA [B31].

Ces condensateurs se présentent soit sous la forme de composants en céramique encastrés entre les couches de diélectrique, soit sous forme de films de diélectrique très minces, comme le montre la Figure 7.

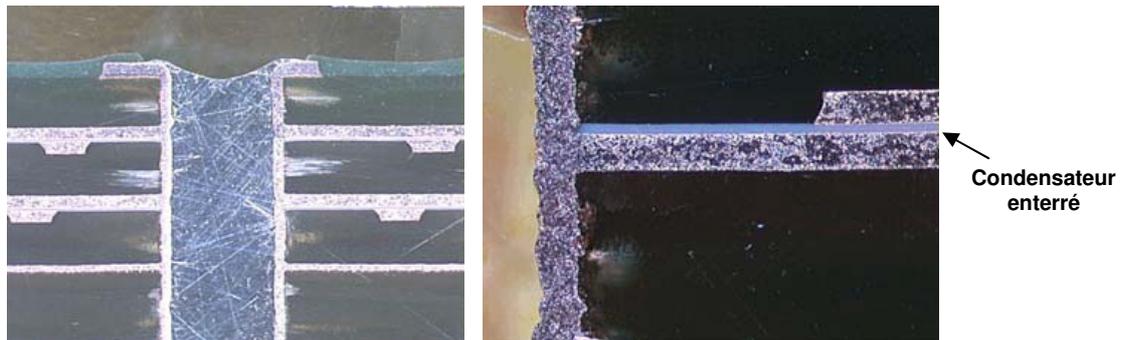


Figure 7 : Exemple de couches de condensateurs enterrés dans les circuits imprimés (Photo Merix et 3M)

Ainsi, comme le montre la Figure 8, les condensateurs enterrés permettent de diminuer la boucle de circulation du courant entre le découplage et le BGA [B47]. Les tracés bleu foncé et bleu clair représentent les plans d'alimentation entre le condensateur de découplage et les billes du BGA.

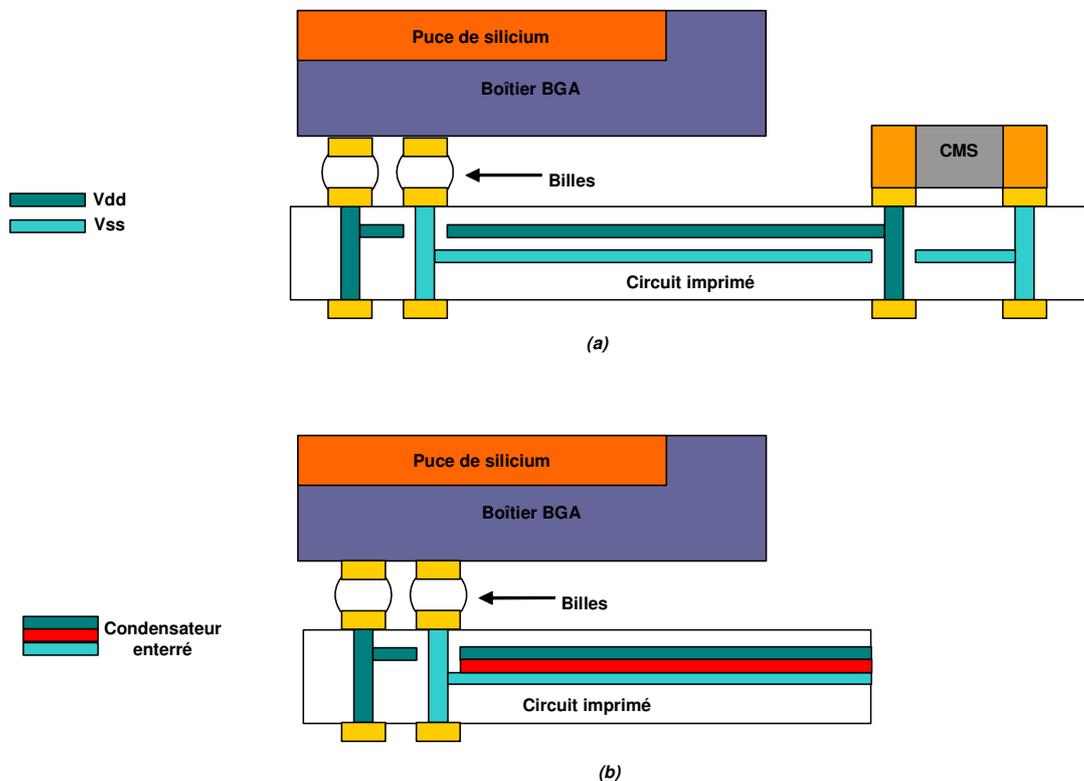


Figure 8: Description de la position des condensateurs de découplage : a) montés en surface ; b) enterrés dans le circuit imprimé (échelle non respectée)

Dans le cas du condensateur monté en surface (a), on constate que les connexions entre le condensateur et le BGA sont plus longues que dans le cas des condensateurs enterrés (b). Par conséquent, la distance de parcours du courant semblerait être plus petite avec des condensateurs enterrés [B44]. De plus l'utilisation des condensateurs enterrés diminue à la fois le nombre de composants montés en surface et le nombre de vias de connexion, ce qui améliore la qualité du signal [B45].

Actuellement, les plans d'alimentations tracés à l'intérieur des circuits imprimés standards sont séparés par des diélectriques dont la permittivité relative est de l'ordre de 4. Par conséquent, une faible capacité existe entre les deux plans qui se comportent comme les deux électrodes d'un condensateur. Pour augmenter la valeur de cette capacité, de nouveaux matériaux sont développés avec des épaisseurs de diélectrique très faibles et avec des permittivités relatives élevées [B46]. Une description de ces matériaux sera faite dans le chapitre III.

IV. LES TECHNOLOGIES DES CIRCUITS IMPRIMES AVEC CONDENSATEURS ENTERRES

Les diélectriques capacitifs se présentent sous la forme de bifaces, tout comme les stratifiés utilisés dans les circuits imprimés standard. C'est-à-dire qu'ils sont constitués d'un matériau diélectrique placé entre deux couches de cuivre. Pour concevoir un circuit imprimé avec des condensateurs enterrés, deux stratégies sont possibles. Soit ajouter les couches capacitives à un empilage déjà existant, soit remplacer les stratifiés dédiés aux plans d'alimentations par des feuilles capacitives. Pour cela le procédé de fabrication des circuits imprimés standard a été adapté aux diélectriques capacitifs afin de rendre leur manipulation la moins difficile possible.

Les matériaux utilisés pour fabriquer les composants discrets sont très minces. Aussi, les fabricants de circuits évaluent leur fabricabilité avant de les introduire en production. Pour cela les circuits imprimés sont soumis à des chocs thermiques (de 1 à 4 fois 10 secondes à 287°C) puis observés sur des coupes micrographiques. Des cycles thermiques (-65°C / +125°C) avec un contrôle constant de la continuité permettent une détection avancée des modes de défaillance des circuits imprimés. Leur faible tenue mécanique impose des contraintes de manipulation et de manutention spécifiques. Il est donc parfois nécessaire d'adapter les outillages et les équipements à ces problématiques. Le procédé de fabrication standard n'est pas compatible avec l'utilisation de tels matériaux, c'est pourquoi le fabricant a proposé un procédé adapté à ces matériaux, présenté ci-après. Il s'agit de réduire au minimum le temps de fabrication de la couche interne capacitive pour éviter sa casse.

Afin de respecter la symétrie par rapport au cœur de l'empilage, les circuits imprimés sont réalisés avec un nombre pair de couches capacitives, sauf si c'est le biface central. Dans le cas d'un circuit avec deux stratifiés capacitifs, ceux-ci sont traités de la même manière et en même temps [B42] et [B43]. Dans un premier temps, une pellicule de photorésist est déposée sur les deux couches de cuivre de chaque stratifié capacitif (phase 1). Un seul côté est ensuite gravé en fonction des motifs que l'on souhaite obtenir (phase 2), la première couche de cuivre gravé définit la première électrode du condensateur. Cette même couche est alors pressée avec le cœur de l'empilage, généralement conçu en matériau diélectrique de base (phase 3). Après le dépôt d'une pellicule de photorésist sur toute la surface du circuit, les faces extérieures de l'empilage sont alors gravées (phase 4) ; elles définissent la deuxième électrode des deux condensateurs.

Les différentes étapes de la fabrication d'un circuit imprimé avec des condensateurs enterrés sont décrites sur la Figure 9.

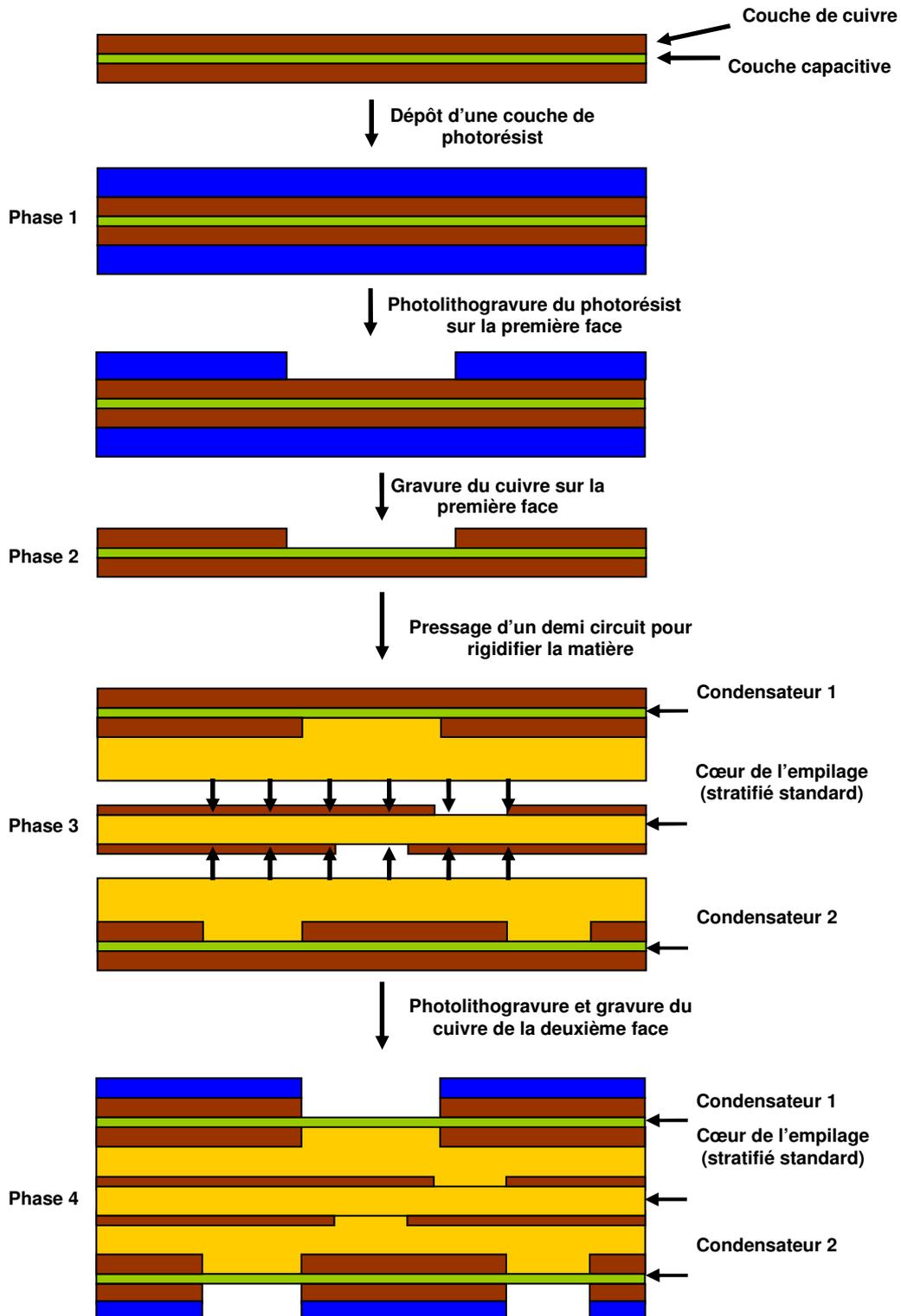


Figure 9 : Phases de fabrication d'un circuit imprimé avec condensateurs enterrés

Le résultat obtenu après la phase 4 donne une base de fabrication qu'il est nécessaire de laminier avec des pré-impregnés et une couche de cuivre externe.

V. CONCLUSION

Ce chapitre a rappelé les différents niveaux de connexions que l'on peut retrouver dans un système de transmissions de données informatiques. Il a permis d'aborder les problèmes liés à l'intégrité du signal qui sont apparus avec l'évolution des systèmes électroniques. Cette évolution, qui se traduit en partie par une augmentation des fréquences des horloges et un débit de plus en plus élevé, impose des contraintes plus sévères au niveau des supports d'interconnexions. De nouveaux matériaux diélectriques aux caractéristiques électriques très performantes ont alors été développés afin de répondre aux exigences des circuits imprimés.

Le nombre de couches utilisées pour des circuits imprimés destinés à des applications à haute densité d'intégration ne cesse d'augmenter. Aujourd'hui les circuits imprimés dédiés à des applications spécifiques comptent en moyenne 18 à 24 couches. Leurs épaisseurs deviennent critiques pour le perçage mécanique des trous de connexion. Les constructeurs de circuits imprimés imposent donc des règles de tracés spécifiques adaptées à leurs équipements et à leur procédé de fabrication. Quelques règles principales seront données dans les chapitres suivants.

Il est important que les matériaux diélectriques sélectionnés dans notre étude soient compatibles avec des procédés de fabrication industriels. Pour s'en assurer, le constructeur effectue différents essais de réalisation et ajuste son procédé de fabrication en fonction des propriétés mécaniques des nouveaux matériaux. Il en est de même pour les matériaux diélectriques capacitifs sur lesquels de nombreux essais de qualification ont été réalisés avant de les introduire en production.

CHAPITRE II

CARACTERISATION ELECTRIQUE DE NOUVEAUX MATERIAUX DIELECTRIQUES POUR CIRCUITS IMPRIMES HAUTE DENSITE

Afin de caractériser les matériaux diélectriques dédiés à la réalisation des circuits imprimés haute densité, un véhicule de test (TVH) a été défini. Après une description des matériaux sélectionnés par les partenaires du projet européen EMCOMIT, la spécification de la carte de test sera exposée, ainsi que les motifs de mesures qui la composent. Les résultats des observations réalisées sur des micro-sections seront ensuite présentés, afin de connaître les dimensions réelles des motifs. Les résultats des mesures électriques effectuées sur ces mêmes circuits seront enfin exposés, puis comparés avec les simulations.

I. DESCRIPTION DES MATERIAUX DIELECTRIQUES

Le premier objectif du présent travail vise principalement à caractériser les matériaux utilisés pour la réalisation des circuits rapides, c'est-à-dire pour des applications hautes fréquences. De plus, la directive RoHS de l'union européenne cherche à limiter l'utilisation des substances dangereuses, telles que le plomb, le mercure, le cadmium, le chrome hexavalent et les retardateurs de flamme PBB et PBDE.

L'étude électrique des matériaux, a pour but de déterminer leur constante diélectrique ainsi que leur angle de pertes et de connaître leur comportement en fonction de la fréquence. Cette constante diélectrique dépend principalement de la composition du substrat. En effet, les diélectriques sont constitués d'un assemblage multicouche de plusieurs matériaux. Il s'agit de trames de verre, de fibre de quartz, de carbone ou de kevlar avec des imprégnations de résine. La résine a une constante diélectrique qui peut varier de 2,5 à 3,2 et la trame de verre de 4,4 à 5,6. Certains matériaux seront plus riches en résine que d'autres. Ainsi, en augmentant le pourcentage de résine par rapport au pourcentage de fibres de verre, on diminue la constante relative au matériau, qui peut être estimée de la façon suivante :

$$\text{Équation 4 : } \epsilon_r = \frac{\epsilon_{r(\text{epoxy})} \cdot \%_{\text{epoxy}}}{100} + \frac{\epsilon_{r(\text{verre})} \cdot (100 - \%_{\text{epoxy}})}{100}$$

Où $\epsilon_{r(\text{epoxy})}$ représente la constante diélectrique de la résine époxy et $\epsilon_{r(\text{verre})}$ représente celle de la fibre de verre, comme l'indique la référence [B24].

Pour la caractérisation électrique des matériaux, nous supposons que le diélectrique est uniforme et homogène.

I.1. CHOIX DES MATERIAUX POUR LES APPLICATIONS STANDARDS

La réduction du plomb concerne au premier chef les assembleurs de composants électroniques. En effet ceux-ci ont dû remplacer l'alliage de brasage eutectique étain-plomb, par un autre type d'alliage à base d'étain, d'argent et de cuivre. Sa température de fusion se situe autour de 217°C, soit 30 à 35°C supérieure à celle de l'alliage Sn-Pb. Le matériau standard FR4 à haute température de transition vitreuse, qui est la solution la plus répandue dans l'industrie des circuits imprimés, ne permet pas de supporter les contraintes mécaniques des assemblages RoHs. La température de fusion de l'alliage étant très élevée, le matériau devient trop mou et se déforme considérablement sous l'effet de la dilatation. Cette déformation engendre une non planéité de la surface du circuit imprimé et augmente les risques d'un mauvais assemblage des composants. L'étude a débuté par la caractérisation de matériaux de substitution, qui garantissent aux circuits imprimés une bonne fiabilité des assemblages sans plomb et avec un coût compétitif.

Parmi les matériaux standards introduits pour le RoHs, on trouve le 679-F(J) et le 679-F(G) du fabricant Hitachi Chemical. Ces deux matériaux ont l'avantage d'avoir un coefficient de dilatation thermique faible dans les axes X/Y et Z, leur permettant de supporter de fortes contraintes thermiques. Plus cette propriété mécanique est faible et moins le matériau se dilate sous l'effet de la chaleur. Les composants BGA sont alors assemblés, avec une fiabilité mieux maîtrisée. De plus leur haute température de transition vitreuse leur permet de supporter des températures élevées. La fiabilité d'un assemblage de BGA sur circuit imprimé sera étudiée dans le chapitre IV, qui abordera également les problèmes liés à la déformation et à la planéité des circuits imprimés. Ces matériaux sont des solutions de substitutions aux matériaux standards ; leurs performances électriques sont dédiées à une électronique fabriquée en grande série. Les matériaux 679-F(J) et 679-F(G) ont une constante diélectrique et un angle de pertes élevés, car ils sont fabriqués à partir d'une résine avec « filler », ce qui diminue le coefficient de dilatation thermique. Le 679-F(G) est en plus un matériau sans composé Halogène.

I.2. CHOIX DES MATERIAUX POUR LES APPLICATIONS HAUTES VITESSES

Les systèmes d'interconnexions à hautes vitesses caractérisés par des débits de l'ordre de 1 à 10Gb/s sont étudiés et conçus pour assurer une bonne qualité du signal. Leurs substrats se caractérisent par une faible perte diélectrique relative ou angle de pertes ($\tan\delta$), réduisant l'atténuation du signal, et par une faible permittivité diélectrique ou constante diélectrique (ϵ_r), diminuant le temps de propagation du signal dans la ligne [B18]. De plus, l'utilisation d'un matériau à faible ϵ_r permet de diminuer l'épaisseur de la carte, tout en conservant les impédances des lignes. Les fabricants de circuits imprimés ont des difficultés à percer et métalliser correctement des vias à faible diamètre, lorsque la carte est très épaisse.

Les matériaux sélectionnés dans le programme EMCOMIT, dont les propriétés offrent de bonnes performances électriques, sont le *LX67Y* et le *FXII* proposés par Hitachi Chemical, ainsi que le matériau *SpeedboardC* de Gore corporation. Ces trois matériaux ont l'avantage d'avoir un ϵ_r et un $\tan\delta$ petits, ce qui devient nécessaire pour obtenir des systèmes d'interconnexions fiables et rapides. Les propriétés relatives aux matériaux sont directement liées à la combinaison de la fibre de verre et de la résine du substrat.

Tout d'abord, la tenue dimensionnelle de la feuille de diélectrique du *LX67Y* et du *FXII*, est réalisée à partir d'une trame de verre tissée, dont la constante diélectrique est très proche de celle d'un matériau classique, c'est-à-dire environ égale à 5,6. Cette fibre de verre est ensuite imbibée d'une résine époxy dont la constante diélectrique est environ égale à 2,5, ce qui est très faible par rapport à celle du FR4 standard. Ces matériaux sont disponibles en pré-imprégnés et en stratifiés. Ce sont également les solutions les plus chères des matériaux étudiés.

Une solution hybride a été étudiée : il s'agit d'un mixage entre le *SpeedboardC* et le FR4 standard [B07]. Le *SpeedboardC* est en Téflon expansé sans trame de verre, par conséquent sa constante diélectrique, qui est égale à 2,6, est très proche de celle d'une résine pure. Il est uniquement disponible sous forme de pré-imprégné et compense les performances électriques du stratifié en FR4 standard. Cette solution est intéressante financièrement, tout particulièrement lorsqu'il n'est pas nécessaire d'utiliser un matériau à haute performance sur toutes les couches d'un circuit imprimé. A titre d'exemple, une carte fonctionnelle peut être constituée de 24 couches métalliques, dont 6 destinées aux signaux rapides. Dans ce cas précis, il est judicieux de définir un empilage hybride, uniquement sur les couches à hautes vitesses.

I.3. PROPRIETES DES MATERIAUX SELECTIONNES

Le Tableau 1 et le Tableau 2 présentent respectivement les propriétés électriques puis mécaniques des matériaux sélectionnés par les partenaires du projet EMCOMIT. Elles proviennent des documents techniques fournis par les constructeurs.

Tableau 1 : Propriétés électriques des nouveaux matériaux diélectriques

Propriétés électriques	Unité	FR4 PCL 370	679-F(J)	679-F(G)	SpeedboardC	LX67Y	FXII
Constante diélectrique	-	4,6 à 1MHz 4,5 à 100MHz 4,4 à 1GHz 4,35 à 2GHz 4,3 à 5GHz	4,3 à 1GHz	4,8 à 1GHz	2,6 à 10GHz	3,6 à 1GHz 3,55 à 3GHz	3,44 à 1GHz 3,43 à 3GHz 3,42 à 5GHz 3,41 à 10GHz
Angle de pertes	-	0,015 à 1MHz 0,015 à 100MHz 0,016 à 1GHz 0,017 à 2GHz 0,019 à 5GHz	0,019 à 1GHz	0,019 à 1GHz	0,004 à 10GHz	0,005 à 1GHz 0,006 à 3GHz	0,003 à 1GHz 0,004 à 3GHz
Résistivité volumique	$\Omega \cdot \text{cm}$	$3,0 \times 10^7$	$5,0 \times 10^9$	$5,0 \times 10^9$	$6,5 \times 10^{16}$	$5,0 \times 10^8$	$5,0 \times 10^8$
Résistivité surfacique	Ω	$2,0 \times 10^9$	$5,0 \times 10^9$	$5,0 \times 10^9$	$8,3 \times 10^{16}$	$5,0 \times 10^8$	$5,0 \times 10^8$

Tableau 2 : Propriétés mécaniques des nouveaux matériaux diélectriques

Propriétés Mécaniques	Unité	FR4 PCL 370	679-F(J)	679-F(G)	SpeedboardC	LX67Y	FXII
Température de transition vitreuse (Tg)	$^{\circ}\text{C}$	175	175	200	220	190	175
CTE (axe Z)	ppm/ $^{\circ}\text{C}$	50 avant Tg 250 après Tg	40 avant Tg 220 après Tg	30 avant Tg 110 après Tg	70	55 avant Tg 300 après Tg	50 avant Tg 115 après Tg
CTE (axe X/Y)	ppm/ $^{\circ}\text{C}$	15 avant Tg 17 après Tg	14	14	60	16	15
Force d'arrachement	kg/m	1,25	1,0	1,1	1,0	1,2	-

D'une manière générale, on remarque d'après le Tableau 1, que les matériaux *SpeedboardC*, *LX67Y* et *FXII* ont une constante diélectrique plus petite et des pertes plus faibles que le matériau standard *FR4 PCL 370*. Le matériau *679-F(G)* a des propriétés électriques moins intéressantes que le matériau standard *FR4*. La solution RoHs de substitution au matériau *FR4* est le matériau *679-F(J)*, leurs propriétés électriques étant proches.

II. THEORIE D'EXTRACTION DES PROPRIETES DES MATERIAUX

Pour un grand nombre de matériaux, les propriétés électriques, tels que la constante diélectrique et l'angle de pertes, sont connues pour une fréquence donnée, comme on peut le constater dans le Tableau 1. L'ambition de ce travail est d'étudier le comportement fréquentiel des matériaux sélectionnés et plus particulièrement connaître la variation de la constante diélectrique et de l'angle de pertes, en fonction de la fréquence. Ce paragraphe a pour objectif d'établir une méthode permettant d'extraire les propriétés électriques d'un matériau à partir de lignes de transmission.

Dans un premier temps, nous verrons comment modéliser une ligne de transmission, ensuite nous aborderons la caractérisation des matériaux, d'abord dans le domaine temporel et enfin dans le

domaine fréquentiel. Des simulations seront réalisées à l'aide du logiciel HSpice version X_2005.09_SP1 développé par la société Synopsys, pour illustrer la théorie d'extraction des propriétés électriques des matériaux.

II.1. MODELISATION DES STRIPLINES ET DES MICROSTRIPS

Pour pouvoir interpréter les résultats, il est important de rappeler quels sont les éléments qui constituent une ligne de transmission. Les pistes des circuits imprimés sont réalisées comme des lignes de transmission, en utilisant des structures microstrips ou striplines. Ces structures sont des lignes déséquilibrées, c'est-à-dire que la section de la piste du signal, est différente de celle du plan de masse de retour [B03]. La Figure 10 représente les structures des lignes en striplines et la Figure 11 représente les structures des lignes en microstrips.

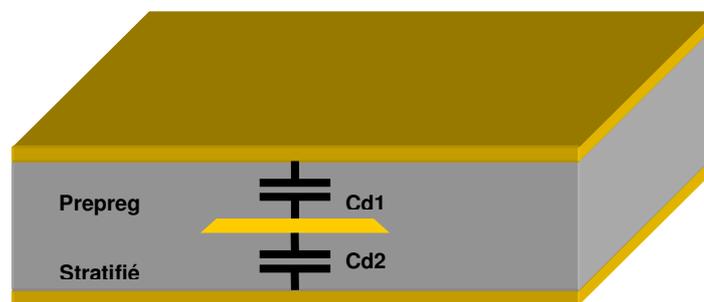
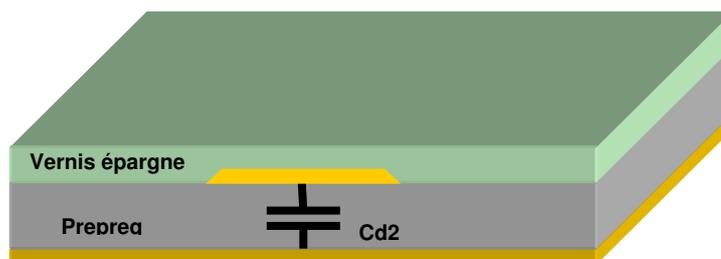
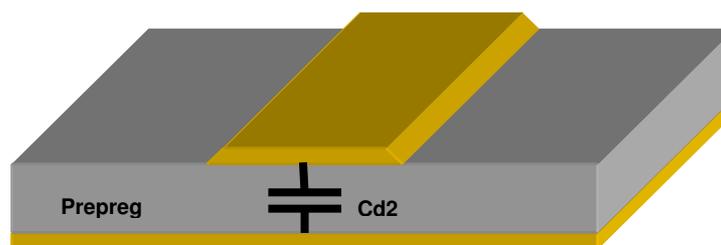


Figure 10 : Représentation de la section d'une ligne stripline centrée

Le stripline (Figure 10) est formé d'une piste conductrice enveloppée dans un milieu diélectrique et entre deux plans de référence. Il existe deux variantes, la structure stripline symétrique pour laquelle la piste est centrée entre les deux plans de référence et la structure asymétrique dans laquelle la piste est plus proche d'un plan que de l'autre.



(a)



(b)

Figure 11 : Représentation de la section d'une ligne microstrip avec (a) et sans (b) vernis épargne

Le microstrip est constitué d'une piste de transmission, séparée d'un plan de masse conducteur par un matériau diélectrique. Il existe trois variantes, le microstrip de surface (Figure 11_b), le microstrip en couche interne et le microstrip enrobé d'un vernis épargne (Figure 11_a).

Dans notre étude, seules les structures de ligne en stripline, microstrip avec vernis épargne et microstrip sans vernis épargne ont été étudiées, aussi nous n'avons pas représenté la structure microstrip en couche interne.

Le procédé de fabrication des circuits imprimés prend en considération le contrôle des largeurs des conducteurs, ainsi que les épaisseurs des diélectriques. Il est primordial de respecter ces contraintes, pour obtenir les impédances des lignes de transmission attendues.

En effet, une ligne de transmission peut se modéliser par une succession infinie de quadripôles identiques. Soit le quadripôle élémentaire de la Figure 12 :

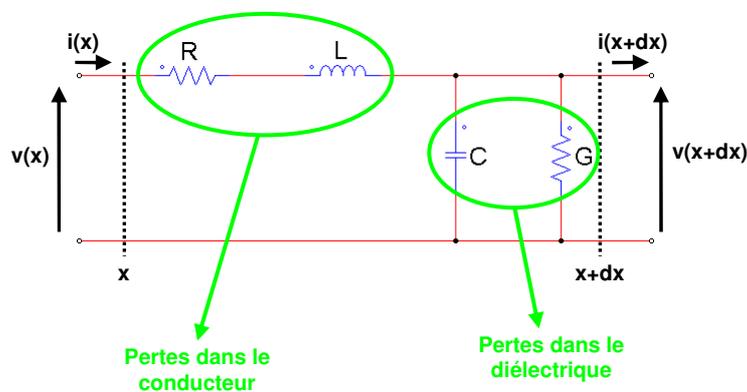


Figure 12 : Modélisation d'une ligne de transmission

Les éléments de la ligne se répartissent selon deux types de pertes :

- Les pertes dans le conducteur
- Les pertes dans le diélectrique

Les conducteurs qui constituent la ligne opposent au passage du courant une certaine résistance d'où un élément R. Elle ne dépend pas des propriétés électriques des matériaux diélectriques, mais exclusivement de la géométrie du conducteur et de sa résistivité. En basses fréquences, la résistance du conducteur se calcule de la façon suivante :

$$\text{Équation 5 : } R = \rho \cdot \frac{l}{S}$$

- R est la résistance de la ligne en ohm [Ω]
- ρ est la résistivité en ohm-mètre [$\Omega \cdot m$] ($\rho = 1/\sigma$)
- l est la longueur de la ligne en mètre [m]
- S est la section de la ligne en mètre carré [m^2]

En hautes fréquences, un effet électromagnétique repousse les lignes de courant vers la surface du conducteur, appelé aussi « effet de peau ». La section ainsi parcourue par le courant diminue et la résistance augmente. Ainsi à partir de 100kHz, la résistance se détermine en fonction de :

$$\text{Équation 6 : } R = \sqrt{\frac{\mu_0 \mu_r}{\pi \sigma}} \frac{\sqrt{f}}{S}$$

- μ_0 est la perméabilité du vide [H/m] ($\mu_0 = 4\pi \cdot 10^{-7}$)
- μ_r est la perméabilité magnétique ($\mu_r = 1$)
- f est la fréquence en Hertz [Hz]

Les conducteurs présentent également une inductance, car tout courant qui les parcourt crée un champ magnétique au tour du conducteur, d'où un élément L.

La conductance G par unité de longueur caractérise les pertes diélectriques le long de la ligne. Pour les lignes de transmission, elle dépend de l'angle de pertes des isolants.

De plus, la ligne est couplée à une armature séparée par un diélectrique, il existe donc entre les deux conducteurs, une capacité de couplage C.

On peut alors retrouver l'équation des télégraphistes relative à la tension :

$$\text{Équation 7 : } \frac{\partial^2 v(x)}{dx^2} = (R + jL\omega)(G + jC\omega) \cdot v(x) = \gamma^2 \cdot v(x)$$

Où γ est la fonction de propagation.

La résolution de l'équation différentielle conduit à une solution de la forme $v(x) = A \cdot e^{-\gamma x} + B \cdot e^{+\gamma x}$, correspondant à la superposition d'une onde incidente et d'une onde réfléchie.

Pour un mode de propagation transverse électromagnétique d'une ligne de transmission, le rapport de tension et courant est constant et représente l'impédance caractéristique de la ligne, qui se traduit par [B20] :

$$\text{Équation 8 : } Z_c = \sqrt{\frac{R + j\omega L}{G + j\omega C}}$$

Les lignes sont d'abord caractérisées dans le domaine temporel, puis dans le domaine fréquentiel. L'extraction des propriétés du diélectrique à partir de ces différentes méthodes, permet de corréler les résultats obtenus et de contrôler la reproductibilité des valeurs.

II.2. CARACTERISATION DANS LE DOMAINE TEMPOREL

Une caractérisation dans le domaine temporel est effectuée afin de mesurer le temps de propagation et l'impédance caractéristique de la ligne [B08] et [B09]. La constante diélectrique du matériau est ensuite calculée en fonction de la vitesse de propagation et la longueur de la ligne. La mesure est réalisée à l'aide d'un réflectomètre, qui génère une tension échelon $e(t)$, à travers une impédance interne $Z_0=50\Omega$. La tension attaque une ligne d'impédance caractéristique Z_c de longueur L.

Le coefficient de réflexion en entrée de la ligne est $\rho_0 = \frac{Z_0 - Z_c}{Z_0 + Z_c}$. La ligne mesurée par le réflectomètre peut être modélisée de la façon suivante :

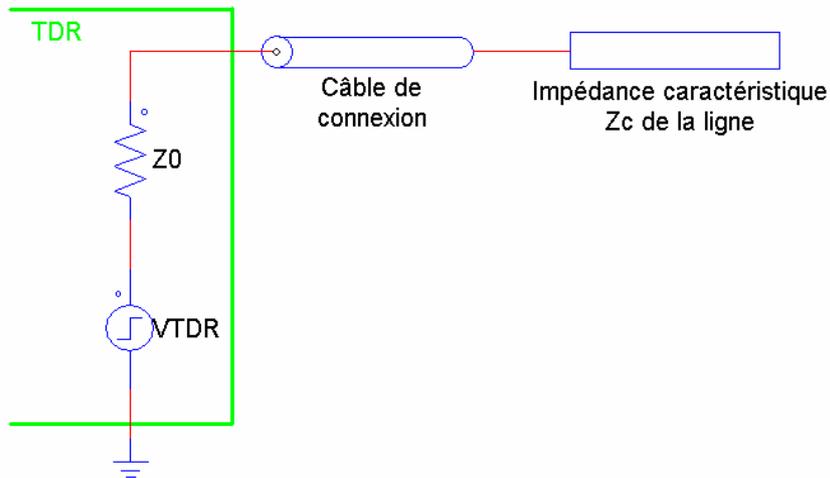


Figure 13 : Configuration de la mesure de l'impédance caractéristique d'une ligne, à partir du TDR.

Au niveau du réflectomètre, un déphasage est induit par le câble de connexion, considéré comme une ligne 50Ω parfaite et sans perte. La Figure 14 montre le résultat attendu pour une ligne de longueur 12cm, dans un matériau de permittivité diélectrique relative de 4.

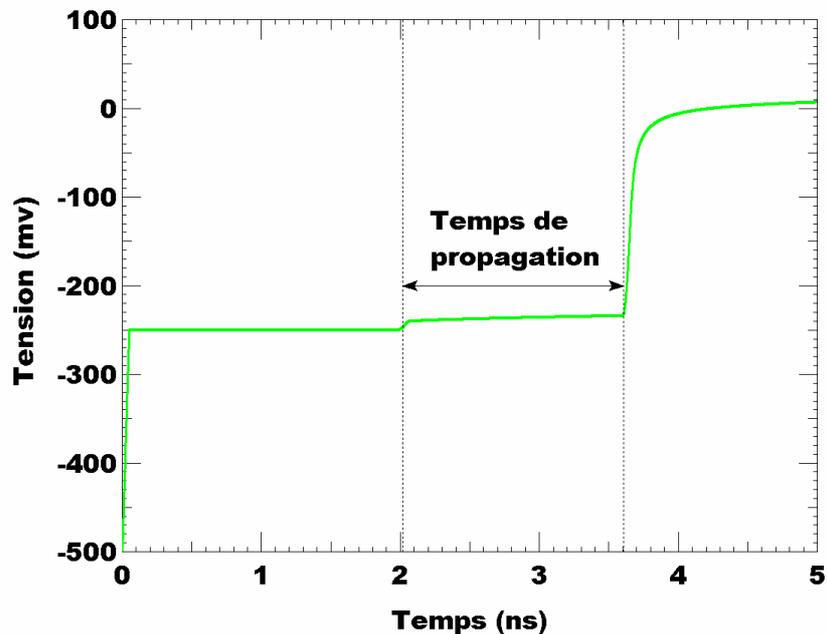


Figure 14 : Simulation de relevé obtenu au réflectomètre pour une ligne stripline.

Pour le temps (t) compris entre 0 et 2ns, l'onde se propage dans le câble qui est adapté 50Ω et sans perte. Par conséquent aucune réflexion n'est mesurée et la tension reste constante.

La propagation de l'onde se poursuit dans la ligne d'impédance caractéristique Z_c , qui est supérieure à 50Ω : l'onde est alors partiellement réfléchi.

A l'instant $t=2,8\text{ns}$, le signal est totalement réfléchi en bout de ligne et à $t=3,6\text{ns}$, la réflexion de l'onde est revenue en début de ligne. Aussi, pour le calcul de la vitesse de propagation, il faudra considérer un aller et un retour du signal dans la ligne.

Dans un stripline, la vitesse de propagation dépend exclusivement des propriétés des matériaux qui l'entoure et est donnée par :

$$\text{Équation 9 : } v = \frac{c}{\sqrt{\epsilon_r \mu_r}}$$

- v est la vitesse de propagation [m/s]
- ϵ_r est la constante diélectrique du matériau
- μ_r est la perméabilité magnétique ($\mu_r = 1$)
- c est la célérité, c'est-à-dire la vitesse de propagation de la lumière dans le vide [m/s] ($c=3 \times 10^8$ m/s)

Comme nous l'avons vu précédemment, le temps de propagation de l'onde mesurée correspond à un aller et un retour du signal dans la ligne. Aussi la distance parcourue par l'onde est égale à deux fois la longueur de la ligne.

Il est alors possible de calculer la valeur de la constante diélectrique à partir de l'équation :

$$\text{Équation 10 : } \epsilon_r = \left(\frac{c \cdot t_p}{2L} \right)^2$$

- L est la longueur de la ligne [m]
- t_p est le temps de propagation dans la ligne [s]

Dans la réalité, chaque extrémité de la ligne stripline est terminée par un via, qui ajoutent à la mesure un effet capacitif et inductif qui augmente les pertes [B04]. Si cet effet est non négligeable, il peut créer des incertitudes dans le calcul de la constante diélectrique. Aussi, en supposant que les vias sont identiques à chaque ligne, il est possible de minimiser l'incertitude du résultat en éliminant l'effet du via. Pour cela, nous calculerons la différence des temps de propagation mesurée (t_{p1} et t_{p2}) sur des lignes de longueurs différentes (L_1 et L_2), comme l'explique la publication [B19]. Ainsi l'Équation 10 devient :

$$\text{Équation 11 : } \epsilon_r = \left[\frac{c \cdot (t_{p1} - t_{p2})}{2(L_1 - L_2)} \right]^2$$

La caractérisation du matériau dans le domaine temporel, permet de connaître la valeur de la constante diélectrique d'un matériau, pour une fréquence fixe. Le travail de thèse repose sur l'étude du comportement des matériaux pour différentes fréquences. Aussi une caractérisation dans le domaine fréquentiel a été mise en œuvre.

II.3. CARACTERISATION DANS LE DOMAINE FREQUENTIEL

Une caractérisation dans le domaine fréquentiel est maintenant réalisée, afin de connaître le coefficient de réflexion ainsi que les pertes totales de la ligne de transmission. Ces paramètres serviront à extraire la constante diélectrique et l'angle de pertes du matériau. Les mesures sont effectuées à l'aide d'un analyseur de réseau. Dans ce cas, la ligne est attaquée par un générateur de tension sinusoïdale d'impédance 50Ω et est chargée par une impédance de 50Ω , à chaque fois par l'intermédiaire de câbles adaptés 50Ω . Ainsi pour la mesure des paramètres S_{xx} , on retrouve la configuration de la Figure 15, où le point P1 correspond à l'émetteur de l'analyseur de réseau et le point P2 correspond à son récepteur.

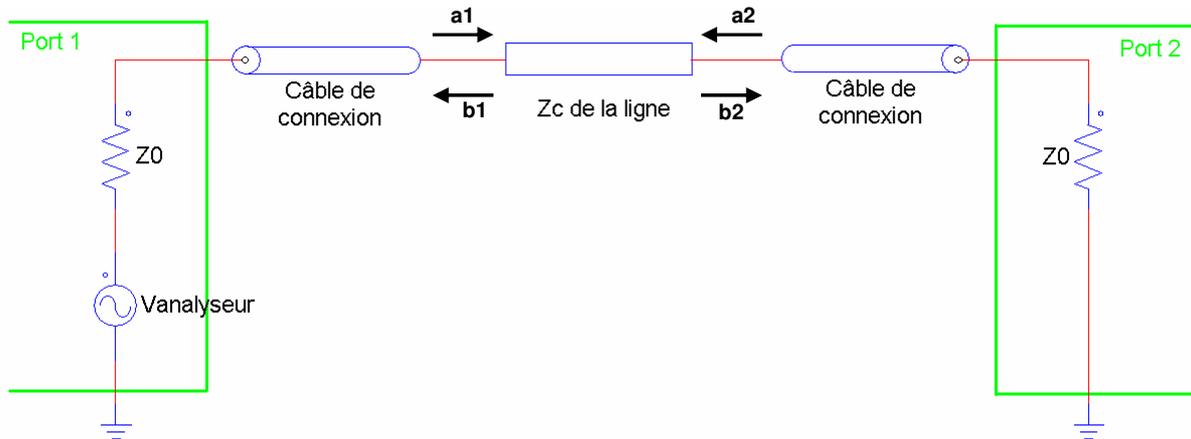


Figure 15 : Configuration de la mesure des paramètres S_{11} et S_{21} d'une ligne stripline

Les paramètres S_{xx} sont définis par :

$$\begin{aligned} b_1 &= S_{11} \cdot a_1 + S_{12} \cdot a_2 \\ b_2 &= S_{21} \cdot a_1 + S_{22} \cdot a_2 \end{aligned}$$

Compte tenu de la configuration de mesure des paramètres S_{11} et S_{21} , le terme a_2 est nul et on se retrouve directement dans le cas : $S_{11} = \left. \frac{b_1}{a_1} \right|_{a_2=0}$ et $S_{21} = \left. \frac{b_2}{a_1} \right|_{a_2=0}$. Pour mesurer les paramètres

S_{22} et S_{12} , l'analyseur de réseau inverse les deux ports, le port 2 devient l'émetteur et le port 1 devient le récepteur. Comme la ligne est supposée symétrique, $S_{11}=S_{22}$ et $S_{12}=S_{21}$. La Figure 16 montre un exemple des paramètres S_{11} (dB) et S_{21} (dB), simulés à partir d'une ligne de longueur 4cm, dans un milieu de permittivité diélectrique relative (ϵ_r) de 4 et d'angle de pertes ($\tan\delta$) 0,02.

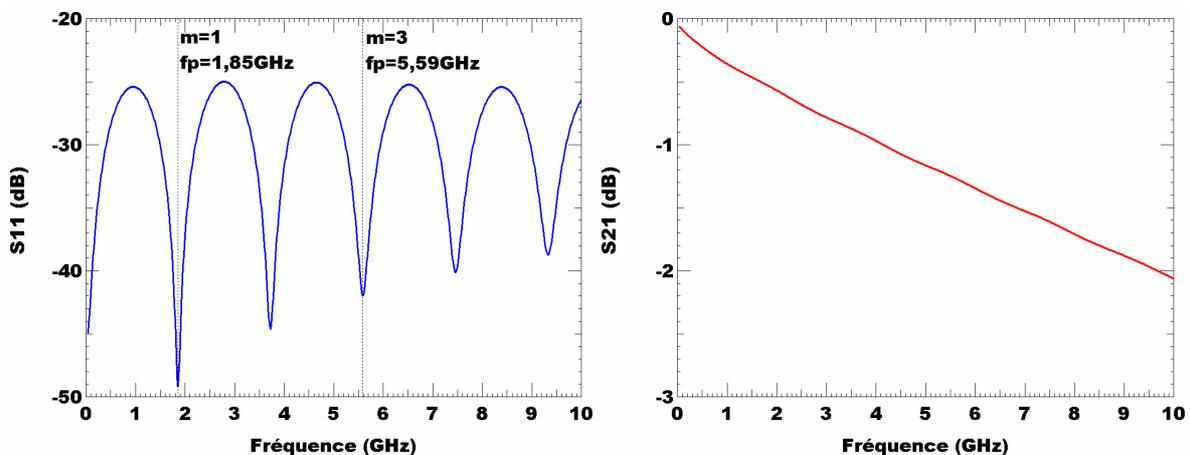


Figure 16 : Simulation des paramètres S_{11} (dB) et S_{21} (dB) pour une ligne stripline

Les minima de la courbe $S_{11}(\text{dB})$ apparaissent à des fréquences spécifiques. Ainsi dans le cas d'une ligne sans perte, on a $e^{-2\gamma L} = 1$ soit $2\beta L = 2m\pi$ (avec $m=1, 2, 3, \dots$) c'est-à-dire $f_p = \frac{c \cdot m}{2L\sqrt{\epsilon_r}}$.

Le coefficient de propagation s'écrit en nombre complexe $\gamma = \alpha_t + j\beta$, où α_t représente le coefficient d'atténuation des pertes totales et β le facteur de phase du signal.

Pour chaque minimum, une estimation de la permittivité diélectrique du matériau en fonction de la fréquence peut se calculer avec :

$$\text{Équation 12 : } \epsilon_r(f) = \left(\frac{c \cdot m}{2L \cdot f_p} \right)^2$$

De la même manière que dans le domaine temporel, des incertitudes apparaissent dues aux pertes dans les vias [B25]. En supposant que les vias sont identiques, il est possible d'éliminer l'effet qu'ils ajoutent à la mesure. Dans le domaine fréquentiel, retirer l'effet des vias sur les paramètres S_{xx} fait appel à des manipulations matricielles complexes. Aussi, pour des fréquences spécifiques, les calculs peuvent se simplifier. Pour cela, la méthode consiste à mesurer des lignes de longueurs différentes et calculer la différence des phases du paramètre S_{21} mesurée sur les deux lignes. Le passage à zéro de la différence des deux phases, indique les fréquences spécifiques et la valeur à attribuer à la variable m , pour calculer la partie réelle de la constante diélectrique [B19]. Ainsi, l'Équation 12 devient :

$$\text{Équation 13 : } \epsilon_r(f) = \left[\frac{c \cdot m}{2(L_2 - L_1) \cdot f_p} \right]^2$$

Nous allons maintenant extraire l'angle de pertes du diélectrique. La courbe $S_{21}(\text{dB})$ de la Figure 16 représente les pertes totales simulées dans la ligne de longueur 4cm, dans un milieu diélectrique avec un ϵ_r de 4 et un $\tan\delta$ de 0,02. Les pertes totales peuvent être décomposées en pertes dans le diélectrique et pertes par radiation. Dans le cas d'une ligne de transmission à faibles pertes, les pertes totales peuvent être exprimées par leur simple addition [B26] :

$$\text{Équation 14 : } \alpha_T = \alpha_c + \alpha_d \quad (\text{dB/m})$$

Où le terme α_T représente les pertes totales, α_c les pertes dans le conducteur et α_d les pertes dans le diélectrique. Le paramètre S_{21} des lignes L_1 et L_2 permet de déterminer les pertes totales, données par :

$$\text{Équation 15 : } \alpha_T(f) = \frac{1}{L_2 - L_1} \left[20 \log(|S_{21}|_{L_1}) - 20 \log(|S_{21}|_{L_2}) \right] \quad (\text{dB/m})$$

Les pertes dans le conducteur sont calculées, une méthode approximative est employée pour des lignes de type stripline [B12] et [B13]. Ainsi les pertes dans le conducteur se calculent à partir de la relation :

$$\text{Équation 16 : } \alpha_c(f) = 20 \log(e) \frac{4 \cdot R_s \cdot \epsilon_r \cdot Z_c \cdot A}{377^2 \cdot (b-t)} \quad (\text{dB/m})$$

- R_s est la résistance de surface du cuivre $R_s = \sqrt{\pi \cdot f \cdot \mu_0 \cdot \rho}$ avec la perméabilité magnétique $\mu_0 = 4\pi \cdot 10^{-7}$ [H/m]
- Z_c est l'impédance caractéristique des deux lignes
- A est une constante $A = 1 + \frac{2w}{b-t} + \frac{1}{\pi} \cdot \frac{b+t}{b-t} \ln\left(\frac{2b-t}{t}\right)$
- w est la largeur de la ligne du conducteur [m]
- t est l'épaisseur de la ligne du conducteur [m]
- b est l'épaisseur du diélectrique [m]

La résistance de surface du cuivre prend en considération l'effet de peau, qui repousse la conduction dans la pellicule externe du conducteur. L'intérieur du conducteur ne participe alors pas à la conduction et la résistance apparente augmente puisque la section effective diminue.

Ces équations sont valides si les conditions suivantes sont respectées : $w/(b-t) > 0,35$ et $t/b < 0,25$.

Pour un mode de transmission de type transverse électromagnétique (TEM), les pertes dans le diélectrique sont données par l'équation [B21] :

$$\text{Equation 17 : } \tan \delta(f) = \frac{(\alpha_T - \alpha_c) \cdot \lambda_0}{20 \log(e) \cdot \sqrt{\epsilon_r} \cdot \pi}$$

Où λ_0 est la longueur d'onde dans le vide, $\lambda_0 = \frac{c}{f}$.

Les méthodes d'extraction de la constante diélectrique et de l'angle de pertes ont été vérifiées et validées à partir des paramètres S_{11} et S_{21} simulés. Ces méthodes seront, par la suite, adoptées pour extraire les propriétés des matériaux à partir des résultats de mesures. Les géométries des lignes striplines et microstrips ont été observées sur des micro-sections.

III. VEHICULE DE TEST POUR LA CARACTERISATION DE MATERIAUX DIELECTRIQUES

Le premier objectif de la thèse est de caractériser les nouveaux matériaux diélectriques décrits précédemment. Pour cela, un véhicule de test (TVH) a été défini pour permettre de qualifier individuellement les performances électriques de chaque matériau et de pouvoir juger leur aptitude à supporter des températures élevées, lors de la fabrication du circuit imprimé. C'est à partir des résultats de mesures effectuées sur les motifs définis par IMEC et BULL qu'il a été possible de quantifier les propriétés électriques des matériaux, telles que les pertes et la constante diélectrique. La description détaillée du véhicule de test, ainsi que ses motifs vous sont présentés.

III.1. SPECIFICATION DU VEHICULE DE TEST TVH

La taille du circuit imprimé a été définie pour être compatible avec la table de mesure de BULL et IMEC. Les circuits ont été fabriqués dans un panneau de type F4 (210x297mm). Les véhicules de test TVH ont une surface totale identique de 160x160mm et une surface utile de 155x155mm. Les règles de tracé sont établies en fonction des contraintes technologiques du procédé de fabrication de Maine CI. La Figure 17 est une représentation du masque utilisé pour la réalisation des véhicules de test dans le flan F4.

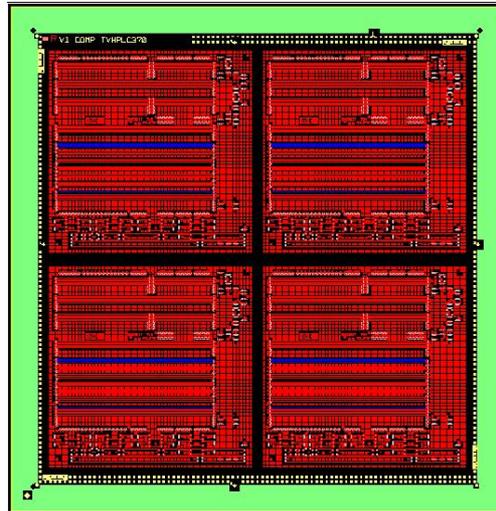


Figure 17 : Représentation de la mise en flan F4 des quatre véhicules de test TVH

III.1.1. REGLES DE TRACE ET EMPILAGE DU CIRCUIT IMPRIME

Pour caractériser les matériaux, des motifs de test ont été définis en fonction de la technologie de réalisation de Maine CI. Ces règles déterminent la faisabilité des circuits imprimés industriels et sont exprimées en termes de taille minimale de via et de pastille, ainsi que la largeur minimale des lignes conductrices et de leur isolement. Les caractéristiques de fabrication sont répertoriées dans le Tableau 3.

Tableau 3 : Règles de tracés utilisées pour la réalisation du véhicule de test

Diamètre du trou percé	150μm
Pastille du trou	150μm+250μm
Traits et isolements externes	75μm / 85μm
Traits et isolements internes	60μm / 80μm

Le véhicule de test TVH est construit sur un empilage de huit couches de cuivre. Quatre d'entre elles sont dédiées à la réalisation des motifs de test et les quatre autres servent de plan de référence (GND). Pour fabriquer le circuit TVH, Maine CI utilise trois bifaces qui sont laminés et pressés avec quatre pré-imprégnés. Un éclaté de l'empilage du véhicule de test est donné par la Figure 18.

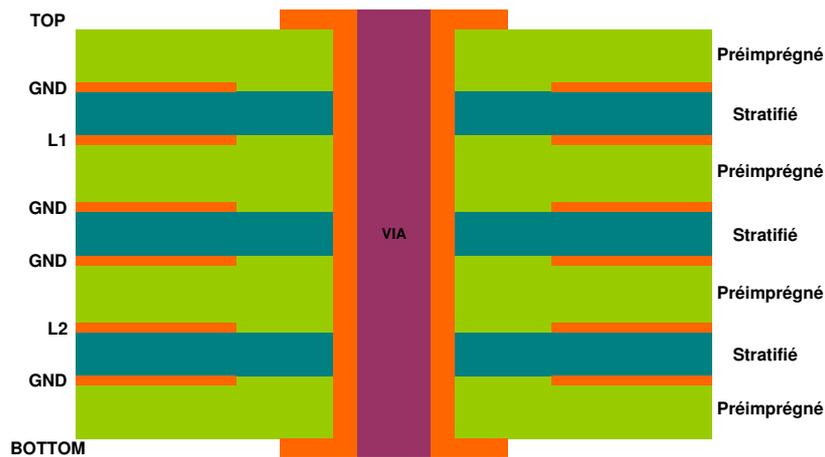


Figure 18 : Section de l'empilage des huit couches du véhicule de test TVH

Les couches de cuivre placées aux extrémités de l'empilage sont utilisées pour la réalisation des lignes microstrips, tandis que les couches internes L1 et L2 sont affectées aux lignes striplines. Les motifs sont identiques sur les quatre couches logiques, seule leur orientation est différente. En effet, les lignes droites sont orientées dans l'axe X sur les couches Top et L1 et dans l'axe Y sur les couches L2 et Bottom.

Enfin, les couches externes sont recouvertes d'un vernis épargne avec des ouvertures au niveau des vias et des extrémités des lignes de test, de manière à les rendre accessibles lors des mesures. Ce vernis épargne a une constante diélectrique non négligeable qu'il faut prendre en compte pour le calcul des impédances des microstrips.

III.1.2. DESCRIPTION DES MOTIFS DE TEST

Les motifs de caractérisation sont des lignes striplines et microstrips simples, de différentes longueurs et de différentes largeurs, que l'on retrouve sur les quatre couches logiques. La Figure 19 est un exemple de motifs de test avec et sans via. Pour comparer efficacement les résultats obtenus sur les différents matériaux diélectriques, le tracé des lignes est commun à tous les véhicules de test. Des microstrips et striplines de longueur 4,5cm, 7cm et 12cm sont implantés dans les couches externes et internes du circuit. Pour chaque longueur, les lignes sont réalisées avec des largeurs de 75 μm , 90 μm , 108 μm , 130 μm , 150 μm et 175 μm . Un véhicule de test regroupe au total, 144 lignes réparties sur l'ensemble des couches. L'impédance caractéristique de ces lignes dépend de la section du conducteur, des épaisseurs du matériau et aussi de sa constante diélectrique. Par conséquent les épaisseurs des diélectriques utilisées ont été adaptées dans le but d'obtenir des impédances caractéristiques comparables pour chaque matériau étudié. Une impédance nominale de 50 Ω a été ciblée avec une largeur de ligne de 108 μm . Chaque extrémité des lignes est reliée à une empreinte compatible avec les sondes Cascade ACP (Air Coplanar Probe), GSG (Masse Signal Masse), au pas de 250 μm , qui permet la connexion aux différents appareils de mesures (réflectomètre et analyseur de réseau). Ces motifs permettront de déterminer la résistance du cuivre, l'impédance des lignes et les paramètres intrinsèques aux matériaux. De plus, plusieurs lignes externes ont été épargnées de vernis, pour permettre de quantifier l'impact de sa constante diélectrique sur l'impédance.

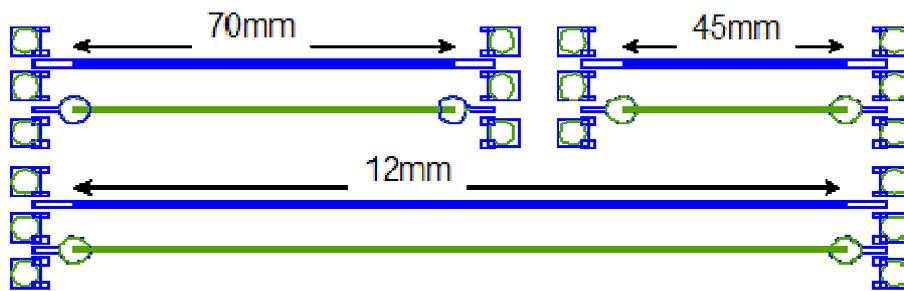


Figure 19 : Exemple de motifs de test avec l'empreinte de la sonde

Le trou percé de chaque via, a un diamètre nominal de 250µm et le pad a un diamètre nominal de 600µm.

III.2. FABRICATION DES VEHICULES DE TEST

Maine CI a fabriqué les circuits imprimés en plusieurs exemplaires, pour réaliser des expertises destructives et conserver un autre circuit intact. Voici la liste des véhicules de test dont la société BULL dispose, pour réaliser les mesures :

- Trois TVH en FR4 **PCL370** de *Polyclad* : matériau de référence non compatible RoHs
- Deux TVH en **MCL-E-679FG** d'*Hitachi Chemical* : matériau sans composé halogène
- Deux TVH en **MCL-E-679FJ** d'*Hitachi Chemical* : matériau standard
- Deux TVH en FR4 + **SpeedBoardC** de *Gore Corporation* : matériau rapide
- Deux TVH en **MCL-LX-67Y** d'*Hitachi Chemical* : matériau rapide
- Deux TVH en **FXII** d'*Hitachi Chemical* : matériau rapide

La Figure 20 montre la face supérieure du véhicule de test fabriqué à partir du matériau de référence. La zone centrale regroupe les motifs utilisés par BULL SAS, et les zones situées en bas et à droite de la carte rassemblent les motifs de l'IMEC.

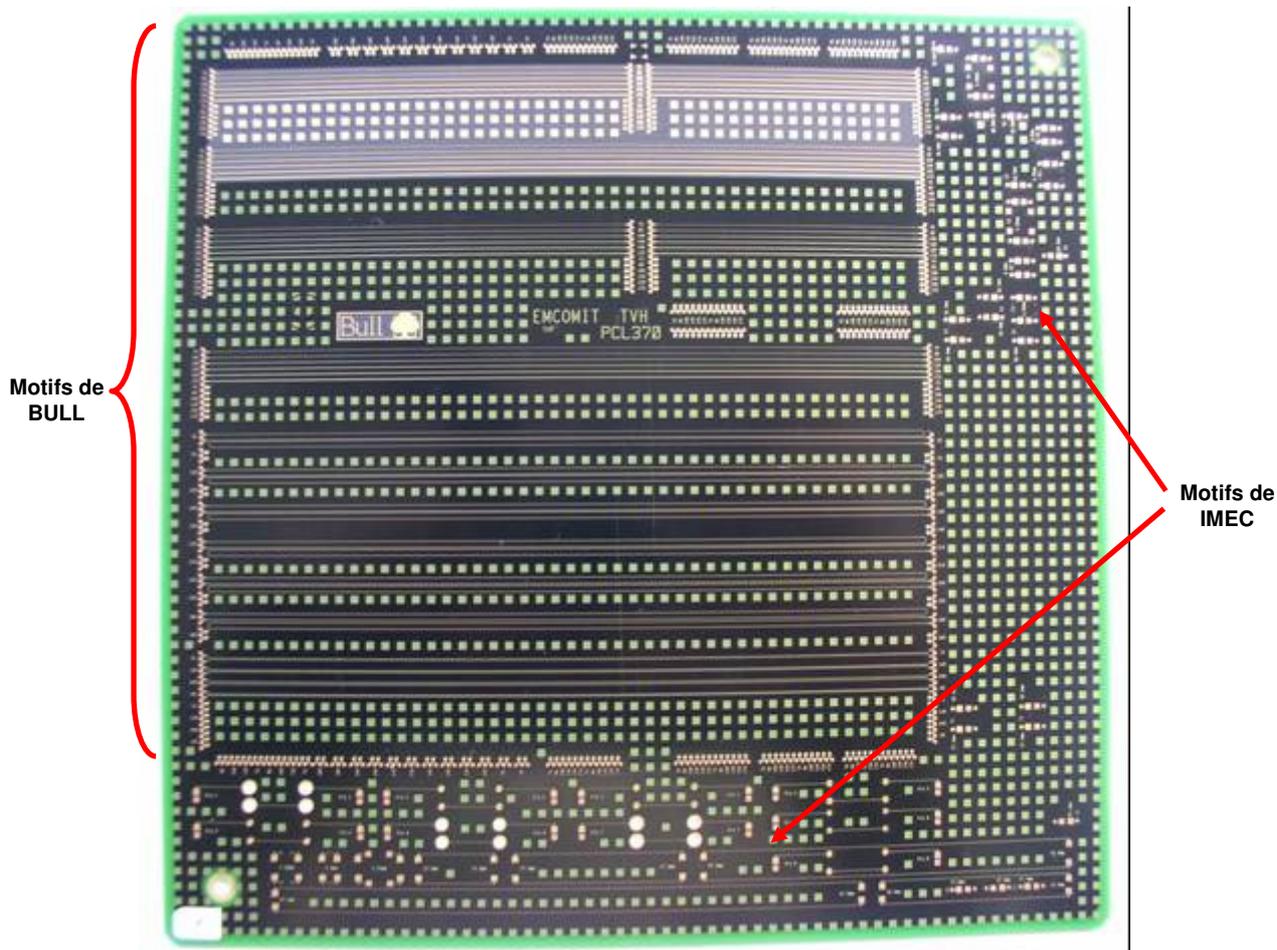


Figure 20 : Vue d'un véhicule de test réalisé à partir du matériau de référence

IV. MESURE DES MOTIFS DE TEST

Les mesures dédiées à la caractérisation électrique des matériaux ont été effectuées au sein du laboratoire de BULL. Elles consistent à mesurer la résistance des lignes pour en déduire la résistivité des conducteurs, mesurer les impédances et les temps de propagation à l'aide d'un réflectomètre et mesurer les paramètres liés aux pertes et à la réflexion dans les lignes par l'intermédiaire d'un analyseur de réseau. Des observations sur des coupes ont été effectuées pour mesurer les dimensions physiques des lignes. Après une analyse des micro-sections, les résultats des mesures électriques vous seront présentés.

IV.1. ANALYSE DES MICRO-SECTIONS

Pour contrôler les règles de tracé définies par Maine CI, des expertises de nature destructive ont été pratiquées sur les substrats. Les micro-sections ont été effectuées par le service « Intégration des Systèmes, Test et Packaging » de BULL SAS. Le travail de thèse a porté sur l'analyse des coupes et l'interprétation des résultats.

L'observation des coupes a pour effet de connaître les dimensions physiques principales des conducteurs et des diélectriques. Comme nous l'avons vu dans le paragraphe précédent, ces dimensions sont nécessaires pour l'extraction des propriétés électriques des matériaux, par conséquent ces valeurs seront utilisées dans les paragraphes III et IV pour corrélérer les simulations aux mesures. Les coupes sont réalisées sur chaque couche et on considèrera que l'observation d'un échantillon de lignes est représentative de l'ensemble des motifs. Les dimensions principales nécessaires pour les simulations et l'extraction des propriétés des matériaux sont la largeur et l'épaisseur du conducteur, ainsi que l'épaisseur du diélectrique.

Une section de l'empilage complet est présentée sur la Figure 21. La zone de couleur foncée correspond au matériau diélectrique et la zone blanche au cuivre. L'empilage est constitué de huit couches métalliques, dont deux sont réservées aux lignes conductrices, que l'on appelle L1 et L2. Les couches externes ont une épaisseur de 45 μ m, tandis que les autres couches sont formées avec du cuivre de 18 μ m d'épaisseur. En regardant de plus près le matériau diélectrique, on aperçoit des zones noires et des zones grises, qui représentent respectivement la résine et la trame de la fibre de verre du matériau diélectrique.

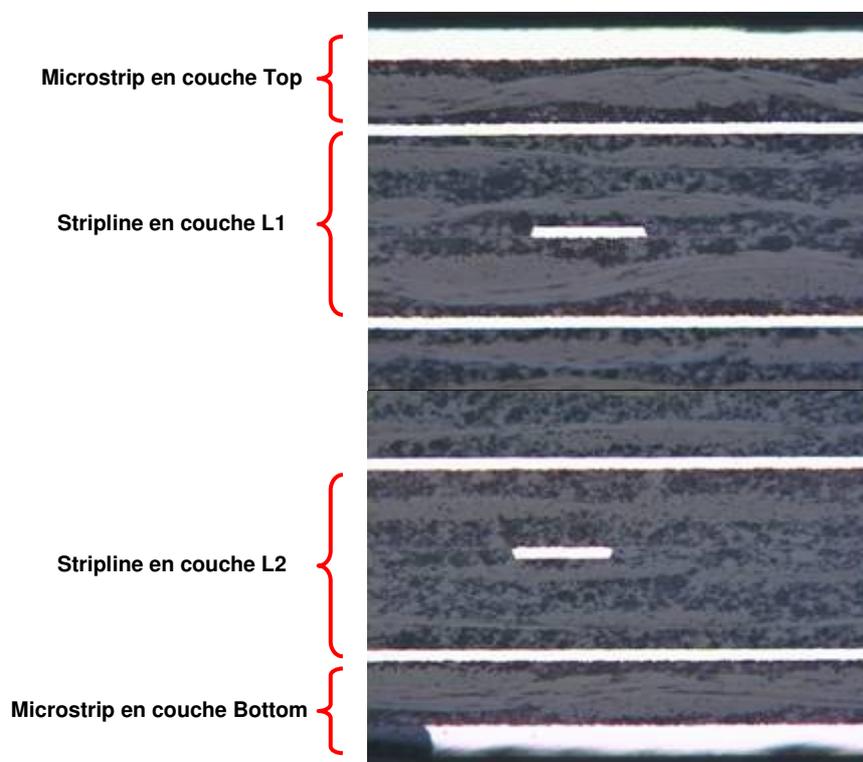


Figure 21 : Empilage du véhicule de test

A partir des observations faites sur les micro-sections, nous pouvons mesurer les dimensions physiques des lignes pour des conducteurs de largeur 75 μ m à 175 μ m. Le tracé étant commun pour tous les véhicules de test, les épaisseurs des diélectriques varient d'un matériau à un autre, dans le but d'obtenir des impédances comparables. Des coupes réalisées au niveau des conducteurs en couches externes et internes sont présentées à la Figure 22.

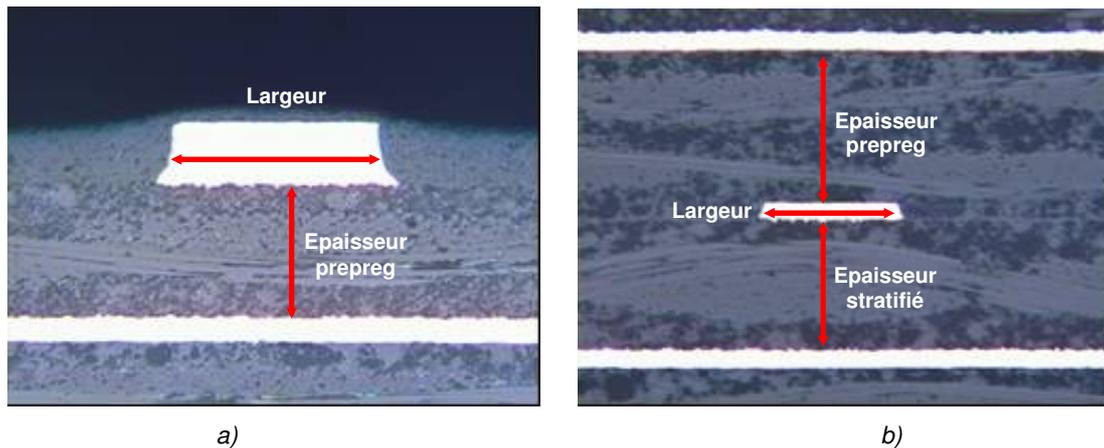


Figure 22 : Coupe des conducteurs : a) au niveau de la couche Top ; b) au niveau de la couche L1

D'après la Figure 22, la section du cuivre est devenue trapézoïdale, suite à l'attaque chimique isotrope employée pour graver le cuivre. Au fur et à mesure que la gravure progresse, les parois du conducteur sont attaquées. Il en résulte une surgravure, que le fabricant peut compenser en augmentant volontairement la largeur nominale de la piste. La largeur efficace de la ligne correspond à la valeur mesurée à mi hauteur du conducteur. Le microstrip (a) est recouvert d'un vernis épargne de type *Probimer 65* avec une constante diélectrique de 4,2. L'épaisseur de ce vernis épargne sera également mesurée et prise en compte lors des simulations. Les conducteurs en couches externes sont réalisés avec une recharge de cuivre faite sur une feuille de cuivre laminée sur un pré-imprégné. Cette recharge sert à la métallisation des vias. Le Tableau 4 rassemble les dimensions physiques observées sur les lignes externes. On considèrera dans l'étude que la moyenne des largeurs et des épaisseurs relevées sur ces motifs est représentative de l'ensemble des motifs de la couche externe.

Tableau 4 : Comparaison des dimensions physiques observées sur les lignes externes

Couches externes	Largeur de cuivre (µm)						Epaisseur prepreg (µm)	
	Attendue	75	90	108	130	150	175	Attendue
FR4 PCL 370	38	51	70	96	113	136	75	82
679 F(G)	69	83	101	126	146	170	78	77
679 F(J)	63	77	95	122	141	167	75	74
SpeedBoardC	72	85	103	129	150	172	55	60
LX67Y	70	84	102	128	146	173	70	64
FXII	60	71	91	118	137	160	100	99

Les épaisseurs des prepreg externes (Figure 22_a) sont proches des valeurs attendues, ce qui traduit un bon contrôle du pressage des diélectriques au moment de la fabrication des circuits. Lors du pressage, la résine du diélectrique flue vers les zones vides généralement situées autour du cuivre. Lorsque cette migration de la résine est trop importante, elle peut entraîner une diminution de l'épaisseur du diélectrique. De plus, on note pour les pistes situées en couches externes, une surgravure moyenne de 13µm, c'est-à-dire que les lignes mesurées sont plus étroites. Une des conséquences de cette surgravure est une augmentation de la résistance et des pertes dans le cuivre.

Les épaisseurs des cuivres ne figurent pas dans le tableau, elles ont toutefois été mesurées. Leur moyenne est égale à 44µm. Ces épaisseurs sont homogènes et correspondent aux attentes.

Le Tableau 5 regroupe les dimensions physiques observées sur les lignes internes.

Tableau 5 : Comparaison des dimensions physiques observées sur les lignes internes

Couches internes	Largeur de cuivre (μm)						Epaisseur prepreg (μm)		Epaisseur stratifié (μm)	
	Attendue	75	90	108	130	150	175	Attendue	Mesurée	Attendue
FR4 PCL 370	79	92	109	137	160	183	112	123	152	157
679 F(G)	76	90	108	135	154	178	155	159	152	150
679 F(J)	67	80	99	125	145	171	112	110	150	156
SpeedboardC	74	89	108	134	153	177	62(SBC)	67(SBC)	177(FR4)	174(FR4)
LX67Y	75	86	106	133	153	180	102	105	127	123
FXII	72	87	105	131	149	176	140	143	130	124

Les épaisseurs des prepreg et des stratifiés (Figure 22_b) sont également conformes à nos attentes, synonyme d'un pressage bien contrôlé. Les largeurs observées des conducteurs sont semblables aux valeurs nominales. Cette différence avec les couches externes s'explique en partie par la faible épaisseur du cuivre. En effet, c'est la durée de la gravure qui détermine la profondeur de l'attaque chimique du cuivre : plus cette couche est fine et plus le temps de la gravure est court. Les couches externes étant plus épaisses, l'attaque du cuivre demande donc plus de temps, la gravure est par conséquent plus profonde et plus difficile à contrôler.

Une épaisseur moyenne du cuivre égale à $16\mu\text{m}$ au lieu de $18\mu\text{m}$ a été mesurée sur les pistes situées en couches internes.

D'après les résultats des coupes, la fabrication des TVH (véhicule de test) avec les matériaux précédents ne manifeste aucune difficulté particulière, mise à part avec le matériau *SpeedboardC*. En effet ce matériau dénué de trame de verre est un diélectrique peu rigide et sa manipulation demande de grandes précautions [B15] et [B16]. Notamment, le rapport entre l'épaisseur du diélectrique et l'épaisseur du cuivre ne doit pas être inférieur à 2:1, c'est-à-dire que pour un diélectrique de $57\mu\text{m}$, l'épaisseur du cuivre ne doit pas excéder $28\mu\text{m}$, sinon il est nécessaire d'ajouter une deuxième couche de diélectrique. Une estimation du pourcentage de résine qui s'écoule lors du pressage se détermine en soustrayant l'épaisseur finale du prepreg pressée à l'épaisseur initiale du prepreg et en divisant cette valeur par l'épaisseur initiale.

La Figure 23 est une photographie d'un via à l'extrémité d'une ligne de test.



Figure 23 : Photographie d'un via à l'extrémité d'une ligne de test

Le diamètre mesuré du trou percé est de $255\mu\text{m}$ et le diamètre mesuré du pad est de $585\mu\text{m}$, ce qui est en accord avec les valeurs nominales attendues. On constate que le trou percé est bien centré sur le pad, les masques de fabrication ont donc été correctement positionnés.

IV.2. BANC DE TEST ET CONNEXION A LA CARTE IMPRIMEE

Pour l'ensemble des mesures, les cartes sont positionnées sur un banc de test Alessi Industries avec amortisseur, comme le montre la Figure 24. Les cartes sont maintenues par un système d'aspiration et peuvent être déplacées à l'aide de vis sans fin. Deux bras manipulateurs permettent d'approcher les sondes sur les motifs, grâce à des vis micrométriques, selon les axes X, Y et Z. Enfin, une binoculaire placée au dessus du circuit, permet de positionner avec précision les sondes, sur les motifs de test.

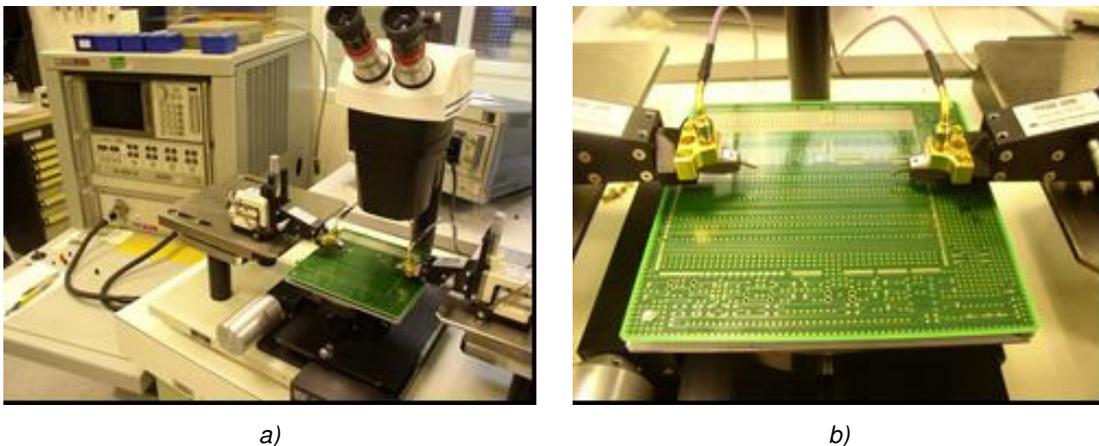


Figure 24 : Table de test utilisée pour les mesures : a) Vue de l'ensemble de la table de test ; b) Configuration de mesure d'un circuit de test

La résistance de la piste est mesurée à partir d'un multimètre *Keithley 2000* en mode 4 fils.

Les mesures des impédances et des temps de propagation sont réalisées à l'aide d'un réflectomètre *Tektronix 11802 Digital sampling oscilloscope* combiné à une tête de test 2 canaux *TDR SD-24*, en mode réflexion. Le signal de sortie TDR est une tension échelon négative d'amplitude $-0,5\text{V}$ et avec un temps de montée de $17,5\text{ps}$, mesuré à la sortie du canal du TDR. La calibration du mode réflexion se fait en connectant au bout du câble, une charge standard HP de 50Ω .

Les paramètres S_{11} et S_{21} des lignes ont été mesurés à l'aide d'un analyseur de réseau *HP8510C*. La gamme de fréquences utilisée pour les mesures est de 45MHz à 10GHz , par pas de 25MHz (801 points). Une calibration complète 2 ports, SOLT (court-circuit, circuit ouvert, charge 50Ω et connexion direct des deux câbles), incluant les sondes, est réalisée à partir d'un substrat standard *Cascade (ISS : Impedance Standard Substrate)*. La mesure du paramètre S_{11} permet de déterminer l'impédance caractéristique de la ligne et la permittivité effective du milieu, tandis que la mesure de S_{21} permet de quantifier les pertes totales de la ligne.

La connexion des équipements de mesures avec les motifs de test s'établit grâce à des câbles *Gore Tex* 50Ω à faibles pertes, avec une bande passante à -3dB égale à 40GHz . Ces câbles sont reliés à des sondes *Cascade GSG* (masse-signal-masse), au pas de $250\mu\text{m}$ et d'impédance caractéristique 50Ω .

IV.3. MESURE DE LA CONSTANTE DIELECTRIQUE

Le calcul de la constante diélectrique a été réalisé suivant deux méthodes qui sont explicitées dans les paragraphes II.2 et II.3. La première méthode consiste à mesurer le temps de propagation des lignes et s'effectue à l'aide d'un réflectomètre. La deuxième méthode repose sur la mesure des paramètres S_{11} et S_{21} des lignes par l'intermédiaire d'un analyseur de réseau.

IV.3.1. CARACTERISATION DES LIGNES AU REFLECTOMETRE

Les lignes striplines de largeurs comprises entre $75\mu\text{m}$ et $175\mu\text{m}$ sont mesurées en mode réflexion, afin d'obtenir leur impédance caractéristique et leur temps de propagation [B14]. La Figure 25 montre le résultat de la mesure au réflectomètre d'une ligne de longueur 12cm, pour un matériau standard (courbe bleu) et pour un matériau rapide (courbe rouge).

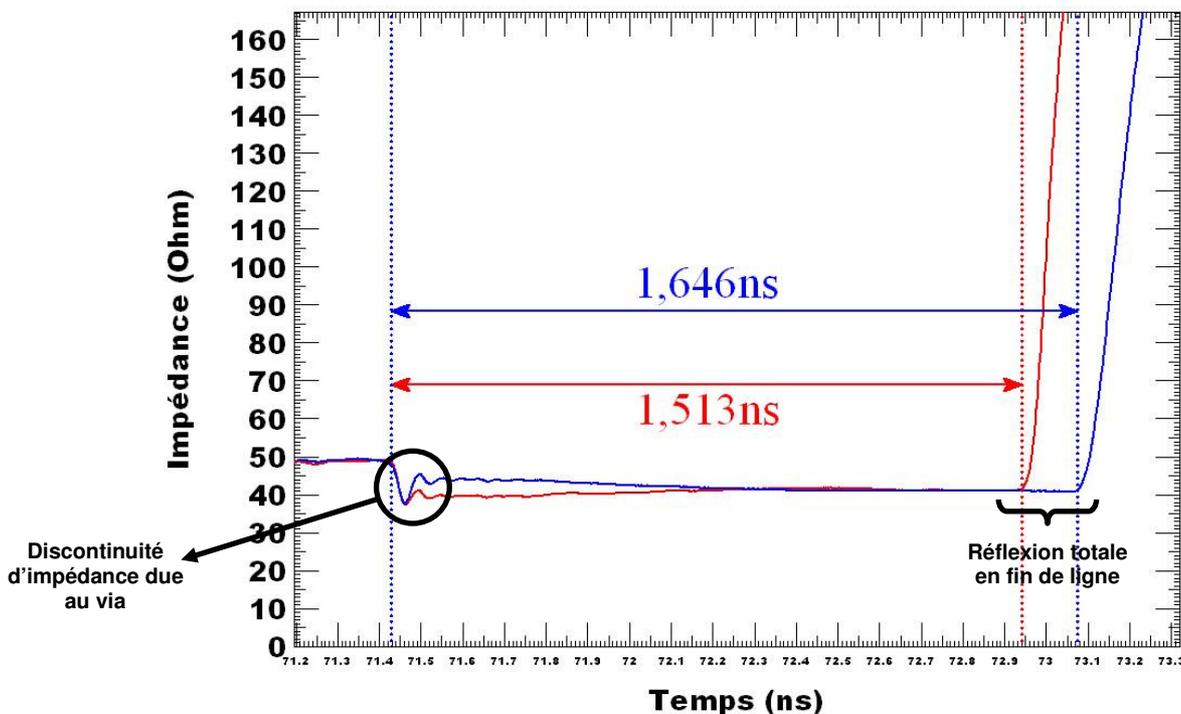


Figure 25 : Mesure du temps de propagation d'une ligne de longueur 12cm

Le temps de propagation se mesure entre la sortie et l'entrée de la ligne. Pour localiser l'entrée, on se place avant la discontinuité d'impédance qui se traduit par une forte discontinuité géométrique, créée par le via sur la piste [B17]. La sortie de la ligne est représentée par une réflexion totale du signal. La Figure 25 confirme l'Équation 9, puisque l'on constate que pour une longueur de ligne égale, plus la constante diélectrique est faible et plus le temps de propagation est court.

Les résultats de mesures sont regroupés dans le Tableau 6 et sont comparés avec les chiffres fournis par les constructeurs des matériaux sélectionnés. Pour minimiser les incertitudes dues aux vias, les valeurs sont calculées sur la différence des temps de propagations, obtenues sur des lignes de longueurs 12 cm et 4,5 cm.

Tableau 6 : Comparaison des constantes diélectriques obtenues et attendues

Propriétés électriques	FR4 PCL 370	679-F(J)	679-F(G)	SpeedboardC + FR4	LX67Y	FXII
Constante diélectrique attendue	4,6 à 1MHz 4,5 à 100MHz 4,4 à 1GHz 4,35 à 2GHz 4,3 à 5GHz	4,3 à 1GHz	4,8 à 1GHz	2,6 à 10GHz + 4 à 10GHz	3,6 à 1GHz 3,55 à 3GHz	3,44 à 1GHz 3,43 à 3GHz 3,42 à 5GHz 3,41 à 10GHz
Constante diélectrique obtenue	4,4	4,4	4,9	3,2	3,6	3,6

Le résultat des constantes diélectriques obtenues, est une moyenne sur l'ensemble des mesures effectuées par matériau. On remarque dans le Tableau 6, que les valeurs attendues et les valeurs obtenues sont similaires. On retrouve effectivement que les matériaux standards *FR4 PCL370* et *679-F(J)* ont des propriétés électriques comparables, avec une constante diélectrique de 4,4. Le matériau sans composé Halogène *679-F(G)* a un ϵ_r élevé et égal à 4,9. Les matériaux rapides *LX67Y* et *FXII* ont des constantes diélectriques identiques de 3,6. Gore corporation assure une constante diélectrique effective égale à 3,5 en combinant leur pré-imprégné *SpeedboardC* avec un stratifié en FR4 standard tel que le *PCL370*. Cela implique de respecter leurs règles de tracé, qui consiste à obtenir les mêmes valeurs de capacités de couplage entre la ligne et les deux plans de masse, dans ce cas l'empilage hybride est équilibré, comme le montre la Figure 10 ($Cd1=Cd2$). Par conséquent, le rapport des épaisseurs de diélectriques doit être égal au rapport des ϵ_r . C'est-à-dire que pour $\epsilon_{r1}=2,6$ et $\epsilon_{r2}=4,4$, on doit avoir une épaisseur de diélectrique $H1=0,6 \times H2$. A partir des épaisseurs présentées dans le Tableau 5, on se rend compte que l'épaisseur du pré-imprégné et du stratifié ne respectent pas la règle de tracé, et que dans ce cas l'empilage n'est pas équilibré. Aussi, l'onde qui se propage autour de la ligne est favorisée par le matériau rapide *SpeedboardC* [B10]. Ceci explique le fait que la constante diélectrique mesurée soit inférieure à celle que nous attendions. Elle est égale à 3,2, alors que nous attendions 3,5. Le résultat mesuré est optimiste car ϵ_r est plus faible que celui que nous attendions. Mais nous verrons que pour ces épaisseurs de diélectrique, les pertes présentent un comportement instable en hautes fréquences.

Pour connaître le comportement fréquentiel des propriétés électriques des matériaux, une caractérisation de la ligne est réalisée à l'analyseur de réseau.

IV.3.2. CARACTERISATION DES LIGNES A L'ANALYSEUR DE RESEAU

Les paramètres S_{11} et S_{21} sont mesurés sur des lignes striplines à l'aide d'un analyseur de réseau. Comme on l'a vu au paragraphe II.3, le paramètre S_{11} permet de déterminer la permittivité relative (ϵ_r) du milieu.

La Figure 26 présente les paramètres S_{11} obtenus pour des lignes internes de largeurs 130, 150 et 175 μm , placées sur la couche L1 du véhicule de test en *LX67Y*.

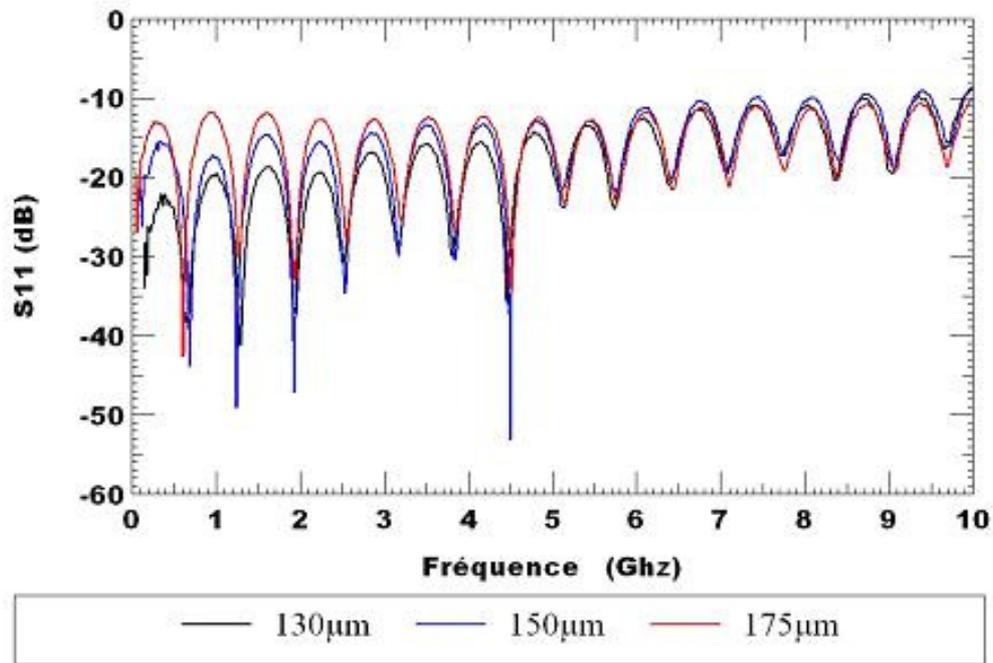


Figure 26 : Paramètres S_{11} (dB) mesurés sur des lignes de longueur 12cm

A partir de l'Équation 12, les constantes diélectriques peuvent être exprimées en fonction de fréquences spécifiques. Ces fréquences sont choisies aux minimas du paramètre S_{11} , et correspondent également aux passages par le zéro de la phase du paramètre S_{21} , comme expliqué dans le paragraphe II.3. Pour minimiser les incertitudes liées aux vias, les fréquences spécifiques qui déterminent les constantes diélectriques, sont obtenues sur la différence des phases du paramètre S_{21} , mesuré sur des lignes de longueur 12cm et 4,5cm.

La Figure 27 montre la moyenne des ϵ_r mesurées pour chaque matériau, en fonction de la fréquence.

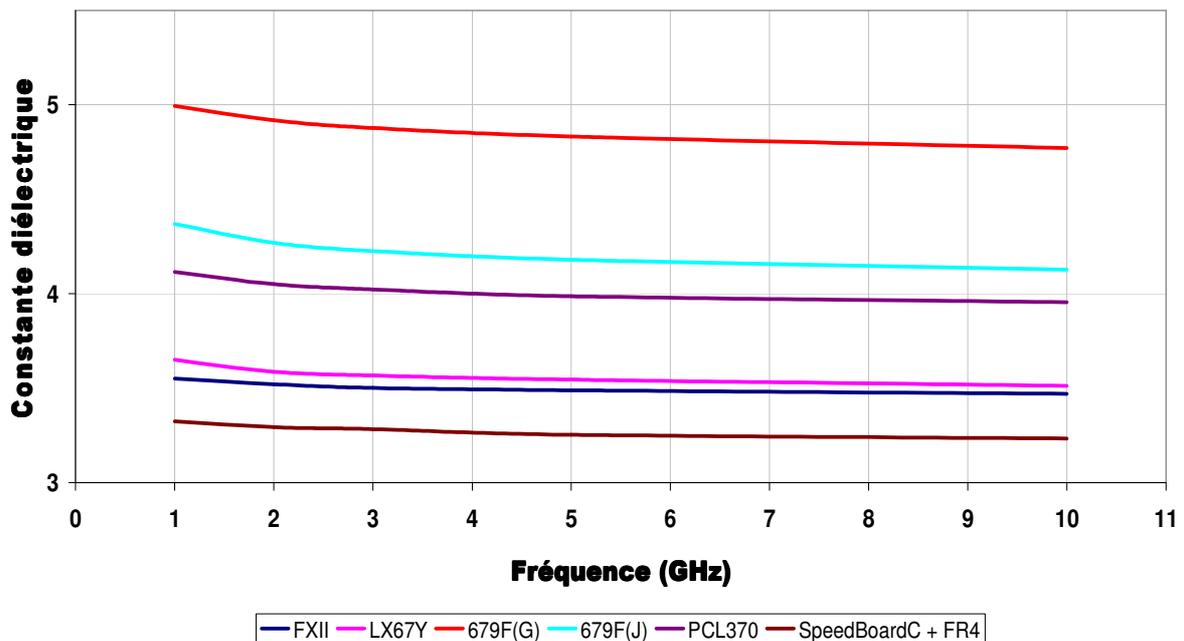


Figure 27 : Constantes diélectriques mesurées en fonction de la fréquence

D'un point de vue général, on constate que les courbes décroissent lorsque les fréquences augmentent. Cette diminution des ϵ_r est en accord avec les valeurs attendues, qui tendent à s'affaiblir pour des fréquences hautes. En comparaison avec les résultats du Tableau 6, le matériau le plus lent reste le 679F(G), car sa constante diélectrique est la plus élevée. A l'inverse, le matériau le plus rapide est le SpeedboardC associé au FR4 PCL370. Comme nous l'avons vu précédemment, cet empilage hybride a été mal défini. Il en résulte une constante diélectrique plus faible que les prévisions, ce qui n'est pas pour déplaire au choix des matériaux rapides. Malheureusement, nous verrons dans la suite de l'étude que les pertes du signal augmentent lorsque l'empilage n'est pas équilibré, ce qui est notre cas.

Le Tableau 7 montre le détail des constantes diélectriques calculées en fonction des fréquences.

Tableau 7 : Comparaison des constantes diélectriques attendues et mesurées

Propriétés électriques	FR4 PCL 370	679-F(J)	679-F(G)	SpeedboardC + FR4	LX67Y	FXII
Constante diélectrique attendue	4,6 à 1MHz 4,5 à 100MHz 4,4 à 1GHz 4,35 à 2GHz 4,3 à 5GHz	4,3 à 1GHz	4,8 à 1GHz	2,6 à 10GHz + 4 à 10GHz	3,6 à 1GHz 3,55 à 3GHz	3,44 à 1GHz 3,43 à 3GHz 3,42 à 5GHz 3,41 à 10GHz
Constante diélectrique obtenue	4,12 à 1GHz 4,05 à 2GHz 4,02 à 3GHz 3,99 à 5GHz 3,96 à 10GHz	4,35 à 1GHz 4,27 à 2GHz 4,23 à 3GHz 4,18 à 5GHz 4,13 à 10GHz	4,99 à 1GHz 4,92 à 2GHz 4,88 à 3GHz 4,83 à 5GHz 4,77 à 10GHz	3,32 à 1GHz 3,29 à 2GHz 3,28 à 3GHz 3,25 à 5GHz 3,23 à 10GHz	3,65 à 1GHz 3,59 à 2GHz 3,57 à 3GHz 3,55 à 5GHz 3,51 à 10GHz	3,55 à 1GHz 3,52 à 2GHz 3,50 à 3GHz 3,49 à 5GHz 3,47 à 10GHz

Les comparaisons du Tableau 7, montrent que les constantes diélectriques attendues et obtenues sont proches. Toutefois on relève une différence au niveau du matériau FR4 PCL370, pour lequel la constante diélectrique mesurée est inférieure à la valeur fournie par le constructeur. Une des raisons qui peut expliquer cet écart est le pourcentage de résine dans le pré-imprégné et le stratifié, qui varie en fonction des épaisseurs. Plus le diélectrique est épais et plus la fibre de verre est prépondérante sur la résine. Par ailleurs, les véhicules de test ont un tracé de lignes commun à tous, il a donc été nécessaire de sélectionner les épaisseurs des diélectriques, qui permettraient d'obtenir des impédances identiques d'une carte à l'autre. Ce qui a conduit à sélectionner des diélectriques fins pour certains matériaux et plus épais pour d'autres. Le véhicule de test en PCL370 est fabriqué à partir de pré-imprégnés et de stratifiés fins. Par conséquent ils sont plus riches en résine, ce qui diminue la constante diélectrique mesurée. La valeur fournie par le constructeur est une moyenne réalisée sur l'ensemble des pré-imprégnés et des stratifiés, ce qui peut expliquer les différences observées.

Les constantes diélectriques et les angles de pertes mesurés seront utilisés dans la suite de l'étude pour simuler les paramètres S_{21} et pour calculer les impédances.

La deuxième propriété électrique qui a été mesurée est l'angle de pertes ($\tan\delta$) du matériau diélectrique. Elle permet de quantifier l'atténuation d'un signal qui se propage dans une ligne de transmission.

IV.4. MESURE DE L'ANGLE DE PERTES

En général, une ligne de transmission possède deux types de pertes : la dissipation dans le conducteur et la dissipation dans le diélectrique qui enrobe la ligne. Dans notre cas, ces deux sortes de pertes sont suffisamment petites pour qu'on puisse considérer les pertes totales comme étant la somme de chacune d'elle.

Tan δ se calcule à partir des pertes totales, qui sont le résultat de la mesure du paramètre S_{21} , dans une ligne de transmission. Ces pertes totales se définissent comme étant la somme des pertes dans le conducteur, qui sont prépondérantes aux basses fréquences et des pertes dans le diélectrique, qui sont prépondérantes aux hautes fréquences. La mesure du paramètre S_{21} est réalisée à l'analyseur de réseau.

La Figure 28 présente les paramètres S_{21} obtenus pour des lignes internes de largeurs $75\mu\text{m}$ et $175\mu\text{m}$, placées sur la couche L1 du véhicule de test en LX67Y.

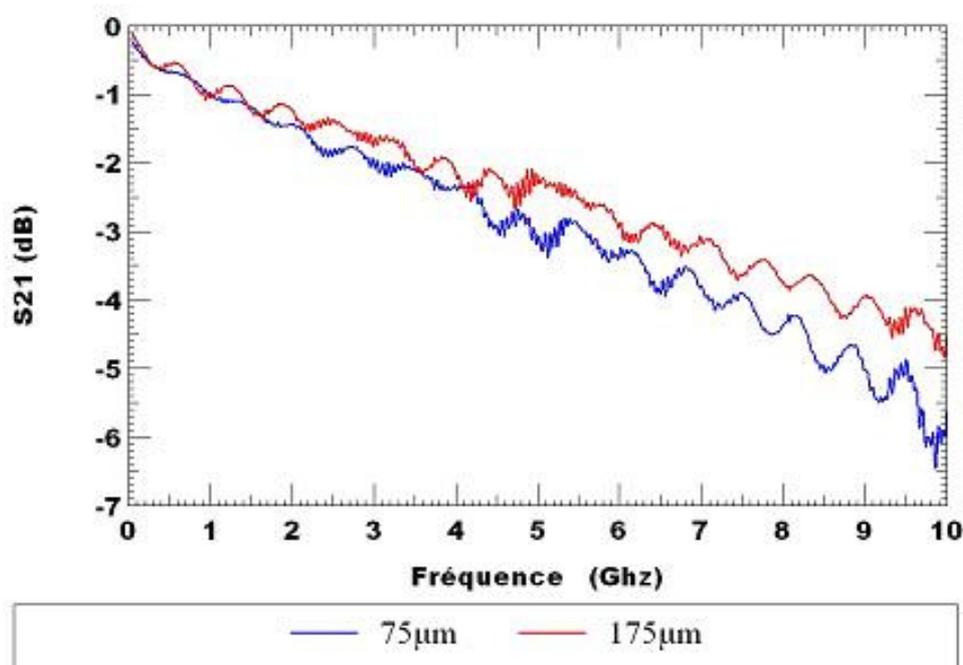


Figure 28 : Paramètres S_{21} (dB) mesurés sur des lignes de longueur 12cm

On remarque tout d'abord que les pertes augmentent en fonction de la fréquence, on relève des pertes de -1dB à la fréquence de 1GHz et autour de -5dB à 10GHz. On note également que plus la largeur de la ligne est petite et plus les pertes sont grandes. En effet les pertes résistives augmentent lorsque la section du cuivre diminue. On aperçoit toujours sur la Figure 28, des oscillations sur les courbes des pertes, pour les lignes de largeur $75\mu\text{m}$ et $175\mu\text{m}$. Cette non linéarité du signal est essentiellement due à la réflexion de l'onde qui se propage dans le conducteur. En effet, dans le cas de notre véhicule de test, les lignes de largeur $75\mu\text{m}$ et $175\mu\text{m}$ ont une impédance caractéristique différente de 50Ω , par conséquent l'onde qui se propage est partiellement réfléchi, qui se traduit sur la courbe par une oscillation du module S_{21} (dB).

Dans un premier temps, les pertes dans le conducteur sont calculées. Elles prennent en compte la géométrie de la ligne et la résistivité du cuivre, comme le montre l'Équation 16. Les dimensions géométriques des lignes sont présentées dans le Tableau 5.

Des études ont montré que la rugosité et le traitement de la surface du cuivre, avaient un impact sur les pertes dans le conducteur [B22] et [B23]. Un grain de cuivre de petite taille permet d'obtenir une faible résistivité qui peut varier de 1,70 à 1,90 $\mu\Omega\text{cm}$. Cette résistivité a donc été déduite pour chaque matériau, à partir des dimensions géométriques des conducteurs et de la résistance mesurée. Le Tableau 8, montre les résultats de calculs de la résistivité du cuivre en fonction des matériaux sélectionnés.

Tableau 8 : valeur de la résistivité du cuivre en fonction des matériaux sélectionnés

Unité $\mu\Omega\text{cm}$	FR4 PCL 370	679-F(J)	679-F(G)	SpeedboardC + FR4	LX67Y	FXII
Résistivité du cuivre calculée	1,85	1,85	1,85	2	2	2,1

Les résultats de la résistivité du cuivre, présentés dans le Tableau 8, varient de 1,85 à 2,1 $\mu\Omega\text{cm}$. Ces chiffres seront utilisés dans la suite de l'étude, pour le calcul des pertes dans le conducteur et pour l'extraction de l'angle de pertes du matériau diélectrique.

Les $\text{Tan}\delta$ des matériaux sont donc obtenues à partir des pertes totales mesurées et des pertes dans le conducteur calculées à partir de l'Équation 17. La Figure 29 montre la moyenne des $\text{Tan}\delta$ obtenues pour chaque matériau, en fonction de la fréquence.

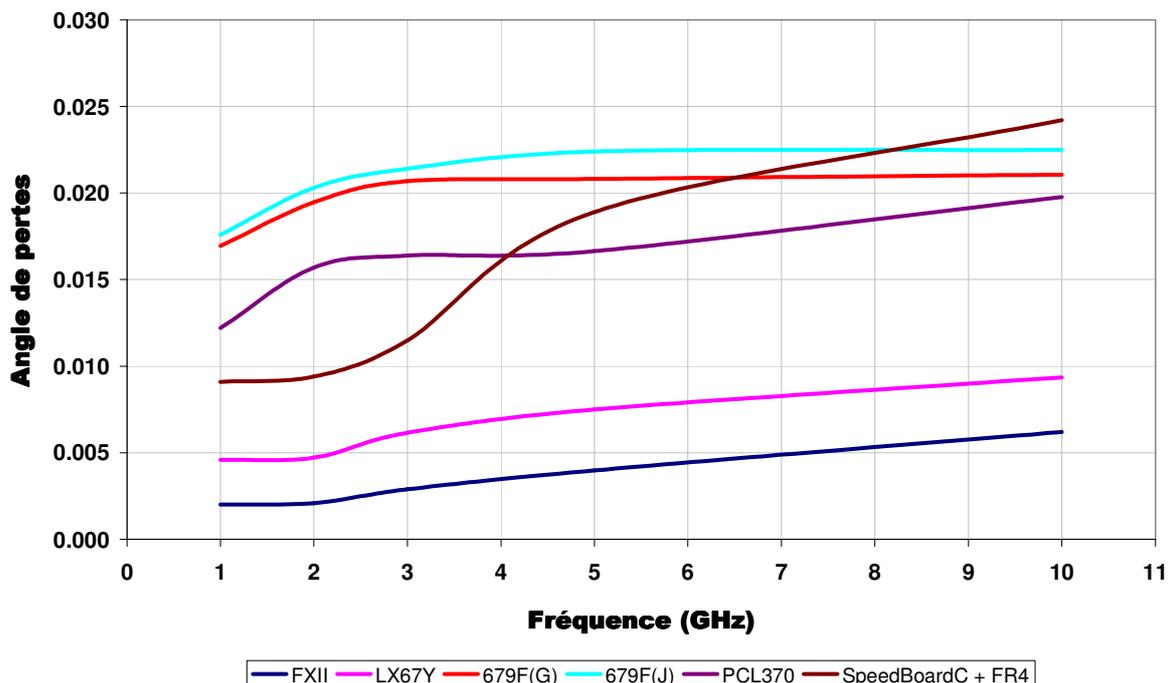


Figure 29 : Angles de pertes obtenus en fonction de la fréquence

D'après l'observation des courbes de la Figure 29, on constate que les angles de pertes augmentent en fonction des fréquences. Les matériaux *PCL370*, *679F(J)* et *679F(G)* ont un angle de pertes élevé, puisqu'ils ne figurent pas parmi les matériaux à hautes performances électriques, contrairement aux matériaux *FXII* et *LX67Y* qui ont un $\text{Tan}\delta$ très bas. Nous verrons à travers les chiffres que les tendances des courbes sont en accord avec les valeurs annoncées dans les spécifications.

Toutefois la courbe de l'angle de pertes obtenue pour l'association des matériaux *SpeedboardC* et *FR4*, présente une discontinuité au-delà de 3GHz. Pour des fréquences basses, l'empilage hybride se comporte tel que nous l'espérons et la valeur du $\tan\delta$ est bien la résultante des deux matériaux. En revanche après 3GHz, l'empilage ne se comporte plus de la même manière et l'angle de pertes augmente brusquement, pour les raisons évoquées dans le paragraphe IV.3.1.

Le Tableau 9 montre le détail des angles de pertes obtenus en fonction des fréquences.

Tableau 9 : Comparaison des angles de pertes attendus et obtenus

Propriétés électriques	FR4 PCL 370	679-F(J)	679-F(G)	SpeedboardC + FR4	LX67Y	FXII
Angle de pertes attendu	0,015 à 1MHz 0,0155 à 100MHz 0,016 à 1GHz 0,017 à 2GHz 0,019 à 5GHz	0,017 à 1GHz	0,019 à 1GHz	0,004 à 10GHz + 0,019 à 10GHz	0,005 à 1GHz 0,006 à 3GHz	0,0026 à 1GHz 0,0036 à 3GHz 0,0045 à 5GHz 0,0055 à 10GHz
Angle de pertes obtenu	0,0122 à 1GHz 0,0157 à 2GHz 0,0164 à 3GHz 0,0166 à 5GHz 0,0198 à 10GHz	0,0176 à 1GHz 0,0203 à 2GHz 0,0214 à 3GHz 0,0224 à 5GHz 0,0225 à 10GHz	0,0169 à 1GHz 0,0195 à 2GHz 0,0207 à 3GHz 0,0208 à 5GHz 0,0211 à 10GHz	0,0091 à 1GHz 0,0094 à 2GHz 0,0115 à 3GHz 0,0189 à 5GHz 0,0242 à 10GHz	0,0046 à 1GHz 0,0047 à 2GHz 0,0061 à 3GHz 0,0075 à 5GHz 0,0093 à 10GHz	0,0020 à 1GHz 0,0021 à 2GHz 0,0029 à 3GHz 0,0039 à 5GHz 0,0062 à 10GHz

Le Tableau 9 détaille les résultats de mesures effectuées à l'analyseur de réseau, qui corrélaient très bien avec les spécifications. A l'exception du matériau *SpeedboardC*, tous les angles de pertes sont proches des données fournies par les constructeurs. Comme nous l'avons vu à travers les résultats de la Figure 31, pour des fréquences inférieures à 3GHz, l'angle de pertes effectif est bien la résultante des deux matériaux combinés. Cependant à partir de 3GHz, le résultat de l'angle de pertes devient irrégulier et se rapproche d'avantage à celui du matériau *FR4*.

V. EXPLOITATION DES RESULTATS

Dans l'industrie des cartes électroniques, des outils de simulation sont parfois utilisés pour estimer les résultats attendus. Dans le cas d'une transmission de données numériques d'un émetteur vers un récepteur, il est important de conserver toute la qualité du signal. Pour cela, les lignes de transmission sont réalisées avec une impédance contrôlée et avec une faible atténuation. Aussi, pour que les résultats des calculs et des simulations soient conformes avec les attentes, il est nécessaire de construire un modèle représentatif de la ligne réelle.

Le travail de thèse consiste à concevoir un modèle qui prend en considération les résultats des observations physiques des lignes et des propriétés électriques mesurées. Pour vérifier la validité des propriétés électriques mesurées, les simulations sont effectuées avec les dimensions géométriques réelles des motifs implantés sur les véhicules de test.

C'est à partir de l'outil HSPICE version X_2005.09_SP1 que les lignes striplines sont modélisées en deux dimensions, pour calculer leur impédance caractéristique et simuler leur paramètre S_{21} . Ces résultats seront ensuite comparés avec les mesures des impédances et des pertes obtenues sur ces mêmes lignes, pour valider les constantes diélectriques du Tableau 7 et les angles de pertes du Tableau 9.

L'observation des micro-sections faites sur des circuits imprimés, montre que les conducteurs ont une surface aux contours irréguliers. Pour simplifier la construction des modèles, les conducteurs sont considérés de forme trapézoïdale et supposés réguliers sur toute leur longueur.

La construction du modèle 2D est réalisée avec une constante diélectrique qui est la moyenne des ϵ_r , et un angle de pertes qui est la moyenne des $\tan\delta$. L'extracteur 2D est basé sur la méthode des éléments de frontière et tient compte de l'effet de peau en fonction de la fréquence.

V.1. COMPARAISON DES IMPEDANCES

L'impédance est calculée en utilisant la configuration de la mesure au réflectomètre. Pour cela, une seule extrémité de la ligne est attaquée par une tension échelon qui est équivalente à celle de l'appareil de mesure. De la même manière que pour la mesure, la valeur de l'impédance est la moyenne des points pris entre 30% et 70% du temps de propagation de la ligne, tel que le préconise la norme IPC [B14]. Les impédances des lignes dépendent principalement de la largeur et de l'épaisseur du conducteur, ainsi que de l'épaisseur des diélectriques et de leur ϵ_r .

La Figure 30 compare les impédances mesurées au réflectomètre (bleu) et les impédances calculées (rouge). Les résultats des impédances sont donnés pour des largeurs nominales de lignes comprises entre 75 μm et 175 μm .

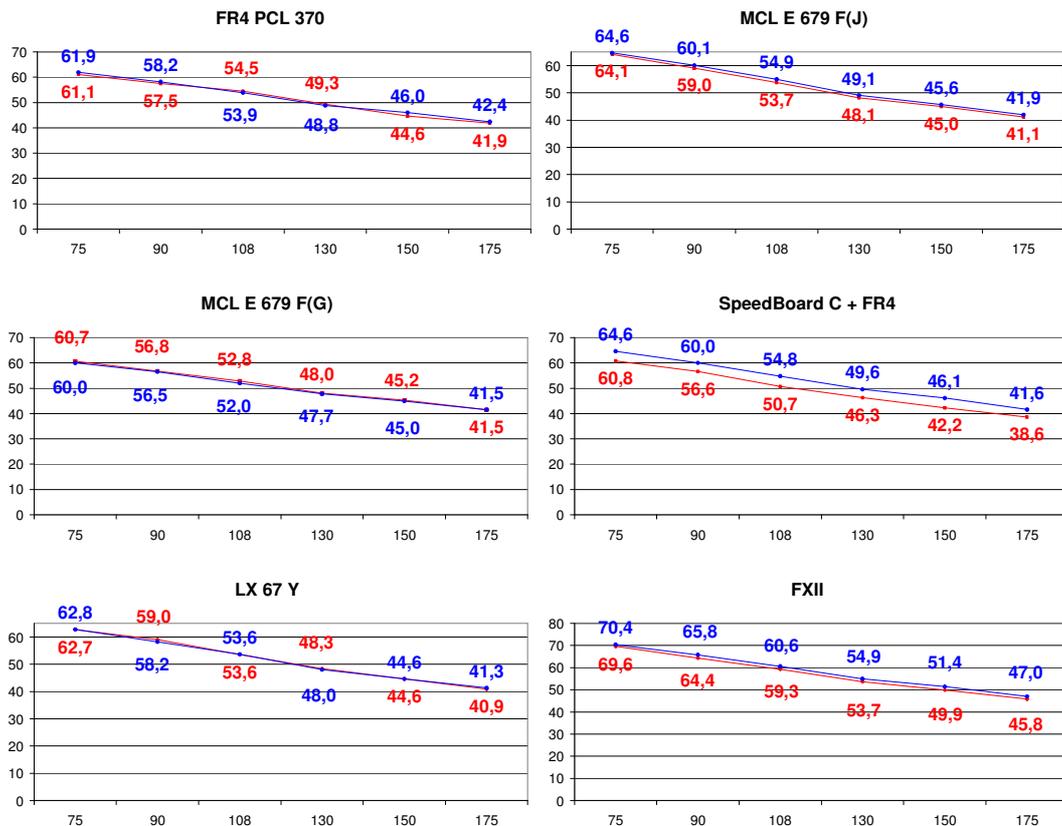


Figure 30 : Comparaison des impédances mesurées (bleu) et simulées (rouge)

Les valeurs d'impédances caractéristiques mesurées (bleu) et calculées (rouge), illustrées par la Figure 30 sont proches. Un écart relatif de -1% est relevé entre les impédances calculées et

mesurées pour le matériau *PCL370*, de -2% pour le matériau *679F(J)*, de 1% pour le matériau *679F(G)*, de -2% pour le matériau *LX67Y* et de -2% pour le matériau *FXII*. Pour l'ensemble de ces matériaux, les écarts entre les simulations et les mesures sont considérés comme corrects, ainsi une bonne estimation des impédances par l'outil de simulation HSPICE peut être garantie. En revanche un écart de -7% a été observé entre les impédances mesurées et simulées, avec le matériau *SpeedboardC* et *FR4*. Les contraintes d'empilage n'étaient pas connues lors de la définition de l'empilage, notamment au niveau des épaisseurs de diélectrique. Le véhicule de test TVH ne permet donc pas d'obtenir des résultats électriques fiables, dans la mesure où le circuit imprimé est mal défini. Les épaisseurs des diélectriques ne sont pas adaptées aux permittivités relatives des matériaux. Les résultats ne remettent pas en cause les performances du matériau *SpeedboardC* ; ils mettent en évidence l'importance des règles d'empilage à respecter dans un empilage hybride.

V.2. COMPARAISON DU PARAMETRE S_{21}

Le paramètre S_{21} qui représente les pertes des lignes implantées sur les véhicules de test est également simulé. La configuration est la même que celle de la mesure à l'analyseur de réseau, Figure 15. Une extrémité de la ligne est attaquée par une tension sinusoïdale et l'autre extrémité de l'analyseur mesure le résultat du signal atténué par la ligne. Le paramètre S_{21} est le rapport entre l'onde de sortie et l'onde à l'entrée de la ligne.

La Figure 31 compare les pertes totales mesurées à l'analyseur de réseau (bleu) et les pertes simulées (rouge). Les résultats des pertes sont donnés pour des largeurs de lignes visant une impédance caractéristique de 50Ω .

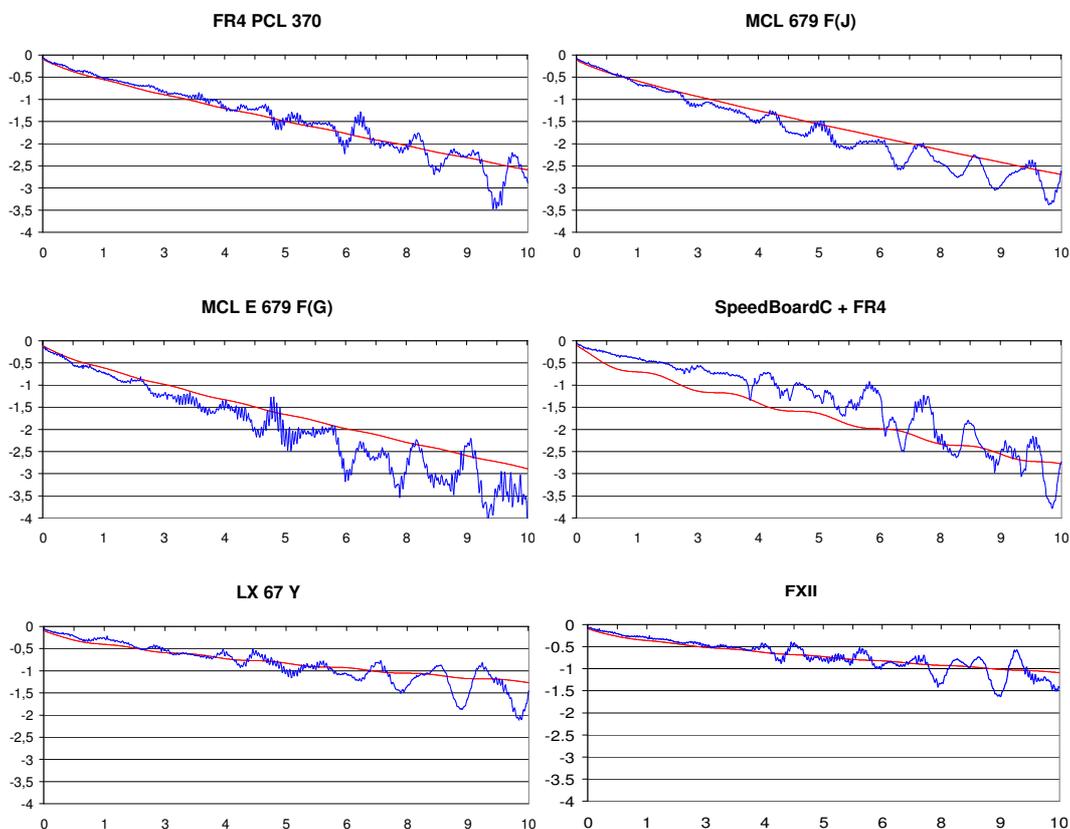


Figure 31 : Comparaison du paramètre S_{21} (dB) mesurés (bleu) et simulés (rouge) en fonction de la fréquence

D'une manière générale, la Figure 31 nous montre une bonne corrélation entre les pertes totales mesurées (bleu) et simulées (rouge). La linéarité de la courbe des pertes totales dépend principalement de l'impédance caractéristique de la ligne. En effet pour une impédance de 50Ω , la réflexion de l'onde à travers la ligne sera nulle, et par conséquent les pertes seront parfaitement linéaires. C'est pour cette raison que la comparaison des pertes totales simulées et mesurées a été effectuée à partir de lignes d'impédances caractéristiques proches de 50Ω . En observant les pertes mesurées (courbes bleu), on se rend compte qu'elles sont linéaires en basses fréquences et oscillent à partir de 4GHz. L'impédance caractéristique de la ligne a été définie pour une largeur de ligne et une constante diélectrique fixes. Or comme nous l'avons vu dans le Tableau 7, la constante diélectrique d'un matériau diminue lorsque les fréquences augmentent, ainsi que la largeur de la ligne par effet de peau (Équation 6). Par conséquent, plus la fréquence augmente et plus l'impédance caractéristique augmente et devient supérieure à 50Ω .

VI. CONCLUSION

Ce chapitre a présenté la caractérisation électrique des nouveaux matériaux diélectriques sélectionnés dans le cadre du projet EMCOMIT. Certains d'entre eux sont dédiés à la réalisation de circuits imprimés compatibles avec la norme RoHs et d'autres sont destinés à la réalisation de supports pour des applications à des fréquences élevées. A travers des mesures électriques et des coupes sur les véhicules de test, ces matériaux ont été caractérisés.

Les circuits imprimés fabriqués par la société Maine CI sont caractérisés par une surgravure des lignes correctement compensées au niveau des masques. Les épaisseurs des diélectriques correspondent aux valeurs attendues, ce qui résulte d'un pressage des matériaux bien maîtrisé. La réalisation de circuits imprimés avec ces nouveaux matériaux fait appel à un procédé de fabrication industriel standard et ne demande pas de traitement supplémentaire. Seul le matériau *SpeedboardC* nécessite un nettoyage au plasma, pour supprimer les impuretés de la résine qui se forment sur la paroi des trous, après leur perçage. Cette opération est indispensable, si l'on souhaite obtenir une bonne métallisation des vias.

Les performances électriques mesurées sont à la hauteur de nos espérances, d'une part parce que les impédances visées sont atteintes et d'autre part parce que les pertes mesurées et simulées ont des valeurs très similaires. Les propriétés de ces matériaux sont connues par les résultats de mesures et utilisables dans les modèles de simulations.

Le matériau standard FR4, utilisé avant la mise en application de la norme RoHs, possédait de bonnes caractéristiques électriques : il s'agissait du *PCL370*. Une des conséquences du passage à la norme RoHs est l'utilisation d'un matériau de substitution. En s'appuyant sur les résultats de caractérisations électriques, la société BULL envisage d'utiliser le *679-F(J)* en tant que nouveau matériau standard RoHs.

Enfin, les matériaux *LX67Y* et le *FXII* présentent des pertes nettement plus faibles que les matériaux classiques tels que le *PCL370* ou le *679-F(J)*, ce qui confirme qu'il s'agit bien de matériaux pour des applications hautes fréquences. La société BULL souhaite utiliser le *LX67Y* pour la fabrication et la caractérisation d'une de leurs propres cartes fonctionnelles à haute densité.

CHAPITRE III

CARACTERISATION ELECTRIQUE DES CONDENSATEURS ENTERRES DANS LES CIRCUITS IMPRIMES HAUTE DENSITE

Comme nous l'avons vu dans le chapitre I, l'étude porte sur la caractérisation de nouveaux matériaux dédiés aux condensateurs enterrés. Cette technologie a émergé dans le but de densifier les cartes électroniques, d'améliorer potentiellement leurs performances électriques en minimisant les distances d'interconnexion et d'augmenter leur fiabilité en minimisant le nombre de soudure. Pour caractériser ces nouveaux matériaux, un véhicule de test (TVP) a été défini. Après une description de ces matériaux, la spécification de la carte de test sera exposée, ainsi que les motifs de mesure qui la composent. Les résultats des observations réalisées sur des micro-sections seront ensuite donnés, afin de connaître les épaisseurs réelles des motifs. Les résultats des mesures électriques effectuées sur ces mêmes circuits seront exposés, puis comparés avec les simulations.

I. DESCRIPTION DES MATERIAUX CAPACITIFS ENTERRES

Le deuxième objectif de cette étude est de caractériser les nouveaux matériaux permettant d'enterrer des condensateurs à l'intérieur des circuits imprimés. Ils sont placés entre les couches des circuits imprimés et connectés aux composants montés sur la surface de la carte par des vias. Deux technologies existent : les composants passifs encastrés et les feuilles de diélectriques enterrées.

La première technologie concerne des composants discrets encastrés dans les couches internes des circuits imprimés. Pour cela des composants en céramique de type CMS 0402 ou 0201, sont brasés sur des empreintes de cuivre d'un biface. Le pré-imprégné qui sera pressé sur ce biface, est découpé au laser aux endroits où vont venir se loger les composants CMS. Cette technologie a été étudiée par deux partenaires du projet européen : IMEC et la division assemblage de BARCO. La manipulation des composants encastrés est très difficile du fait de leur toute petite taille et des problèmes tels que le « Tombstoning » sont apparus. Il s'agit du soulèvement d'une extrémité, voire du redressement total, d'un composant sans plomb par rapport à la pâte à braser, comme le montre la Figure 32.

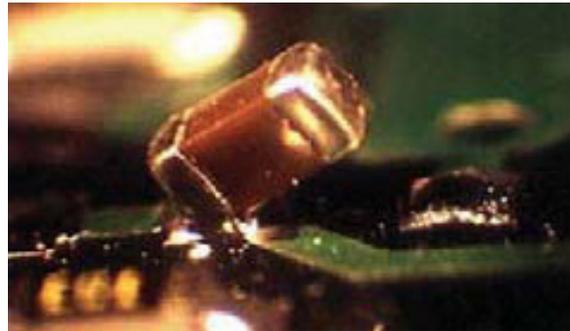


Figure 32 : Exemple de l'effet Tombstoning

Ce phénomène est dû à un déséquilibre des forces de mouillage lors d'un soudage par refusion, ce qui empêche le composant de se souder convenablement sur la carte.

De plus, des difficultés se sont manifestées dans le centrage du pré-imprégné par rapport aux composants CMS.

La Figure 33 montre une coupe réalisée par IMEC, au niveau d'un composant CMS enterré à l'intérieur des couches d'un circuit imprimé.

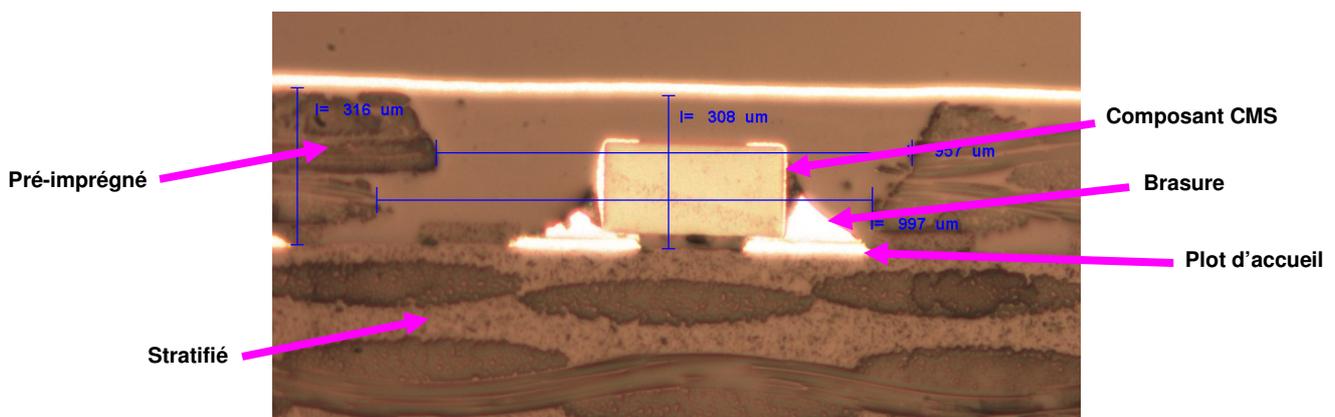


Figure 33 : Micro-section d'un composant CMS enterré (photographie de IMEC)

On aperçoit sur la photographie le composant reporté sur les deux plots d'accueil par l'intermédiaire de la brasure. Ce composant est encapsulé par le diélectrique, il est posé sur un stratifié et recouvert d'un pré-imprégné.

Les sociétés Bull SAS et EADS Telecom se sont intéressées de près à la deuxième technologie. Il s'agit des plans capacitifs enterrés [B37]. Ils se présentent sous la forme de films

isolants recouverts de part et d'autre par des couches de cuivre servant d'électrodes, comme le montre la Figure 34.

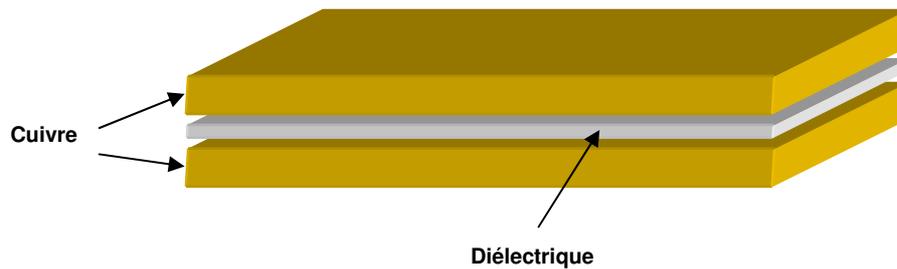


Figure 34 : Représentation d'un stratifié pour condensateurs enterrés

De la même manière qu'un biface standard, les plans capacitifs sont pressés avec le reste de l'empilage du circuit imprimé, puis reliés aux composants montés en surface par l'intermédiaire de vias. On détermine la valeur de la capacité d'un plan, à partir de la surface des électrodes, de l'épaisseur du diélectrique et de la permittivité relative, de la façon suivante :

$$\text{Équation 18 : } c = \epsilon_r \epsilon_0 \frac{S}{e}$$

- ϵ_r est la permittivité relative de l'isolant
- ϵ_0 est la permittivité du vide ($8,85 \times 10^{-12}$) [F/m]
- S est la surface des électrodes [m²]
- e est l'épaisseur de l'isolant [m]

Lorsqu'on applique une différence de potentiel aux deux conducteurs isolés l'un de l'autre, on obtient un effet capacitif par accumulation de charges.

On distingue quatre catégories d'isolants : les films épais paraélectriques, les films fins paraélectriques, les poudres ferroélectriques dans une matrice polymère, et les ferroélectriques, comme le montre le Tableau 10.

Tableau 10 : Offre en matériaux pour condensateurs enterrés

Films épais paraélectriques

Fournisseurs	Références
Sanmina Hadco Zycon	BC 2000
Oak-Mitsui	Faradflex8-24
Dupont	Interra HK04
Gould	TCC

Films fins paraélectriques

Fournisseurs	Références
Shibley	Insite
Xanodics	Stealth capacitor

Ferroélectriques

Fournisseurs	Références
Dupont	Interra EP310

Poudres ferroélectriques / Polymères

Fournisseurs	Références
3M	C-PLY
Dupont	Interra HK10
Motorola Vantico	Probelec 81CFP
Oak-Mitsui	Faradflex12TM

Les films épais paraélectriques sont des couches de polymères, typiquement de 12µm à 50µm d'épaisseur, dont la constante diélectrique est comprise entre 3 et 4. Leur densité de capacité est donc faible, généralement de 0,07 à 0,3nF/cm², ce qui limite l'utilisation de ce type de matériau à l'intégration des capacités les plus petites. Pour une épaisseur standard de 25µm, les films polyimides *TCC* de Gould affichent par exemple une densité de capacité de 108pF/cm² (216pF/cm² pour une épaisseur de 12,5µm). La densité de capacité des verre-époxy *BC2000*, produits par Polyclad sous licence Sanmina est encore plus faible, à 71pF/cm² pour une épaisseur de pré-imprégné de 50µm. Ces technologies sont disponibles à un prix très compétitif, puisqu'ils sont les moins chers parmi les quatre catégories de matériaux précitées. On note en plus une bonne stabilité de la capacité en fonction de la température et de la fréquence.

Plus fragiles tant d'un point de vue électrique que mécanique, les films paraélectriques fins ne partagent pas ces avantages. Le procédé de gravure sous vide de ces films minéraux de quelques centaines d'angströms sur une feuille de cuivre, relève plus de l'industrie des semiconducteurs que de celle des circuits imprimés. Si la constante diélectrique des films paraélectriques fins est de l'ordre de celle des films épais, ils affichent néanmoins, du fait de leur faible épaisseur, des valeurs de densité de capacité bien supérieures, comprises entre 10 et 300nF/cm².

La constante diélectrique des matériaux ferroélectriques est par contre, elle, 1000 fois supérieure à celle des matériaux paraélectriques. En revanche, la constante diélectrique des matériaux ferroélectriques dépend plus fortement de la température, de la fréquence d'utilisation, de leur épaisseur, de la nature des électrodes, et de la tension qui leur est appliquée. De plus, ces matériaux n'atteignent l'état où ils présentent une forte constante diélectrique qu'après recuit à plus de 500°C. Il est impossible, donc, d'effectuer ce recuit directement sur des substrats organiques, comme cela est pratiqué sur les céramiques depuis des années.

La solution retenue dans le projet EMCOMIT pour la fabrication de condensateurs enterrés dans les couches internes de circuits imprimés est ainsi d'utiliser des matériaux chargés de poudre ferroélectrique (préalablement recuite) dans une matrice de polymère (époxy ou polyimide). La constante diélectrique de ce type de matériaux se situe typiquement entre 10 et 20. Il s'agit du *C-PLY16* mis au point par la société 3M, le *FARADFLEX12TM* et *FARADFLEX24* proposés par Oak-

Mitsui. Ces matériaux ont été choisis parce que leurs constantes diélectriques sont élevées et que l'épaisseur des films est très mince. De plus leur manipulation est compatible avec les procédés classiques de fabrication des circuits imprimés.

Actuellement les circuits imprimés sont réalisés avec des diélectriques standard, tel que le *FR4 PCL 370* et un effet capacitif existe déjà, mais sa valeur est très faible. C'est pourquoi ce matériau a été choisi en tant que référence pour permettre la comparaison entre les résultats obtenus sur un matériau standard, couramment utilisé, et les résultats obtenus sur un matériau pour condensateurs enterrés. Cette comparaison nous permettra donc de quantifier les améliorations en termes de performances électriques, apportées par ces nouveaux matériaux.

Les propriétés physiques et électriques des matériaux sélectionnés pour l'étude sont décrites dans le Tableau 11 :

Tableau 11 : Propriétés électriques et physiques des matériaux pour condensateurs enterrés

Propriétés électriques et physiques	Unités	FR4 PCL 370	C-PLY	FARADFLEX 12TM	FARADFLEX 24
Epaisseur du diélectrique	µm	75 à 2000	16	12	24
Epaisseur de cuivre	µm	18µm à 70µm	35µm à 70µm	35µm	35µm
Permittivité relative	-	4,4	16	10	4,4
Angle de pertes	-	0,016	0,006	0,019	0,015
Capacitance	pF / cm ²	2 à 52	885	737	162
Champ électrique de claquage	V / µm	-	130	<500	<500

Comme on peut le constater à travers les résultats du Tableau 11, la capacité la plus élevée est obtenue avec le matériau *C-PLY 16* et la plus petite avec le matériau *FR4 PCL 370*. Le matériau FARADFLEX24 est un matériau paraélectrique : sa constante diélectrique est très faible (4,4) et correspond à celle du FR4 standard.

Les mesures permettront de caractériser ces matériaux et de contrôler leurs propriétés électriques. C'est à partir de la mesure d'impédances que les condensateurs enterrés seront caractérisés. Pour comprendre comment ces propriétés sont extraites des mesures, la théorie des impédances capacitives est brièvement introduite.

II. THEORIE DES IMPEDANCES CAPACITIVES

II.1. MODELISATION D'UN PLAN CAPACITIF

Un modèle électrique équivalent d'un condensateur réel peut se décomposer en une succession d'éléments séries [B32], comme nous le montre la Figure 35. Le mode de fabrication et la

présence inévitable de connexions, entraînent l'apparition d'une composante inductive et résistive, qui dégrade la capacité.

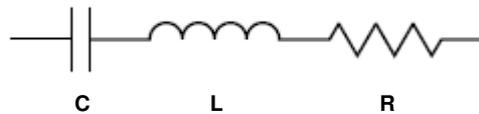


Figure 35 : Modélisation d'un condensateur

Ainsi l'impédance du condensateur en régime sinusoïdal peut se modéliser par un circuit R-L-C série et se détermine avec la relation suivante :

$$Z = R + jL\omega + \frac{1}{jC\omega}$$

Équation 19 :

$$|Z| = \sqrt{R^2 + \left(2\pi f \cdot L - \frac{1}{2\pi f \cdot C}\right)^2}$$

- R est la résistance exprimée en Ohm [Ω], elle représente les pertes ohmiques dans les connexions et dans les électrodes. A cause de l'effet de peau, cette résistance augmente avec la fréquence.
- L est l'inductance que présentent les broches de connexions, elle s'exprime en Henry [H].
- C est la capacitance exprimée en Farad [F]. Elle dépend de la surface des armatures, de l'épaisseur du diélectrique et de la constante diélectrique.

A partir de l'Équation 19, on constate que l'impédance du condensateur tend vers un comportement capacitif dans le domaine des fréquences basses et vers un comportement inductif dans le domaine des fréquences hautes. A la fréquence de résonance $f_r = \frac{1}{2\pi\sqrt{LC}}$ séparant ces deux zones, l'impédance est purement réelle et vaut R.

Pour améliorer les performances électriques des condensateurs, ces composants sont conçus de telle sorte que cette inductance soit la plus faible possible. Par exemple, la taille des boîtiers CMS diminue de plus en plus pour réduire la valeur inductive et résistive de l'impédance. Le problème de l'inductance et de la résistance est qu'au delà de la fréquence de résonance, le condensateur ne se comporte plus comme une capacité [B38] et [B39]. Nous verrons dans le paragraphe dédié à la caractérisation dans le domaine fréquentiel, l'impact de la composante inductive sur l'impédance du condensateur. Outre le fait de diminuer le nombre de composants montés sur la surface d'un circuit imprimé, les condensateurs enterrés ont le grand avantage de pouvoir être placés en dessous des circuits logiques, au plus près de ses branches d'alimentations, ce qui permet de réduire la boucle de courant [B40].

Une capacité de découplage de bonne qualité, se caractérise par une résistance et une inductance faible. Afin de savoir si les propriétés électriques des condensateurs enterrés permettent d'obtenir un découplage de bonne qualité, nous nous intéresserons aux trois éléments séries R-L-C qui caractérisent l'impédance capacitive.

Le circuit R-L-C série de la Figure 35, équivalent à l'impédance du condensateur, a été simulé avec $R=3,8m\Omega$, $L=8,5pH$ et $C=1,13nF$ et son comportement fréquentiel est représenté sur la Figure 36. Les axes X et Y sont en échelle logarithmique.

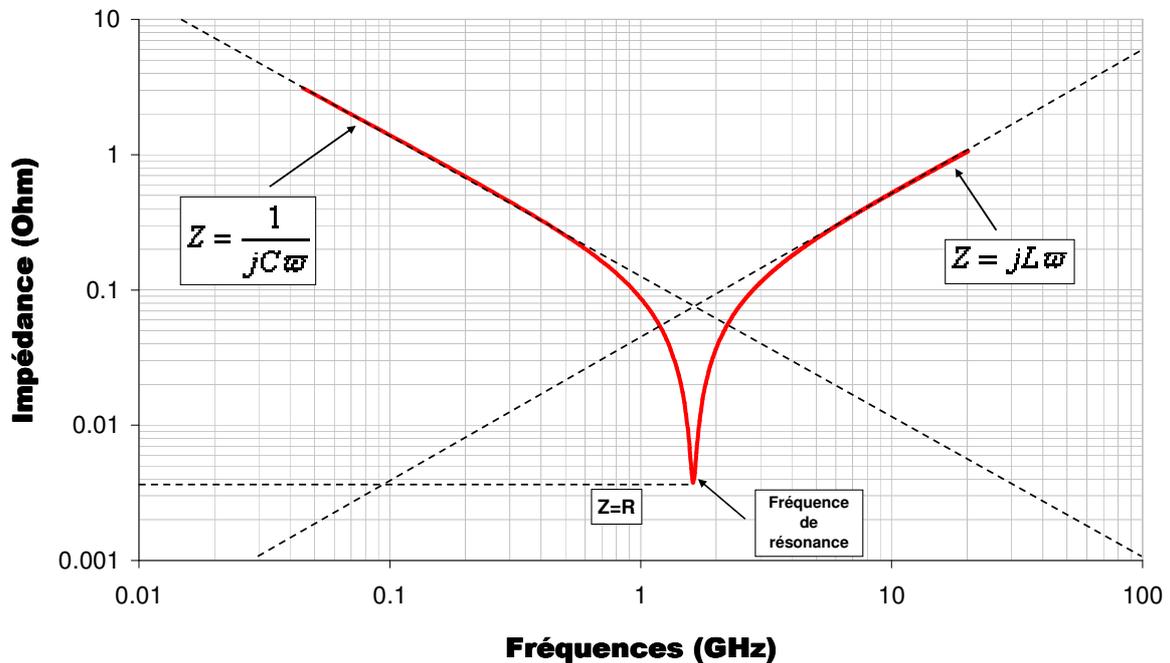


Figure 36 : Exemple de courbe d'impédance de transfert simulée

Dans le domaine des basses fréquences, l'impédance du condensateur a un comportement capacitif qui se traduit par $|Z| = \frac{1}{2\pi f C}$. A la fréquence de résonance du circuit, c'est-à-dire pour $f_r = \frac{1}{2\pi\sqrt{LC}}$, l'impédance a un comportement purement résistif et alors $|Z| = R$. Enfin pour les fréquences hautes, l'impédance a un comportement inductif, qui se traduit par $|Z| = 2\pi f L$.

En fonction du module de l'impédance complexe Z , il est alors possible de déterminer la résistance R , la capacité C et l'inductance L , qui constituent l'impédance du circuit équivalent au modèle du condensateur. La résistance R est calculée sur un seul point de la courbe qui correspond à la fréquence de résonance. La capacité C est une moyenne des points pris sur la pente, avant la fréquence de résonance. L'inductance L est une moyenne des points pris sur la pente, après la fréquence de résonance.

II.2. CARACTERISATION ELECTRIQUE DANS LE DOMAINE FREQUENTIEL

La mesure des condensateurs dans le domaine fréquentiel peut se réaliser à partir d'équipements tels que l'impédance-mètre ou l'analyseur de réseau. Compte tenu de la courte gamme de fréquences dont dispose l'impédance-mètre, c'est l'analyseur de réseau qui a été choisi

pour caractériser les condensateurs enterrés. Les paramètres S_{xx} de cet appareil de mesure sont utilisés pour extraire la courbe de l'impédance du condensateur, traduite par l'Équation 19.

Pour effectuer la mesure, les 2 ports de l'analyseur de réseau sont connectés en parallèle au condensateur, ce qui n'était pas le cas pour les lignes simples [B28]. Cette configuration de mesure, similaire à la méthode de mesure à quatre points d'une résistance, est parfaitement adaptée aux faibles impédances des condensateurs enterrés, qui avoisinent généralement la dizaine de milliohms. La Figure 37 montre la configuration adoptée pour réaliser convenablement la mesure d'un condensateur, par la méthode dite à quatre points.

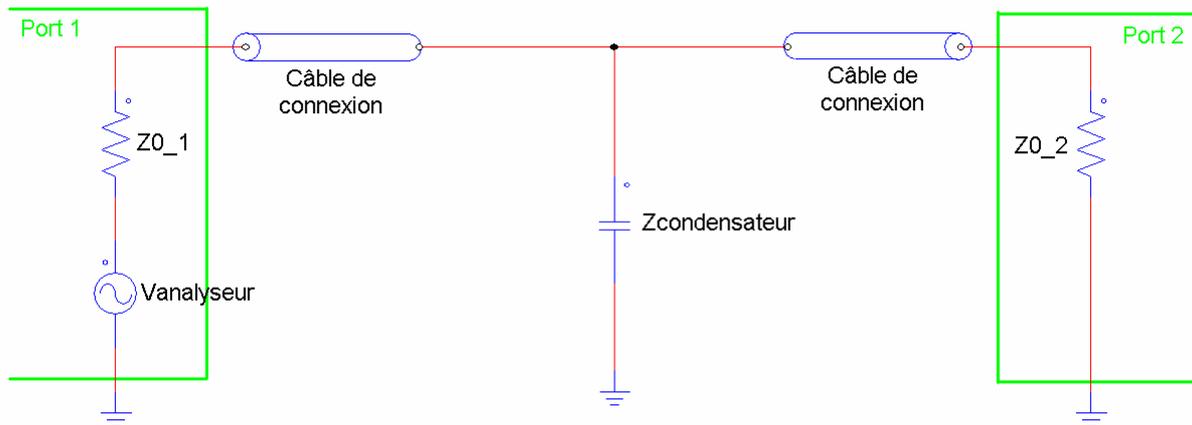


Figure 37 : Configuration de la mesure des paramètres S_{xx} par la méthode à quatre points

Dans notre cas, l'analyseur de réseau mesure les paramètres S_{xx} du condensateur, qui seront utilisés dans l'Équation 20, pour calculer l'impédance $Z_{condensateur}$.

$$\text{Équation 20 : } Z = Z_0 \frac{2S_{12}}{(1 - S_{11})(1 - S_{22}) - S_{12}S_{21}} \quad \text{Avec } Z_0=50\text{Ohms}$$

Avec $S_{11}=S_{22}$ et $S_{21}=S_{12}$

Les éléments R-L-C seront ensuite extraits de l'impédance, comme nous l'avons vu dans le paragraphe II.1. Une comparaison des éléments inductifs est établie entre chaque matériau, afin d'identifier celui qui offre la plus faible inductance parasite. L'élément capacitif est également corrélé avec la valeur attendue, pour vérifier la cohérence avec la valeur annoncée dans la spécification technique du matériau.

III. VEHICULE DE TEST POUR LA CARACTERISATION DES CONDENSATEURS ENTERRES

Le deuxième objectif de la thèse est de caractériser les nouveaux matériaux pour condensateurs enterrés. Un véhicule de test (TVP) a donc été défini pour permettre de qualifier les performances électriques de chaque matériau. C'est à partir des résultats de mesures effectuées sur les motifs définis par EADS et BULL qu'il a été possible de quantifier la constante diélectrique des matériaux pour condensateurs enterrés.

III.1. SPECIFICATION DU VEHICULE DE TEST TVP

La taille du circuit imprimé a été définie dans les mêmes conditions que le premier, c'est-à-dire qu'il a une surface totale de $160 \times 160 \text{mm}^2$ et une surface utile de $155 \times 155 \text{mm}^2$. Ces véhicules de test ont été fabriqués par la société Maine CI.

III.1.1. DEFINITION DE L'EMPILAGE DU CIRCUIT IMPRIME

Le véhicule de test TVP est construit sur un empilage de huit couches de cuivre. Quatre d'entre elles sont dédiées aux signaux et les quatre suivantes servent à la réalisation des condensateurs enterrés. L'empilage du véhicule de test est donné par la Figure 38.

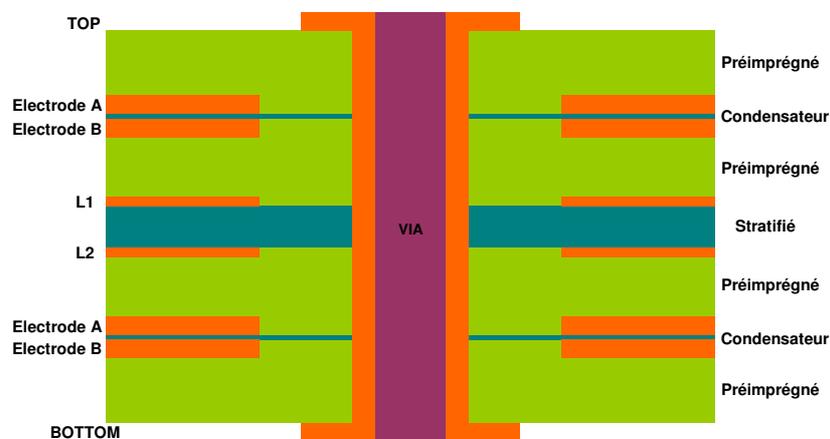


Figure 38 : Section de l'empilage des huit couches du véhicule de test TVP

Trois stratifiés sont nécessaires pour fabriquer notre carte de test. Le premier qui est une base de *FR4 PCL 370*, est placé au cœur de l'empilage et assure la rigidité du circuit imprimé. Les deux autres sont des stratifiés pour condensateurs enterrés et sont placés au plus près des couches externes de l'empilage, comme le montre la Figure 38. Le stratifié central et les couches des condensateurs ont des épaisseurs de cuivre différentes. En effet le cœur de l'empilage est réalisé à partir d'un biface dont les couches de cuivre ont une épaisseur de $18 \mu\text{m}$ et les condensateurs ont une épaisseur de cuivre de $35 \mu\text{m}$. Les épaisseurs de cuivre des condensateurs sont celles disponibles chez les fournisseurs des matériaux. Les couches externes sont des cuivres de $12 \mu\text{m}$ d'épaisseur avec une recharge en cuivre jusqu'à $45 \mu\text{m}$.

Les couches appelées « condensateur 1 » et « condensateur 2 », ont été positionnées le plus possible à l'extérieur de l'empilage de la carte. En règle générale, les condensateurs de découplage sont placés le plus près possible des broches d'alimentation des circuits logiques. La raison qui explique cette règle est l'inductance parasite de l'impédance de transfert évoquée dans le paragraphe II.1. Elle augmente proportionnellement à la distance de parcours du courant entre la capacité de découplage et le circuit logique. Puisque ces circuits sont reportés sur la surface de la carte électronique, la stratégie adoptée est d'enterrer les condensateurs le plus proche possible des couches externes de l'empilage.

Aussi pour mesurer les motifs placés sur la couche « condensateur 1 », les sondes ont été posées sur les empreintes de la couche TOP et les motifs de la couche « condensateur 2 » ont été mesurés sur les empreintes de la couche BOTTOM.

III.1.2. DESCRIPTION DES MOTIFS DE TEST

Pour comparer les résultats des impédances capacitives, les motifs des condensateurs enterrés sont communs à tous les véhicules de test. Les motifs de caractérisation sont des plans en parallèle de différentes tailles répartis sur les couches « condensateur 1 » et « condensateur 2 » de la Figure 38. Un total de 40 motifs de test par carte a été défini et mesuré.

Comme la mesure des impédances est réalisée avec les deux ports de l'analyseur de réseau, deux sondes sont utilisées. Les électrodes des condensateurs sont reliées aux empreintes de sondes, par l'intermédiaire de vias. Le diamètre nominal de perçage de ces vias est de 250µm, celui de l'anti-pad est de 800µm. Les empreintes de mesures sont compatibles avec les sondes Cascade ACP « Ground – Signal – Ground » au pas de 250µm. Les deux sondes sont connectées en parallèle au condensateur, pour cela chaque broche est reliée à son électrode respective par l'intermédiaire d'un via, pour un total de six vias [B41] et [B48].

La Figure 39 représente en trois dimensions la méthode de connexion. On aperçoit les armatures inférieures et supérieures du condensateur, ainsi que les empreintes des deux sondes.

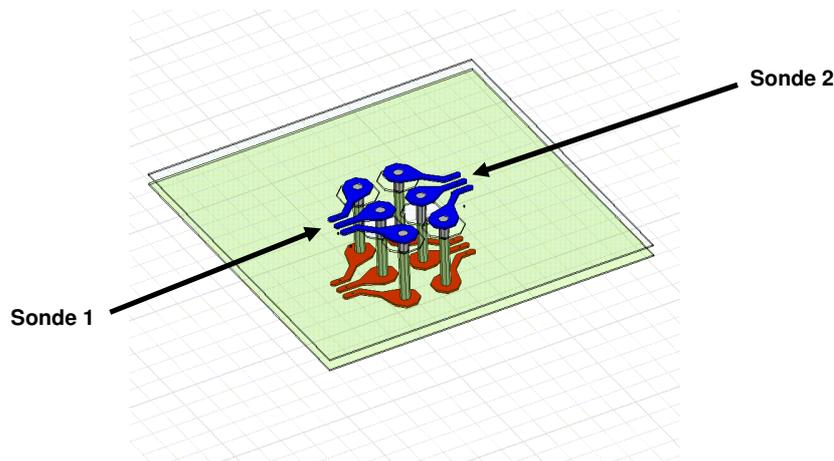


Figure 39 : Illustration en 3D du condensateur enterré et de l'empreinte des sondes

C'est à partir de la surface des armatures et des propriétés du diélectrique que la capacité d'un plan est calculée. Il faut également prendre en compte le diamètre de l'isolement de chaque via, qui diminue la surface efficace des électrodes et par la même occasion la capacité.

Les valeurs des condensateurs du véhicule de test ont été choisies en fonction des critères suivants : la bande de fréquences de l'équipement de mesure, la surface disponible du circuit imprimé, les différentes épaisseurs des diélectriques et la permittivité des matériaux.

En effet, comme nous l'avons vu dans le paragraphe précédent, les éléments séries R-L-C se déterminent à partir de l'impédance du condensateur et se situent autour de la fréquence de résonance. Par conséquent il faut s'assurer que l'analyseur de réseau couvre une plage de fréquences suffisamment grande avant et après la fréquence de résonance. L'équipement de mesures dispose d'une bande de fréquences comprise entre 45MHz et 20GHz.

Une approximation de la fréquence de résonance a été faite à partir de l'équation $f_r = \frac{1}{2\pi\sqrt{LC}}$.

Pour estimer l'inductance L, on considère qu'elle est équivalente à celle des vias de connexions. On calcule l'inductance d'un via à partir de la relation suivante :

$$\text{Équation 21 : } L = 0,2h \left[\ln \left(\frac{4h}{d} \right) + 1 \right]$$

- h est la longueur du via en mètre [m]
- d est le diamètre du via en mètre [m]

Ainsi en fonction de l'épaisseur de la carte, qui définit la longueur d'un via, on obtient une inductance L de 188pH.

Pour s'assurer que la fréquence de résonance se situe entre 45MHz et 20GHz, quatre valeurs de capacités sont obtenues, conduisant à quatre surfaces d'électrodes répertoriées dans le Tableau 12. En considérant l'ensemble des matériaux, les capacités doivent conduire à des fréquences de résonance comprises entre 117,6MHz et 2,59GHz.

Tableau 12 : Tableau récapitulatif des surfaces totales des électrodes et des capacités nominales

Matériaux	Epaisseur diélectrique	ϵ_r	Surface 13mm ²	Surface 50mm ²	Surface 200mm ²	Surface 1100mm ²
C-PLY	16µm	16	0,11nF	0,44nF	1,77nF	9,73nF
FARADFLEX12TM	12µm	10	0,09nF	0,37nF	1,47nF	8,11nF
FARADFLEX24	24µm	4,4	0,02nF	0,08nF	0,32nF	1,78nF

Chaque véhicule de test rassemble les motifs suivants :

- 12 condensateurs de 13mm²
- 16 condensateurs de 50mm²
- 8 condensateurs de 200mm²
- 4 condensateurs de 1100mm²

Le tracé des couches a été effectué par les sociétés BULL SAS et EADS. Pour les motifs définis par BULL, les armatures des condensateurs ont été dessinées comme des plans de cuivre de surface égale, placés en vis-à-vis autour de la feuille de diélectrique. Les empreintes des sondes ont été implantées sur les couches externes, au dessus de la zone des armatures et sont reliées aux condensateurs par l'intermédiaire de vias. Des points de mesures ont été positionnés au centre des armatures mais aussi dans les angles, afin d'étudier le comportement des impédances sur toute la surface du condensateur.

La Figure 40 est un exemple du motif de test réalisé pour caractériser les condensateurs enterrés.

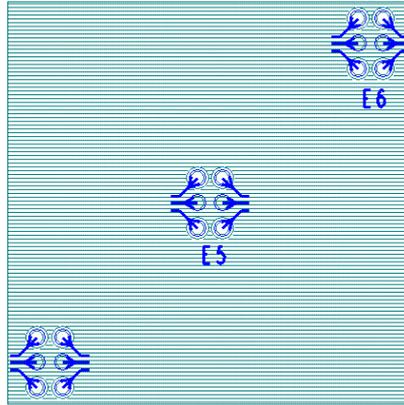


Figure 40 : Exemple d'un motif de test pour condensateurs enterrés

Sur le motif de test, on aperçoit trois empreintes permettant de placer les sondes de mesures au centre et dans les angles des électrodes.

III.1.3. FABRICATION DES VEHICULES DE TEST

Maine CI a fabriqué les circuits imprimés et les a distribués aux différents partenaires concernés par les mesures des condensateurs enterrés. Voici la liste des véhicules de test dont la société BULL dispose et qui ont été mesurés :

- Dix TVP à base de **C-PLY** fourni par *3M*
- Six TVP à base de **FARADFLEX 12 TM** fourni par *Oak-Mitsui*
- Six TVP à base de **FARADFLEX 24** fourni par *Oak-Mitsui*

La Figure 41 montre la face supérieure du véhicule de test TVP, fabriqué sur une base de *C-PLY*. Les zones délimitées en bleu représentent les motifs utilisés par BULL et ceux utilisés par EADS.

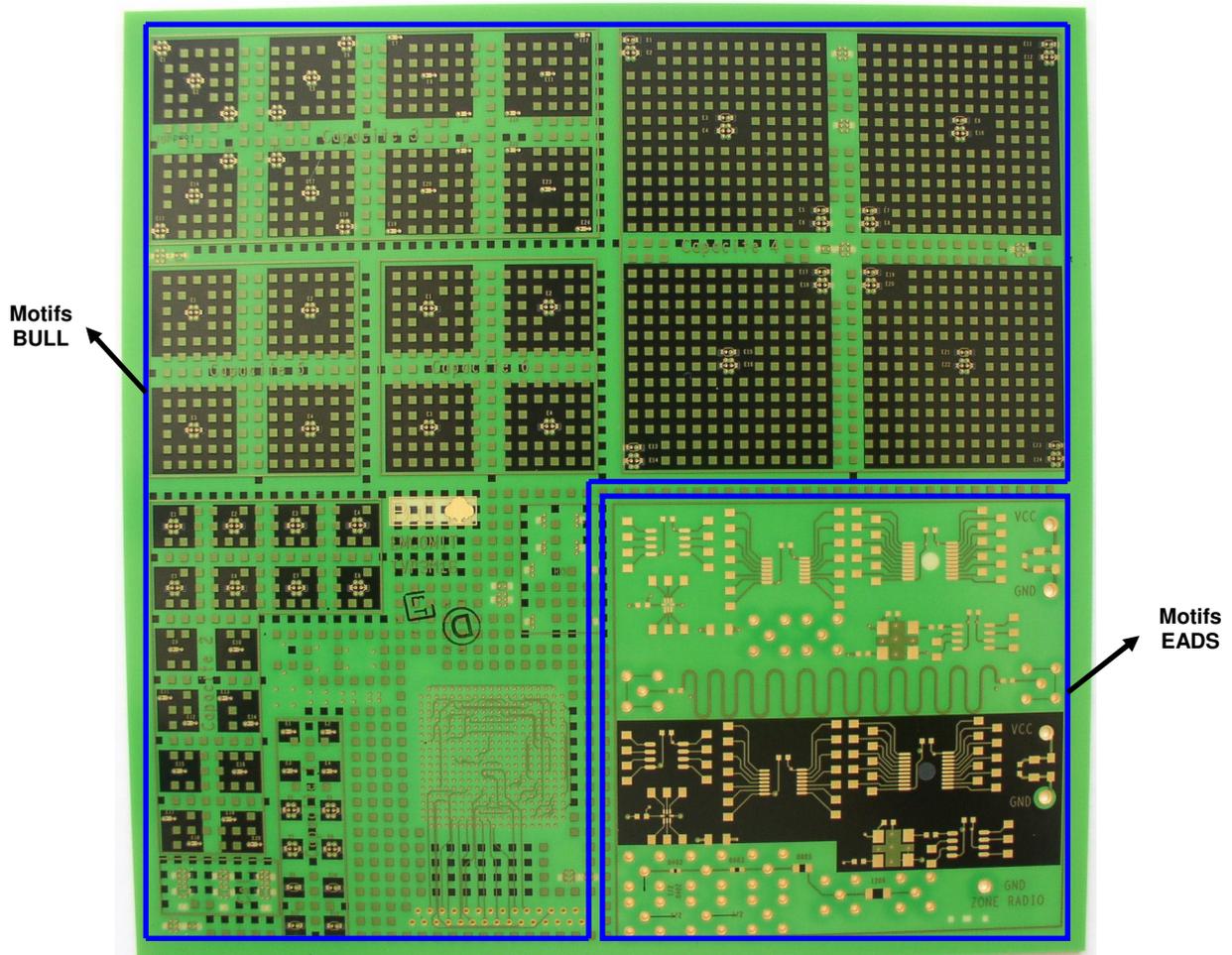


Figure 41 : Vue d'un véhicule de test réalisé à partir du matériau pour condensateur enterré C-PLY

La fabrication des véhicules de test TVP est très délicate et certaines règles ont été définies pour faciliter leur manipulation. L'épaisseur d'un matériau pour condensateur enterré peut être quatre fois plus petite que celle d'un matériau conventionnel FR4. De plus les zones dépourvues de cuivre n'ont plus aucune rigidité et ne restent maintenues que par les 12 ou 16 μ m d'épaisseur du diélectrique. Aussi la fragilité de ces feuilles rend le procédé de fabrication encore plus complexe.

Tout d'abord le fabricant ne grave qu'un seul côté du biface et presse immédiatement avec un pré-imprégné. Cette procédure permet à l'utilisateur de travailler avec un ensemble relativement rigide et suffisamment solide. Ensuite c'est le deuxième côté du biface qui est gravé à son tour. La difficulté repose dans le placement du masque de gravure, car le manipulateur doit s'assurer que les motifs se trouvent bien les uns en face des autres. Ces opérations sont répétées sur la deuxième couche de condensateur et l'ensemble est pressé avec le cœur central de l'empilage.

Enfin, le circuit est percé pour réaliser les vias de connexion, puis une recharge de cuivre est faite sur les couches TOP et BOTTOM.

Cette méthode de fabrication a été conseillée par Oak-Mitsui et 3M, et souvent décrite dans des publications qui relatent la manipulation des condensateurs enterrés.

IV. MESURE DES MOTIFS DE TEST

L'ensemble des motifs de test a été mesuré au sein du laboratoire de BULL. Les mesures ont été effectuées par l'intermédiaire d'un analyseur de réseau à deux ports, pour déterminer les paramètres S_{xx} du condensateur [B51]. Ces paramètres ont ensuite été utilisés dans l'Équation 20, pour le calcul de l'impédance du condensateur. Des observations sur des coupes ont permis de connaître les dimensions physiques des condensateurs. Après une analyse des micro-sections, les résultats des mesures électriques vous seront présentés.

IV.1. ANALYSE DES MICRO-SECTIONS

Pour observer le résultat de fabrication des condensateurs enterrés par Maine CI, des micro-sections ont été pratiquées sur les substrats. Les observations des coupes ont pour objectifs de connaître les épaisseurs des conducteurs et des diélectriques. L'équipement optique permet de visualiser des géométries du micron à quelques centaines de microns. En revanche il n'est pas possible de mesurer la surface des électrodes qui est de plusieurs centimètres. Cependant, une analyse visuelle au niveau des bords des armatures d'un condensateur nous permet de contrôler si les électrodes sont les unes en face des autres. Une reconstitution complète de la section d'un condensateur est présentée sur la Figure 42.

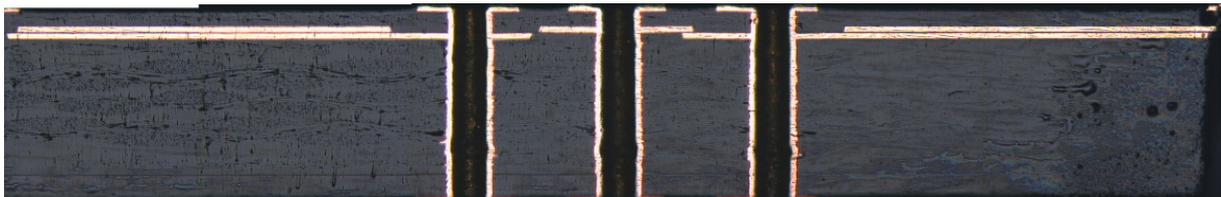


Figure 42 : Condensateur enterré dans l'empilage du véhicule de test TVP

La Figure 42 nous montre les deux armatures d'un condensateur enterré dans l'empilage du circuit imprimé TVP. Le via central est relié à l'électrode supérieure et les deux vias de gauche et de droite sont connectés à l'électrode inférieure. Il faut noter que les anti-pad diminuent la surface utile des électrodes et que par conséquent la valeur de la capacité est réduite. En observant bien la zone des vias, on constate qu'il n'y a pas de cuivre en vis-à-vis, par conséquent il n'y pas d'accumulation de charge dans cette zone. Cela vient du fait que le diamètre de l'anti-pad et le pas entre les vias sont similaires. L'effet capacitif se situe donc principalement en dehors de la zone des vias.

La Figure 43 est une photographie des deux couches capacitives « condensateur 1 » et « condensateur 2 » et de l'agrandissement au niveau d'un bord d'un condensateur. Sur l'image de gauche, les électrodes sont représentées en lignes parallèles blanches et l'image de droite est un agrandissement des bords des électrodes. En observant les photographies, on observe un décalage entre les deux couches de cuivre qui composent le même condensateur.

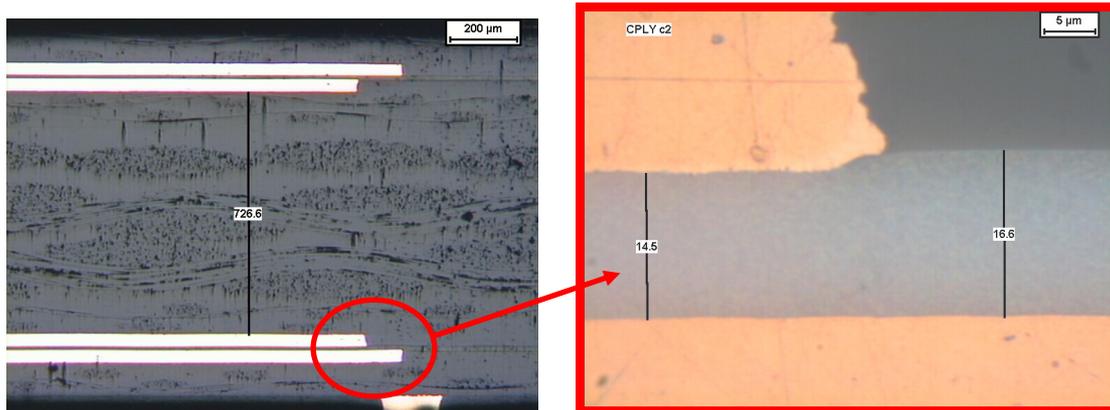


Figure 43 : Coupe des condensateurs enterrés sur TVP

D'après les observations réalisées sur un ensemble de micro-sections, un décalage moyen de 100µm a été noté entre les deux électrodes. Ce décentrage des plans va également diminuer la valeur de la capacité, puisque la surface utile des électrodes sera plus petite.

Le Tableau 13 regroupe les épaisseurs des diélectriques et des plans de cuivre, observées sur les condensateurs enterrés dans le véhicule de test TVP.

Tableau 13 : Comparaison des dimensions physiques observées sur les condensateurs enterrés

Empilage	C-PLY		FARADFLEX 12 TM		FARADFLEX 24	
	Attendue	mesurée	Attendue	mesurée	Attendue	mesurée
TOP	45	41	45	45	45	40
Pré-imprégné	110	112	110	138	110	117
Electrode 1-a	35	31	35	32	35	30
Condensateur 1	16	15	12	11	24	21
Electrode 1-b	35	34	35	32	35	30
Pré-imprégné + Cœur + Pré-imprégné	728	727	728	750	728	735
Electrode 2-a	35	33	35	32	35	30
Condensateur 2	16	15	12	11	24	21
Electrode 2-b	35	33	35	32	35	30
Pré-imprégné	110	101	110	93	110	98
BOTTOM	45	41	45	48	45	41

D'une manière générale, les épaisseurs de cuivre sont homogènes et correspondent aux épaisseurs attendues. On note une moyenne de 32µm d'épaisseur de cuivre pour les électrodes des condensateurs, pour une épaisseur visée à 35µm. Une épaisseur moyenne de cuivre égale à 43µm est mesurée en couches externes, alors que nous attendions 45µm. Les épaisseurs observées sur les diélectriques pour condensateurs enterrés sont légèrement inférieures à nos attentes. On mesure une épaisseur de diélectrique de 15µm sur le matériau C-PLY, de 11µm sur le matériau FARADFLEX12TM et de 21µm sur le matériau FARADFLEX24.

Les épaisseurs mesurées sur les diélectriques seront utilisées dans la suite de l'étude pour calculer les capacités des condensateurs. La mesure des dimensions physiques est réalisée avec une incertitude de $1\mu\text{m}$. Or pour des géométries de l'ordre de la dizaine de microns, cette incertitude est non négligeable. Un écart de 10% entre la capacité calculée et la capacité mesurée est donc envisageable, pour des épaisseurs nominales de diélectriques de $12\mu\text{m}$.

IV.2. CARACTERISATION DU CONDENSATEUR A L'ANALYSEUR DE RESEAU

La caractérisation des condensateurs enterrés porte sur deux aspects. Le premier consiste à vérifier la capacité des condensateurs et d'en déduire la constante diélectrique des matériaux, en fonction des dimensions physiques des condensateurs. Le deuxième aspect porte sur la comparaison des éléments parasites (inductances et résistances) des impédances mesurées sur chaque matériau. Enfin des condensateurs montés en surface ont été mesurés et leurs inductances seront comparées avec celles des condensateurs enterrés.

IV.2.1. CONFIGURATION DE LA MESURE DE L'IMPEDANCE CAPACITIVE

Pour mesurer les condensateurs, les cartes TVP sont disposées sur le banc de test décrit dans le chapitre II. Elles sont connectées aux équipements de mesures par l'intermédiaire de sondes *Cascade GSG* et de câbles *Gore Tex* à faibles pertes. Les paramètres S_{11} et S_{21} des condensateurs ont été mesurés à l'aide d'un analyseur de réseau *HP8510C*. Trois calibrations SOLT ont été faites avec des gammes de fréquences spécifiques :

- La calibration 1 a une gamme de fréquences entre 45MHz et 5GHz avec 801 points
- La calibration 2 a une gamme de fréquences entre 45MHz et 10GHz avec 801 points
- La calibration 3 a une gamme de fréquences entre 45MHz et 20GHz avec 801 points

Les condensateurs dont la surface est de 13mm^2 ont été mesurés avec la calibration 1 ; les condensateurs de surface 50mm^2 ont été mesurés avec la calibration 2 ; et les condensateurs de surface 200mm^2 et 1100mm^2 ont été mesurés avec la calibration 3. L'intérêt d'utiliser ces trois calibrations est de répartir la totalité des points de mesures de l'analyseur de réseau, c'est-à-dire 801 points, autour de la fréquence de résonance de chaque condensateur. Comme nous l'avons vu dans le paragraphe II.2 sur la caractérisation des condensateurs, les éléments séries R-L-C qui modélisent une impédance capacitive se situent autour de la fréquence de résonance du condensateur.

La Figure 44 montre le résultat d'une impédance mesurée sur un condensateur de surface égale à 50mm^2 , fabriqué à partir du matériau *C-PLY*.

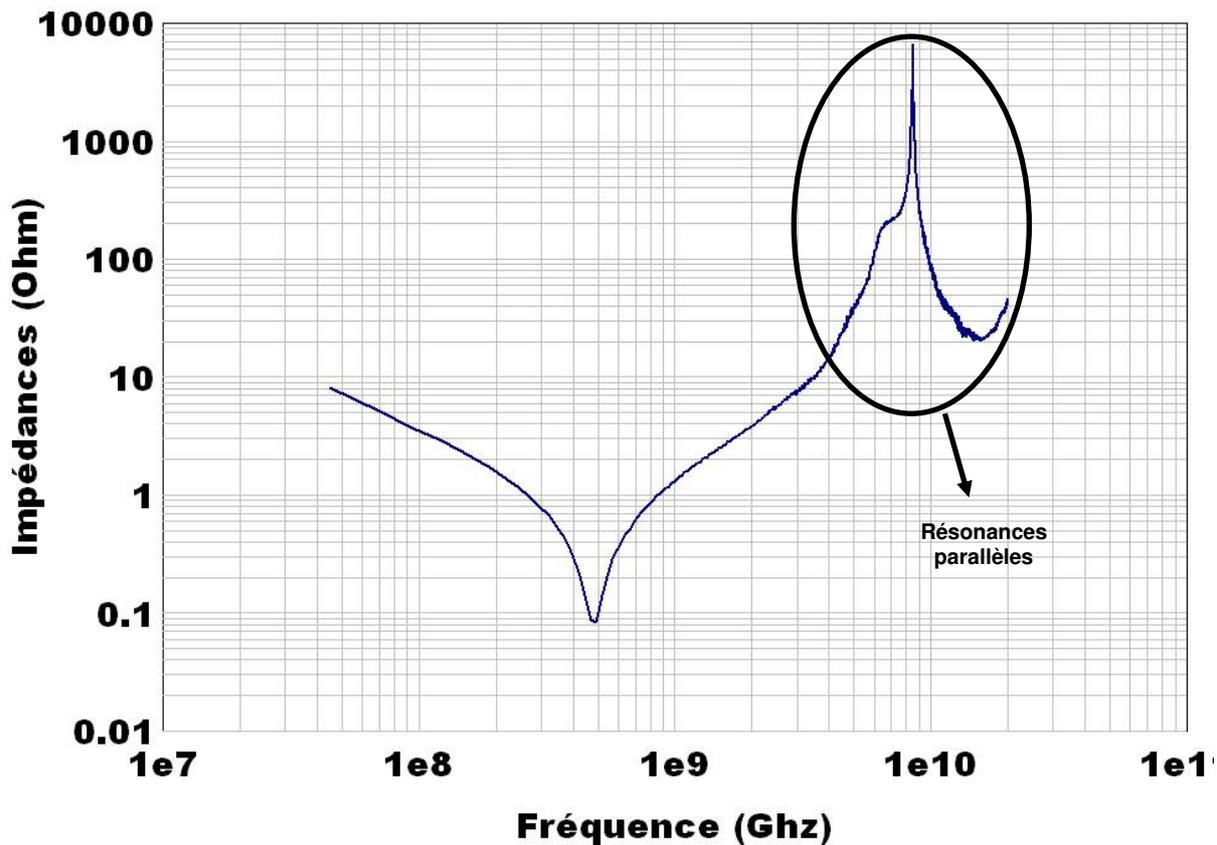


Figure 44 : Impédance mesurée sur le matériau C-PLY pour une surface de 50mm²

On aperçoit sur la Figure 44 la fréquence de résonance à 482,5MHz, pour laquelle le condensateur a un comportement résistif. Pour des fréquences situées en dessous de cette résonance, le condensateur se comporte comme une capacité pure, tandis que pour des fréquences supérieures à la résonance, il se comporte comme une inductance. Cette première identification permet simplement d'extraire les éléments séries de l'impédance.

Nous interpréterons le phénomène des résonances parallèles à la suite de l'extraction des éléments séries et par l'intermédiaire de simulations en trois dimensions.

IV.2.2. EXTRACTION DE L'ELEMENT CAPACITIF

La caractérisation du condensateur consiste, dans un premier temps, à déterminer la valeur de la capacité. Liée aux dimensions physiques du condensateur, c'est elle qui permet de vérifier la constante diélectrique du matériau. Pour cela, nous utilisons les valeurs de l'impédance situées avant la résonance du condensateur. La Figure 45 montre les impédances mesurées sur les condensateurs enterrés FARADFLEX 24, pour des surfaces d'électrodes égales à 13mm², 50mm², 200mm² et 1100mm².

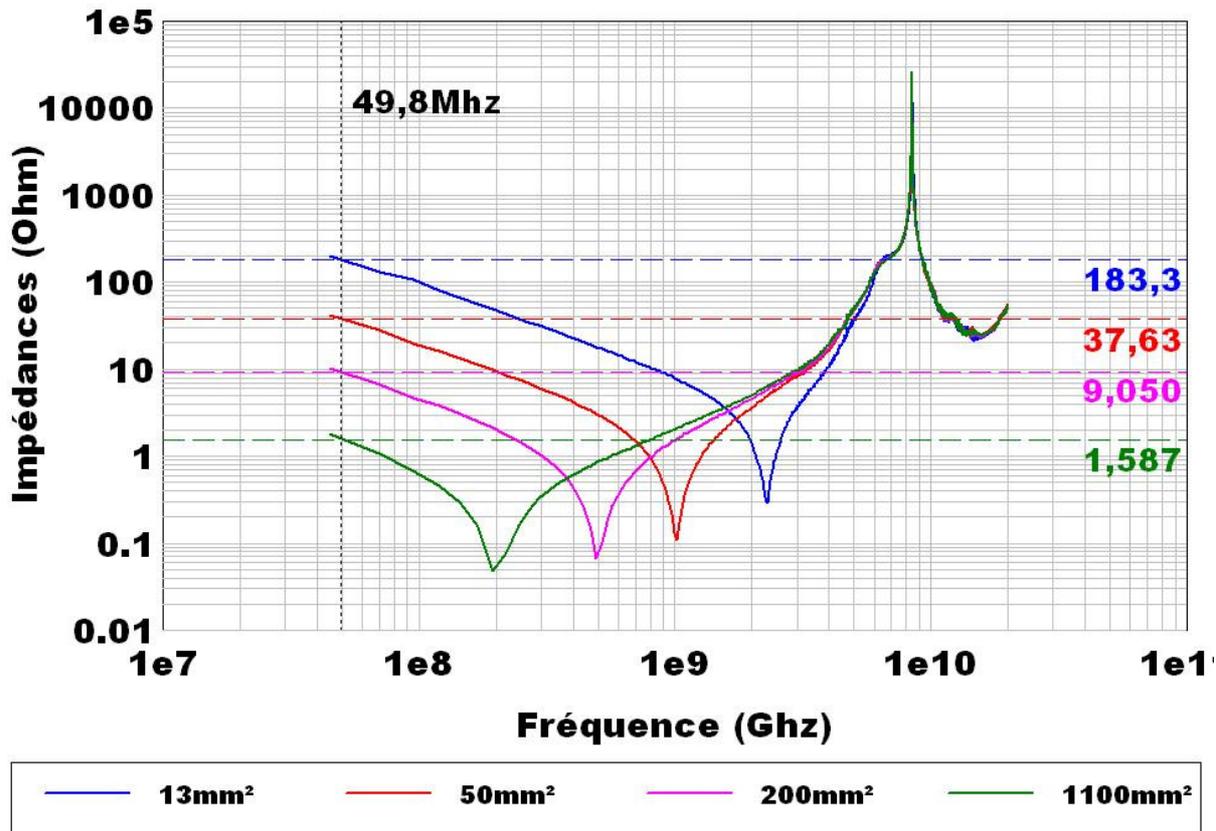


Figure 45 : Impédance capacitive mesurée sur le matériau FARADFLEX 24

Dans le domaine des fréquences basses de la Figure 45, c'est-à-dire pour lesquelles l'impédance présente un comportement capacitif, on distingue très nettement les quatre valeurs des condensateurs mesurées. Plus la surface des électrodes est élevée et plus l'impédance est basse, car $|Z| = \frac{1}{2\pi f C}$.

Les moyennes des capacités extraites des impédances mesurées sur les véhicules de test sont répertoriées par matériau et par surface d'électrodes dans le Tableau 14.

Tableau 14 : Moyenne des capacités extraites des impédances mesurées

Capacités (nF)	Surface 13mm ²	Surface 50mm ²	Surface 200mm ²	Surface 1100mm ²
C-PLY	0,079	0,422	1,743	10,153
FARADFLEX 12 TM	0,058	0,304	1,237	7,388
FARADFLEX 24	0,017	0,084	0,336	1,909
FR4PCL370 standard	0,0085	0,0307	0,12	0,644

D'une manière générale, on constate dans le Tableau 14 que plus la surface des armatures est grande et plus la capacité est élevée, ce qui est en accord avec l'Équation 18. Le matériau pour condensateurs enterrés FARADFLEX24 offre des valeurs de capacités très faibles, pour une épaisseur nominale et une permittivité relative du diélectrique, qui sont respectivement de 24µm et 4,4. Avec une épaisseur de 16µm et une constante diélectrique de 16, le matériau C-PLY donne des valeurs de capacités qui sont les plus élevées du tableau. On note également qu'à surfaces égales, le matériau C-PLY permet d'obtenir des capacités 16 fois plus grandes qu'avec un matériau standard en

FR4 PCL 370 et le matériau FARADFLEX12TM donne des capacités 11 fois plus grandes. Ces résultats ont été retrouvés pour les motifs situés dans les angles des électrodes, ce qui montre que l'accumulation de charge est homogène sur toute la surface des armatures.

Les courbes extraites des mesures sur des condensateurs enterrés sont présentées dans la Figure 46. Elles permettent de visualiser la tendance des capacités mesurées pour chaque matériau et en fonction de la surface des électrodes.

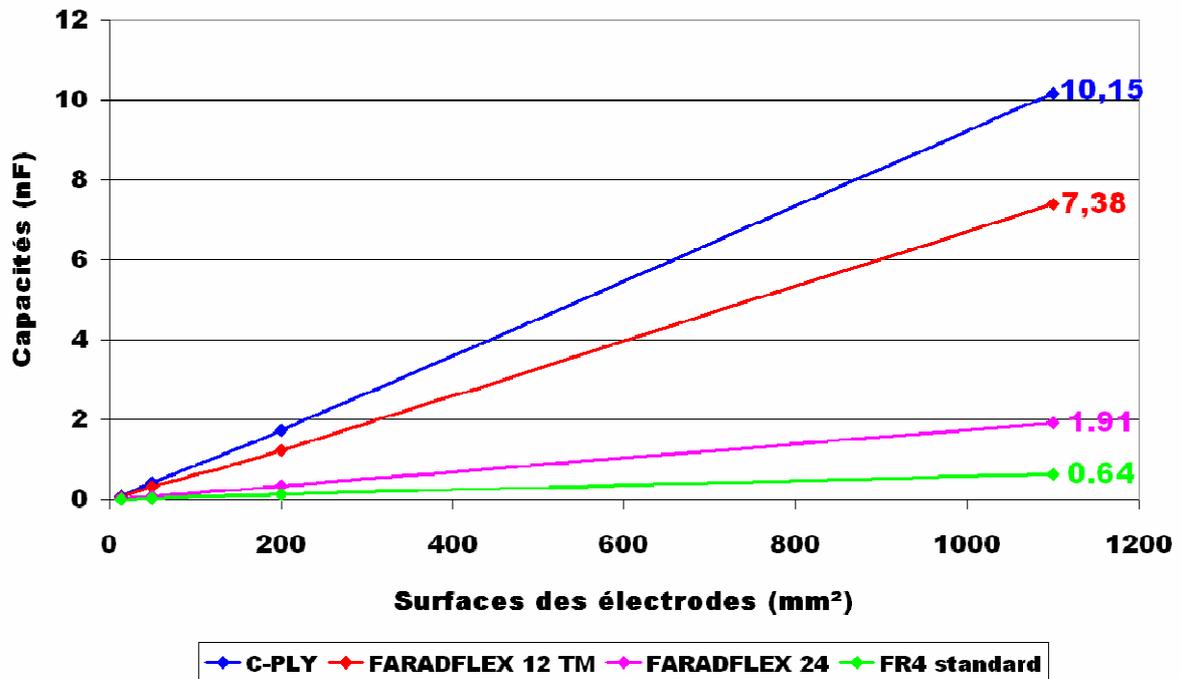


Figure 46 : Moyenne des capacités extraites des impédances mesurées

Les courbes sont linéaires, ce qui s'accorde bien avec le calcul de la capacité, qui prend en considération la surface des électrodes, l'épaisseur du diélectrique et sa permittivité relative. Puisque les propriétés électriques des matériaux sont considérées constantes, on peut donc en déduire que l'épaisseur du diélectrique est identique sur toute la surface de la carte.

Les capacités sont calculées à partir de l'Équation 18 et en fonction des épaisseurs des diélectriques mesurées, présentées dans le Tableau 13. La surface des électrodes de chaque condensateur correspond à l'aire totale du cuivre moins le diamètre des trous d'isolement des vias. La constante diélectrique utilisée, est celle donnée par les documents techniques des matériaux. La comparaison a pour but de vérifier la valeur de la constante diélectrique annoncée dans la spécification technique des matériaux.

La Figure 47 compare les capacités mesurées et calculées à partir du matériau C-PLY.

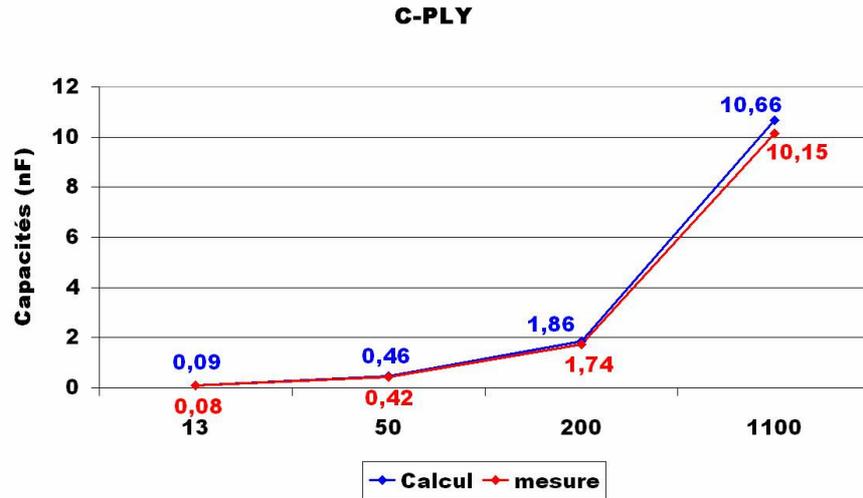


Figure 47 : Comparaison des capacités mesurées et calculées avec le matériau C-PLY

Les capacités C-PLY ont été calculées pour une épaisseur de diélectrique de $15\mu\text{m}$ et une constante diélectrique de 16. Les capacités mesurées donnent des résultats inférieurs aux valeurs attendues, l'écart relatif entre la mesure et la théorie est de -8%, la corrélation est acceptable.

La Figure 48 compare les capacités mesurées et calculées avec le matériau FARADFLEX 12.

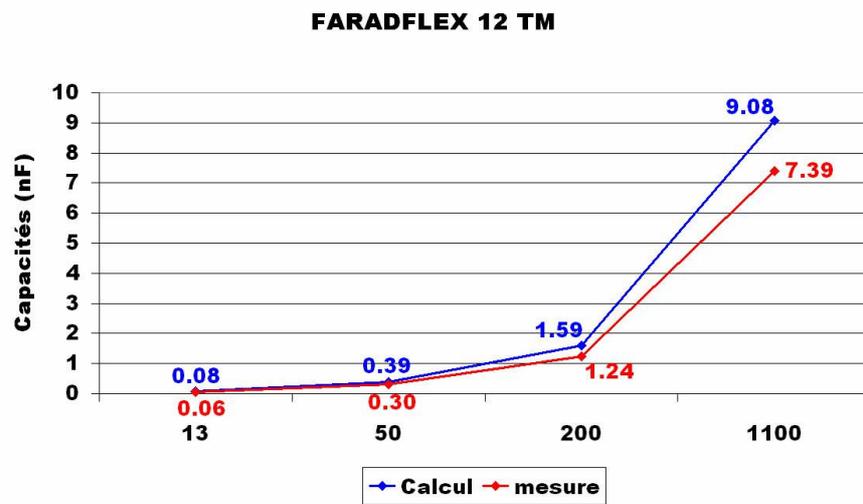


Figure 48 : Comparaison des capacités mesurées et calculées avec le matériau FARADFLEX 12

Les capacités FARADFLEX 12 ont été calculées avec une épaisseur de diélectrique de $11\mu\text{m}$ et une constante diélectrique de 10. Les capacités mesurées sont inférieures aux valeurs attendues, l'écart relatif entre la mesure et la théorie est de -21%. Le matériau FARADFLEX 12 est le diélectrique étudié le plus mince, puisque son épaisseur nominale est de $12\mu\text{m}$. Comme nous l'avons vu lors de l'analyse des micro-sections, les dimensions géométriques des motifs sont données avec une incertitude de 1 à $2\mu\text{m}$, par conséquent il est normal de considérer une erreur éventuelle de 10 à 20%, sur la capacité calculée avec le FARADFLEX 12.

La Figure 49 compare les capacités mesurées et calculées avec le matériau FARADFLEX 24.

FARADFLEX 24

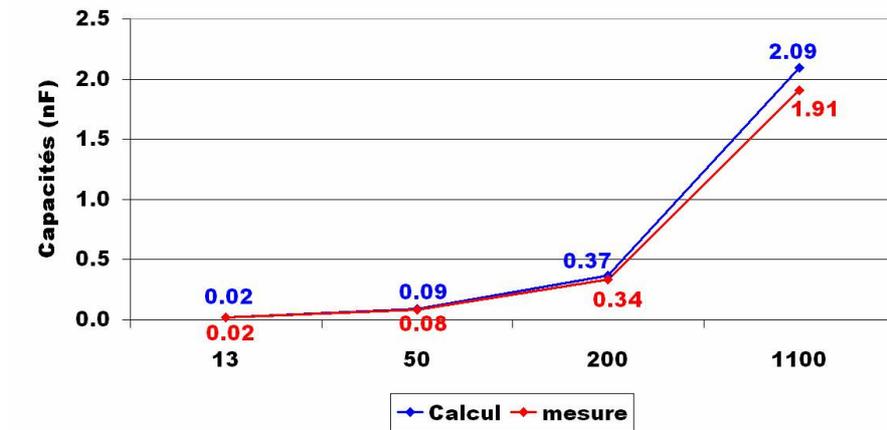


Figure 49 : Comparaison des capacités mesurées et calculées avec le matériau FARADFLEX 24

Les capacités FARADFLEX 24 ont été calculées avec une épaisseur de diélectrique de 21 μ m et une constante diélectrique de 4,4. Les capacités mesurées sont inférieures aux valeurs attendues, l'écart relatif entre la mesure et la théorie est de -7%, ce qui est toléré.

Pour les applications avec des appels de courants rapides tels que les serveurs, il devient nécessaire que l'impédance vue entre l'alimentation et le composant logique soit la plus petite possible. Pour cela, on cherche à obtenir une grande capacité. Le matériau pour condensateur enterré, dont les propriétés électriques permettent d'obtenir la plus grande capacité, est le C-PLY de 3M.

IV.2.3. EXTRACTION DE L'ÉLÉMENT RESISTIF

La deuxième analyse concerne l'élément résistif qui parasite le condensateur. Il représente les pertes ohmiques de la connexion et celles des électrodes. La valeur de cette résistance est obtenue à la fréquence de résonance. Plus cette résistance est faible et plus l'impédance $|Z|$ diminue.

Tableau 15 : Moyenne des résistances parasites mesurées sur l'impédance capacitive

Résistances (mOhm)	Surface 13mm ²	Surface 50mm ²	Surface 200mm ²	Surface 1100mm ²
C-PLY	164	84	48	25
FARADFLEX 12 TM	162	70	41	22
FARADFLEX 24	292	110	68	49
FR4PCL370 standard	635	268	126	82

D'une manière générale, on constate que la résistance diminue lorsque la surface des électrodes augmente. De plus en comparant la résistance mesurée d'un matériau à l'autre, on constate que les plus petites valeurs sont attribuées aux matériaux FARADFLEX 12 TM et C-PLY. Ces matériaux ont également une épaisseur de diélectrique très mince. En revanche les matériaux FARADFLEX 24 et FR4 PCL 370 ont une résistance 3 à 4 fois plus grande que pour les matériaux précédents.

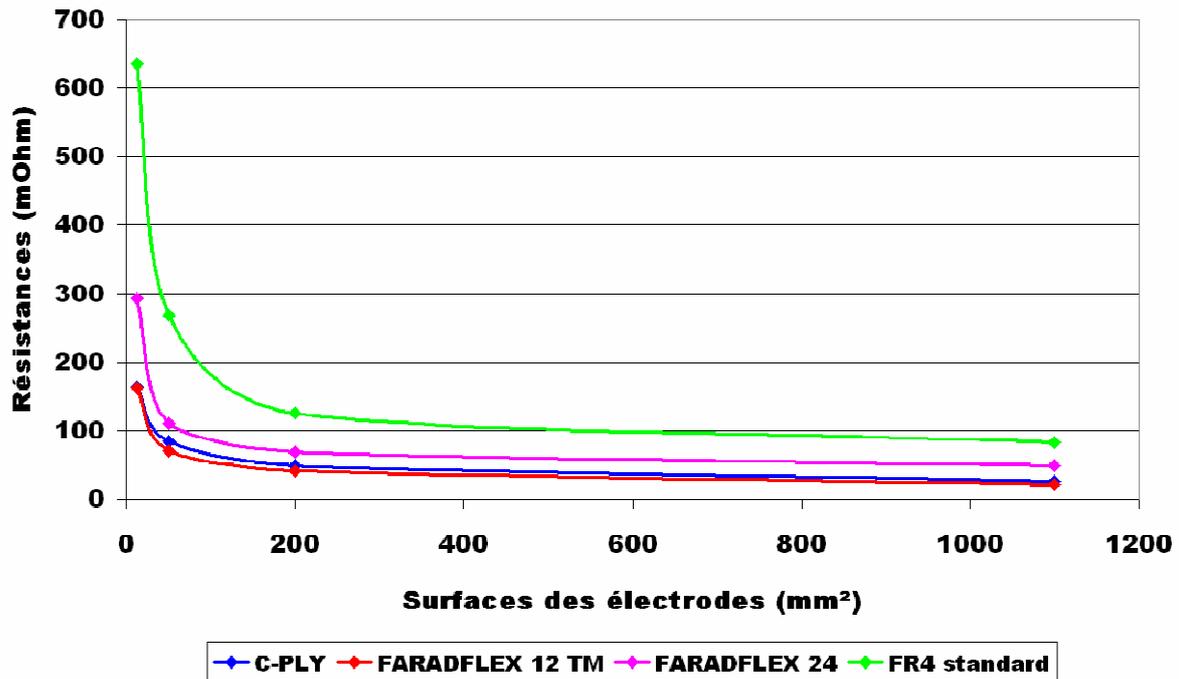


Figure 50 : Moyenne des résistances extraites des impédances mesurées

C'est à la résonance des plans du condensateur que la résistance est mesurée. A cette fréquence, les éléments capacitifs et inductifs sont nuls et ne sont donc pas pris en compte dans l'impédance.

La partie résistive est un élément parasite qui dégrade la qualité du condensateur, par conséquent, il est préférable qu'elle soit la plus petite possible. Les matériaux dont la résistance série est la plus faible, sont le C-PLY et le FARADFLEX 12 TM.

IV.2.4. EXTRACTION DE L'ELEMENT INDUCTIF

Enfin la troisième analyse s'opère à partir de l'extraction de l'élément inductif de l'impédance. Elle concerne la partie hautes fréquences du condensateur. Pour extraire l'inductance mesurée,

l'expression $f_r = \frac{1}{2\pi\sqrt{LC}}$ est utilisée, où f_r est la fréquence de résonance du condensateur. Le

Tableau 16 regroupe les fréquences de résonance mesurées sur les condensateurs du véhicule de test TVP, pour chaque matériau. Ensuite nous utiliserons ces fréquences ainsi que les capacités mesurées, pour en déduire l'inductance des condensateurs.

Tableau 16 : Fréquences de résonance mesurées sur les condensateurs

Fréquences de résonance (GHz)	Surface 13mm ²	Surface 50mm ²	Surface 200mm ²	Surface 1100mm ²
C-PLY	1,079	0,4835	0,2188	0,0946
FARADFLEX 12 TM	1,33	0,5184	0,2694	0,10504
FARADFLEX 24	2,278	1,01	0,4968	0,1965
FR4PCL370 standard	3,766	1,696	0,8168	0,3369

Comme attendu, on remarque que la fréquence de résonance diminue lorsque la surface des électrodes augmente. A partir des fréquences du Tableau 16, nous allons calculer les inductances séries des condensateurs.

Tableau 17 : Moyenne des inductances extraites des impédances mesurées

Inductances (nH)	Surface 13mm ²	Surface 50mm ²	Surface 200mm ²	Surface 1100mm ²
C-PLY	0,267	0,273	0,303	0,301
FARADFLEX 12 TM	0,244	0,310	0,327	0,379
FARADFLEX 24	0,286	0,293	0,304	0,343
FR4PCL370 standard	0,208	0,286	0,314	0,346

Les valeurs inductives mesurées sont constantes d'une taille d'électrode à l'autre et d'un matériau à l'autre. En réalité cette inductance dépend de la distance que parcourt le courant pour aller de la sonde de mesure vers les électrodes du condensateur. Cela inclut également l'épaisseur du diélectrique, et donc plus le matériau est épais et plus l'inductance est grande. Mais dans notre cas, l'épaisseur du matériau est très faible devant l'épaisseur de la carte, donc les inductances mesurées sont voisines d'un matériau à l'autre, comme le montre la Figure 51. Les inductances mesurées sont comprises entre 0,2nH et 0,38nH, il s'agit de l'inductance due à l'épaisseur du diélectrique plus l'inductance due aux vias de connexion. Ces valeurs sont en accord avec l'inductance égale à 188pH, qui avait été estimée dans le paragraphe III.1.2. Son calcul était basé sur l'épaisseur du circuit imprimé qui définissait alors la distance comprise entre l'électrode du condensateur et la sonde de mesure [B50].

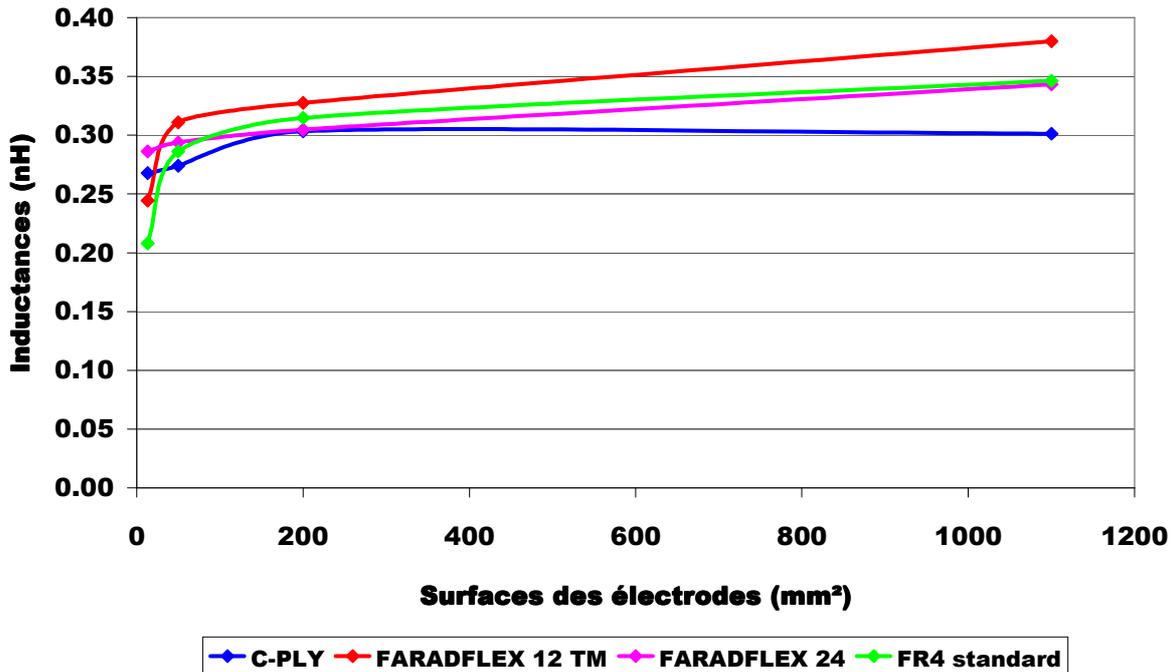


Figure 51 : Moyenne des inductances extraites des impédances mesurées

Cette inductance est un élément parasite qui dégrade le condensateur, aussi nous cherchons à la diminuer. D'après la Figure 51, on constate que ces inductances sont très proches quel que soit le matériau. Il est important de rappeler que les valeurs du Tableau 17 sont données pour la configuration particulière de la mesure. Elles correspondent aux dimensions des vias du véhicule de test et à la géométrie des empreintes des sondes de mesures.

IV.2.5. COMPARAISON AVEC UNE TECHNOLOGIE STANDARD

Les résultats que l'on vient de présenter, obtenus sur les condensateurs enterrés, vont maintenant être comparés à ceux obtenus pour des condensateurs en céramique (CMS) reportés sur la surface des véhicules de test. Cette étude nous permettra d'identifier l'amélioration apportée par les condensateurs enterrés sur la partie inductive de l'impédance.

Cette technologie de composant CMS est fortement présente sur les cartes électroniques, pour découpler les branches d'alimentations des circuits logiques. Il existe différentes tailles de boîtier que l'on peut identifier par des numéros correspondant aux dimensions des composants. On retrouve par exemple les boîtiers 0603 (6 mils de long et 3 mils de large) et 0402. Plus le boîtier est petit et plus l'inductance parasite est faible. Comme on l'a déjà introduit, l'inductance parasite des condensateurs doit être la plus faible possible. C'est pourquoi il est important de connecter les condensateurs avec des vias proches et formant une boucle de courant faible. Toutefois, des contraintes d'assemblage obligent à respecter des distances minimales entre ces condensateurs et leurs vias. En suivant cette règle, la partie hautes fréquences du découplage est meilleure puisque l'inductance est diminuée. La comparaison a pour but de quantifier l'inductance générée par les deux technologies, c'est-à-dire les condensateurs enterrés et les condensateurs montés en surface.

Des empreintes ont été disposées sur le véhicule de test pour mesurer les impédances des condensateurs CMS de taille 0603 et 0402.

La Figure 52 montre les résultats des impédances mesurées sur des condensateurs montés en surface et des condensateurs enterrés. Les capacités avoisinent 10nF, avec des tailles de boîtier CMS en 0603 et 0402. Les condensateurs enterrés sont en matériau *C-PLY* et de surface 1100mm², eux aussi sont proches de 10nF. On visualise ici la partie inductive de l'impédance, c'est-à-dire après la fréquence de résonance des condensateurs.

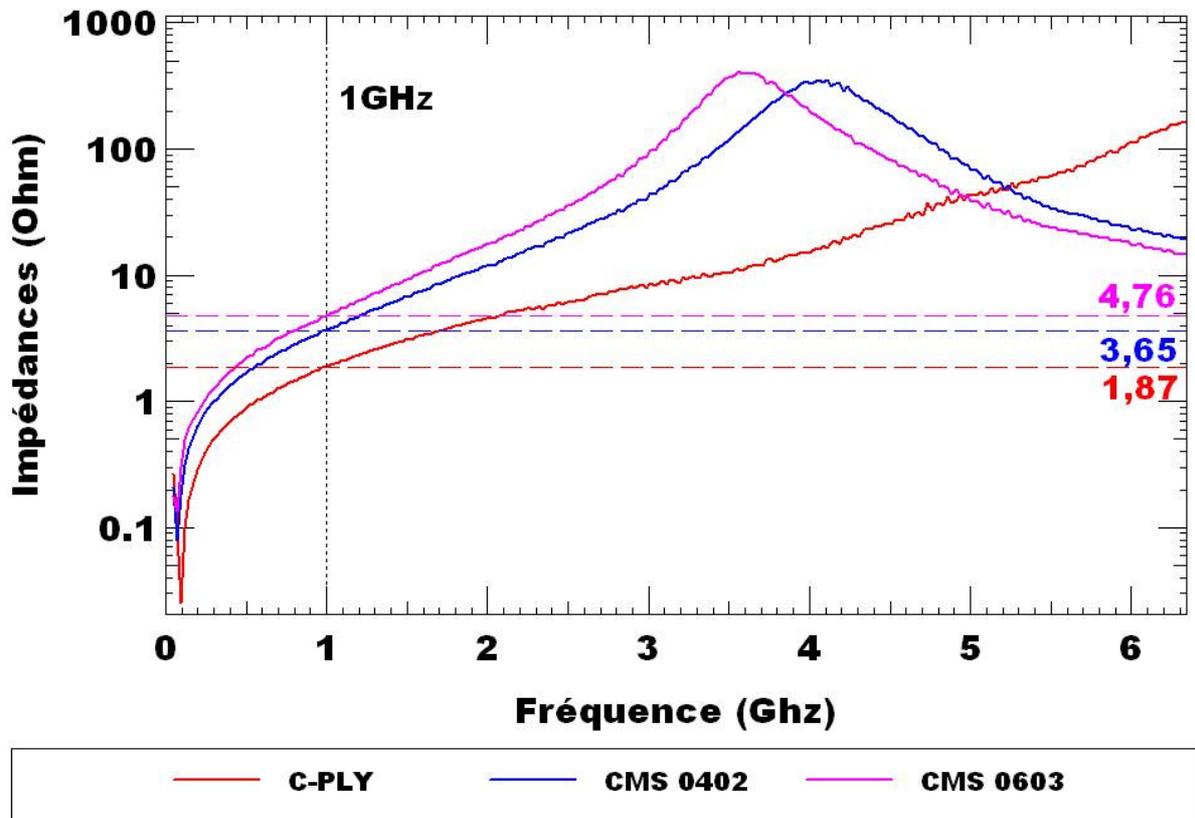


Figure 52 : Comparaison des impédances mesurées sur le matériau C-PLY et sur des CMS

Comme on peut le constater sur la Figure 52, à 1GHz les impédances ont un comportement inductif. Ces inductances mesurées sont de 0,76nH pour un boîtier 0603, de 0,58nH pour un boîtier 0402 et de 0,29nH pour un condensateur enterré *C-PLY*. Aussi l'inductance obtenue à partir du matériau diélectrique pour condensateur enterré, est plus faible que celle mesurée sur un boîtier CMS. Cette diminution de l'inductance est appréciable pour le découplage d'une alimentation, dont l'impédance tend à être de plus en plus faible.

En effet lorsqu'un processeur commute ses portes logiques, ces dernières créent des appels de courant et provoquent une chute de tension sur l'alimentation. Pour pallier à ce problème, il faut placer un condensateur au plus proche des bornes d'alimentations de la porte. Celui-ci se comporte comme un réservoir d'énergie et fournit le courant nécessaire à la commutation rapide [B49]. Pour assurer la distribution de l'alimentation lors de l'appel de courant, une impédance cible est définie en fonction des propriétés électriques de l'alimentation et du courant maximum qu'il doit fournir à l'appel. Pour des technologies récentes, cette impédance cible est amenée à être de plus en plus petite car les tensions d'alimentations sont de plus en plus faibles et les courants de plus en plus élevés. De plus cette impédance doit couvrir une plage de fréquences de plus en plus grande. C'est pourquoi, la tendance va aux condensateurs de découplage à inductance faible.

La Figure 52 nous montre que la partie inductive d'un condensateur enterré *C-PLY*, est plus faible que celle des composants CMS. Malgré les petites valeurs de capacités ramenées à la surface occupée, les avantages des condensateurs enterrés résident dans leurs faibles inductances parasites. De ce fait, ils pourront être exploités pour améliorer dans les hautes fréquences, les performances du découplage des alimentations des circuits logiques.

V. EXPLOITATION DES RESULTATS PAR OUTIL DE SIMULATION

Ce paragraphe a pour objectif de vérifier la validité du modèle de simulation d'un condensateur enterré. Il permettra de comparer les résultats des impédances mesurées et simulées. Pour l'étude, seuls les matériaux *C-PLY* et *FARADFLEX 12 TM* ont été simulés, car ils présentent les propriétés électriques et physiques les plus intéressantes pour réaliser des condensateurs enterrés à forte capacité.

Le modèle est construit à partir des éléments R-L-C mesurés sur les véhicules de test. Ils correspondent donc à une configuration particulière qui est celle de la mesure. La corrélation des simulations avec les mesures d'impédances permettra d'apprécier la précision du modèle de simulation et d'interpréter les écarts. C'est à partir de l'outil HSPICE que les condensateurs sont modélisés en deux dimensions, pour calculer leur impédance caractéristique.

La Figure 53 illustre les impédances, mesurées et simulées, d'un condensateur enterré avec le matériau *C-PLY*.

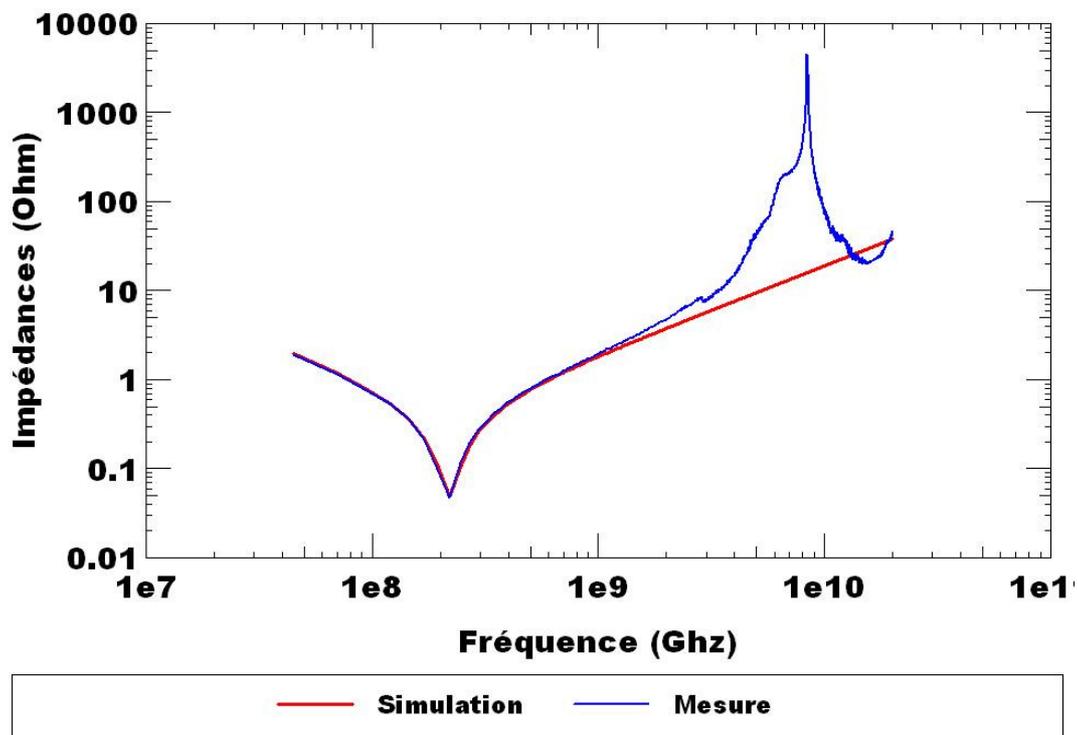


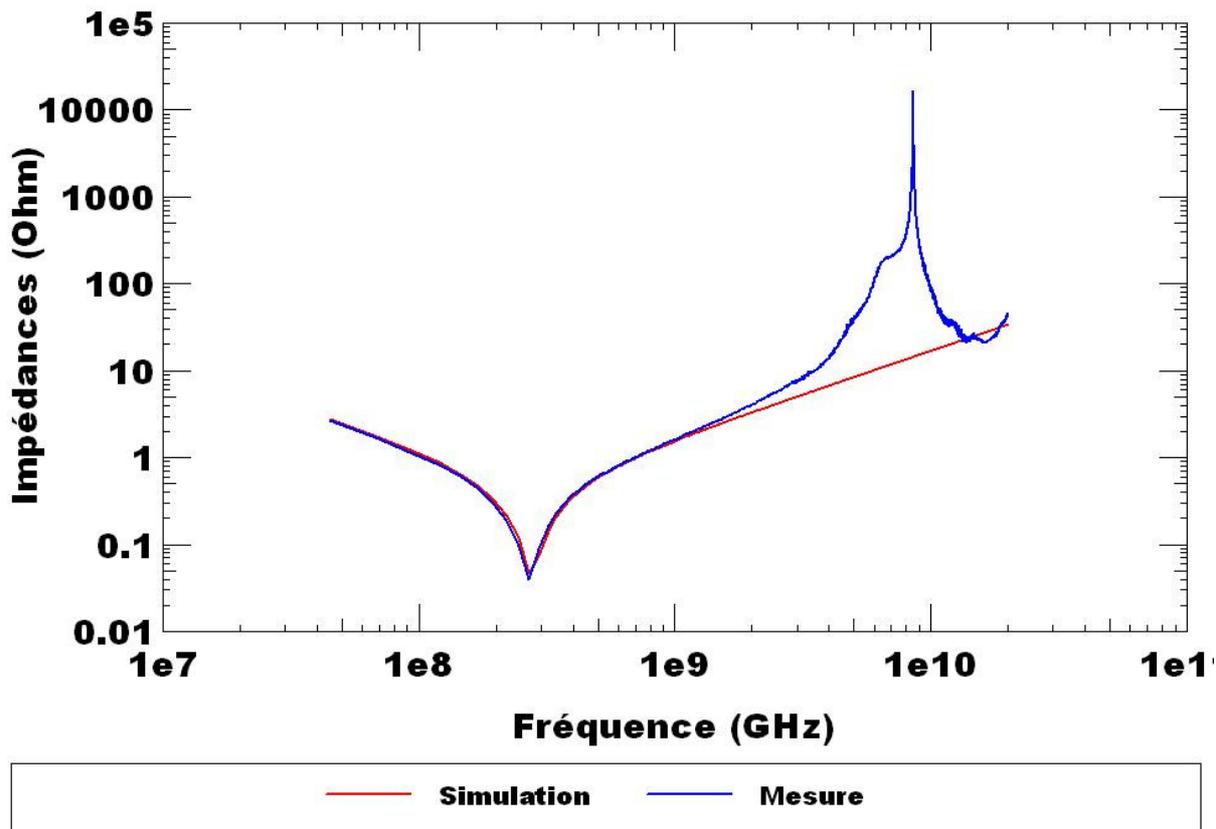
Figure 53 : Comparaison de l'impédance simulée et mesurée, d'un condensateur enterré *C-PLY*

L'impédance simulée de la Figure 53 est modélisée par des éléments R-L-C séries. La résistance est de 48mΩ, l'inductance est 0,303nH et la capacité est de 1,743nF. Comme on peut le

constater, en dessous de 2GHz, l'impédance simulée est très proche de l'impédance mesurée. Par conséquent nous pouvons dire que les éléments R-L-C ont été correctement extraits de la mesure.

En revanche à partir de 2GHz, on aperçoit sur l'impédance mesurée un pic qui est dû à la résonance des plans du condensateur. Cette résonance dépend principalement de la géométrie des plans et de la constante diélectrique du matériau. Elle n'est pas prise en compte dans le modèle R-L-C étudié.

La Figure 54 illustre les impédances mesurées et simulées d'un condensateur enterré avec le matériau *FARADFLEX 12TM*.



L'impédance simulée de la Figure 54 est modélisée par des éléments R-L-C séries. La résistance est de 41mΩ, l'inductance est 0,269nH et la capacité est de 1,237nF. De la même manière que précédemment, en dessous de 2GHz, l'impédance simulée est très proche de l'impédance mesurée. Par conséquent nous pouvons dire que les éléments R-L-C ont été correctement extraits de la mesure.

VI. CONCLUSION

Dans ce chapitre, les matériaux dédiés aux condensateurs enterrés à l'intérieur des circuits imprimés ont été étudiés. Ces matériaux ont été sélectionnés par les partenaires du programme européen EMCOMIT. Le *FARADFLEX24* a été choisi parmi les matériaux paraélectriques qui se définissent par une constante diélectrique basse. Les matériaux C-PLY et FARADFLEX12TM ont été

choisis parmi les polymères chargés de poudre Ferroélectrique. Ils se définissent par une constante diélectrique élevée et permettent d'obtenir des valeurs capacitives supérieures. A travers des mesures électriques et des coupes sur les véhicules de test, ces matériaux ont été caractérisés.

Le fabricant de circuits imprimés maîtrise bien son procédé qui permet d'enterrer les condensateurs. Après avoir identifié les étapes délicates du procédé de fabrication, il est nécessaire de suivre certaines recommandations pour obtenir un bon résultat final. Notamment lors de la gravure des cuivres, pour lesquels il est indispensable de laminer la première électrode gravée avec un pré-imprégné, avant d'attaquer chimiquement la deuxième. Les condensateurs qui ont été enterrés dans les cartes électroniques par la société Maine CI, se caractérisent par des épaisseurs de diélectriques qui correspondent aux valeurs nominales. Des observations sur des coupes ont permis d'identifier un léger décalage entre les deux électrodes d'un même condensateur.

Les mesures électriques ont permis d'extraire la courbe des impédances de chaque condensateur enterré et d'étudier leur comportement en fonction des fréquences. On note que pour les trois matériaux étudiés, l'élément capacitif mesuré est proche de la capacité calculée. Le matériau qui permet d'obtenir des capacités de fortes valeurs est le *C-PLY* de 3M. Les éléments parasites qui dégradent la capacité sont de faibles valeurs, on note une résistance inférieure à $300\text{m}\Omega$ et une inductance de l'ordre de 300pH , sur les trois matériaux.

Les propriétés électriques des matériaux présentés dans ce travail ne permettent pas d'obtenir des capacités très élevées, puisqu'on note un maximum de $885\text{pF}/\text{cm}^2$. Par conséquent l'utilisation des condensateurs enterrés avec ces matériaux reste limitée. Malgré une grande surface des électrodes, les condensateurs enterrés ne pourront pas remplacer tous les composants CMS actuellement utilisés pour le découplage des alimentations. En particulier ceux qui sont dédiés au découplage basses fréquences, dont les capacités peuvent atteindre quelques centaines de micros Farad.

Par ailleurs, les condensateurs enterrés puisent leurs avantages dans le fait qu'ils peuvent se placer au plus près des branches d'alimentations des circuits logiques. De ce fait, l'inductance qui dégrade la partie hautes fréquences de l'impédance en est diminuée. C'est ce que nous avons pu constater en comparant l'inductance d'un condensateur enterré avec celle d'un condensateur reporté sur la surface du circuit. Il est également important de souligner que l'inductance mesurée dans notre étude correspond à celle générée par le circuit imprimé uniquement. Or il serait intéressant de considérer dans une prochaine étude, l'inductance parasite générée par le boîtier du circuit logique. Suivant le type de boîtier utilisé, celle-ci peut être de 10nH , ce qui n'est pas négligeable.

CHAPITRE IV

EVALUATION PAR L'OUTIL DE SIMULATION DE LA FIABILITE DE L'ASSEMBLAGE D'UN COMPOSANT HAUTE DENSITE SUR UN CIRCUIT AVEC CONDENSATEURS ENTERRES

Après la caractérisation électrique des condensateurs enterrés dans le cadre du projet EMCOMIT, un deuxième aspect de l'étude concerne l'évaluation de la robustesse d'un assemblage de BGA sur ce type de circuit imprimé. Pour réaliser cette évaluation, les véhicules de test TVP ont été équipés et soumis à des vieillissements accélérés. En parallèle, des simulations thermomécaniques de ces assemblages ont été effectuées. Après une description des propriétés mécaniques des matériaux pour condensateurs enterrés, la spécification du composant utilisé pour l'étude sera donnée. L'étude de la fiabilité du composant reporté sur le circuit imprimé sera faite à partir des résultats de vieillissements accélérés. Enfin les simulations thermomécaniques seront détaillées pour estimer la durée de vie de l'assemblage.

I. METHODOLOGIE

L'assemblage de composants électroniques sur un circuit imprimé est réalisé par des joints brasés. Ceux-ci assurent les liaisons mécaniques et les connexions électriques, entre le composant et le circuit imprimé. En considérant qu'une seule rupture d'un joint brasé suffit pour amener un système

à défaillance, il est important que la liaison soit fiable pour qu'elle ne limite pas la durée de vie de l'équipement. C'est pourquoi de nombreuses études se sont intéressées aux comportements mécaniques de ces connexions en fonctionnement normal. Cette étude vise principalement à vérifier que les matériaux pour condensateurs enterrés ne dégradent pas la fiabilité d'un assemblage de BGA. Pour cela plusieurs circuits imprimés équipés de BGA sont placés dans une enceinte thermique et sont soumis à des variations sévères de températures, sous forme de cycles répétés. Un détecteur d'évènements observe les billes du composant et enregistre les ruptures des joints brasés. Il est alors possible de localiser les billes qui présentent une fissure. Les assemblages peuvent ainsi être étudiés afin d'évaluer leur robustesse sur des circuits standards et sur des circuits avec condensateurs enterrés.

En parallèle, des simulations thermomécaniques sont effectuées afin d'estimer la durée de vie de l'assemblage du BGA. Ces simulations vont nous permettre d'établir la relation entre le protocole de vieillissement accéléré et un profil de mission ; et ainsi de déterminer la durée de vie de l'assemblage dans son environnement normal d'utilisation, à partir des résultats des cycles de vieillissement accéléré. Dans notre étude, l'assemblage du composant est modélisé avec le logiciel ANSYS qui utilise la technique de simulation par éléments finis. Ces éléments sont définis à partir des propriétés mécaniques des matériaux et des dimensions physiques de l'assemblage. Pour cela, des micro-sections ont été effectuées pour connaître la géométrie des billes du BGA après son report sur le circuit. Les dimensions physiques relevées ont été utilisées pour la construction du modèle en 3 dimensions.

Le logiciel de simulation thermomécanique par éléments finis ne permet pas de déterminer la durée de vie d'un assemblage. Cependant il est possible de spéculer sur une apparition de fissure, par une importante concentration de contraintes ou par une forte densité d'énergie de déformation.

La Figure 55 représente la stratégie adoptée pour estimer la durée de vie de l'assemblage d'un BGA, à partir d'une relation entre un protocole de vieillissements accélérés et un profil de mission.

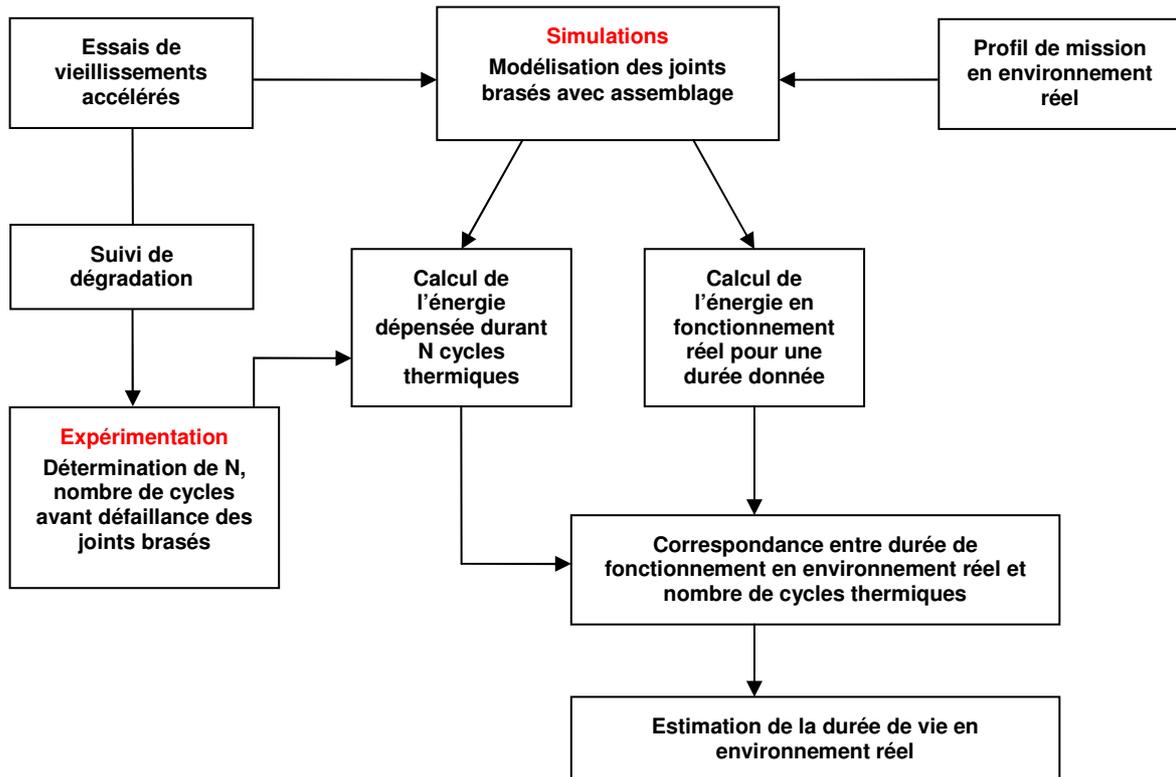


Figure 55 : Stratégie pour le calcul de la durée de vie de l'assemblage

La stratégie adoptée pour cette étude est inspirée de celle présentée dans le document [B70].

Après un rappel des caractéristiques et du comportement thermomécanique des matériaux, une description de la partie expérimentale sera faite et les résultats seront analysés. Ensuite la construction du modèle sera détaillée et les densités d'énergie de déformation seront calculées à l'aide des simulations. Enfin, une extrapolation des calculs sera faite pour estimer la durée de vie de l'assemblage dans un environnement d'utilisation normale.

II. CARACTERISTIQUES ET COMPORTEMENT DES MATERIAUX

II.1. DEFINITIONS

Pour mieux appréhender l'étude de la fiabilité d'un assemblage de composant sur un circuit imprimé, voici quelques définitions concernant la mécanique des matériaux solides [B72].

II.1.1. LA CONTRAINTE

Si une force F_n est exercée perpendiculairement à une surface S , on définit la contrainte de traction ou de compression, selon le sens de la force, par :

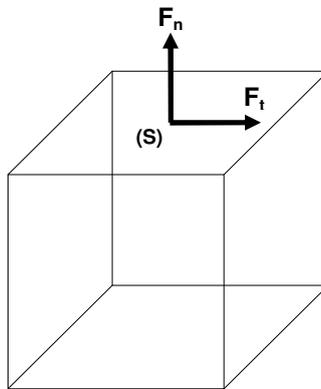
$$\text{Équation 22 : } \sigma = \frac{F_n}{S}$$

σ est la contrainte exprimée en Pascal [Pa] ou en [N/m²]

Si une force F_t est exercée parallèlement à la surface S , on définit la contrainte de cisaillement par :

$$\text{Équation 23 : } \tau = \frac{F_t}{S}$$

La figure ci-dessous est un cas simple qui met en application les deux forces F_n et F_t exercées sur la surface S d'un cube.

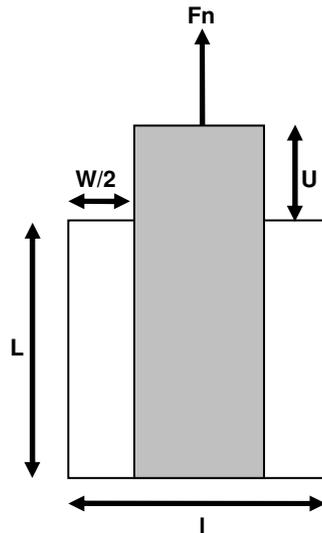


II.1.2. LES DEFORMATIONS

La déformation d'un matériau solide résulte d'une contrainte de traction ou de cisaillement. Les déformations longitudinales (ϵ_n) et latérales (ϵ_L) en traction se définissent par :

$$\text{Équation 24 : } \epsilon_n = \frac{U}{L} \text{ et } \epsilon_L = \frac{-W}{l}$$

- U et W expriment les déplacements de la surface en mètre [m].
- L est la longueur du solide en mètre [m].
- l est la largeur du solide en mètre [m].
- ϵ est la déformation exprimée en mètre [m].



Le coefficient de Poisson (ν) se définit alors par :

$$\text{Équation 25 : } \nu = \frac{-\epsilon_l}{\epsilon_n}$$

Si un matériau solide est soumis à une contrainte, il s'ensuit des déformations élastiques ou plastiques. La déformation élastique est réversible, c'est-à-dire que lorsque l'on arrête la sollicitation, le matériau reprend sa forme initiale. Dans le domaine des petites déformations, celles-ci sont proportionnelles à la contrainte, puisque l'élasticité est linéaire. Cette loi de comportement des solides soumis à une déformation élastique est appelée loi de Hooke. Elle s'écrit :

$$\text{Équation 26 : } \sigma = E\epsilon$$

- E est le module d'Young exprimé en [Pa]
- σ est la contrainte exprimée en [Pa]
- ϵ est la déformation exprimée en mètre [m]

Un matériau dont le module d'Young est très élevé, est un solide rigide, comme l'acier par exemple.

Aux plus grandes déformations, c'est-à-dire lorsque la limite d'élasticité est dépassée, les déformations ne sont plus proportionnelles à la contrainte. La déformation est alors plastique et irréversible ; elle se traduit par une déformation définitive du matériau lorsqu'il est contraint à une force excessive.

On peut représenter la courbe des contraintes en fonction des déformations, de la façon suivante :

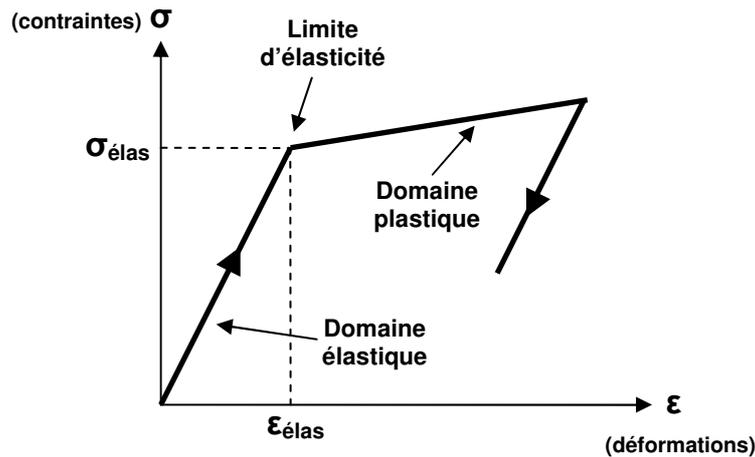


Figure 56 : Modélisation du comportement plastique d'un matériau

Dans le domaine élastique, la pente de la courbe est définie par le module d'Young (E) du matériau. La limite d'élasticité est caractérisée par l'état de contrainte qui engendre les premières déformations irréversibles.

Dans le domaine plastique, si le matériau est soumis à une contrainte constante pendant une durée suffisante, la déformation varie progressivement par phénomène de fluage. Ce phénomène n'est pas représenté sur la Figure 56.

II.1.3. LE COEFFICIENT DE DILATATION THERMIQUE

Le coefficient de dilatation thermique (α) définit l'expansion du volume d'un corps sous l'influence de la chaleur. On peut calculer la variation de longueur et donc de volume d'un matériau contraint à une variation de température, de la façon suivante :

$$\text{Équation 27 : } \Delta L = \alpha \cdot L \cdot \Delta T$$

- ΔL est la variation de la longueur en mètre [m]
- α est le coefficient de dilatation thermique en 1/Kelvin [K^{-1}]
- L est la longueur initiale en mètre [m]
- ΔT est la variation de température en kelvin [K]

Un matériau dont le coefficient de dilatation thermique est élevé, voit un allongement important de son volume sous l'effet de la chaleur.

Si deux matériaux possédant des coefficients de dilatation différents sont liés mécaniquement, une variation de la température induit des contraintes à leur interface. Ce phénomène se représente à l'aide d'une structure bilame entre deux matériaux M1 et M2, avec par exemple $\alpha_1 > \alpha_2$.

La Figure 57 illustre les déformations d'une structure bilame sous l'influence d'une variation de la température.

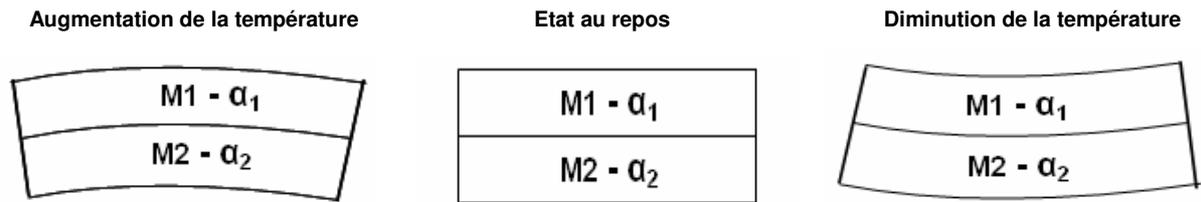


Figure 57 : Déformation d'une structure bilame sous l'effet de la température

Une variation de la température augmente ou diminue les volumes des matériaux. Puisqu'ils sont liés mécaniquement, ce changement de volume induit un fléchissement de la structure. Dans notre cas, si la température augmente, la forme obtenue est convexe et si la température diminue, la forme obtenue est concave.

Ces phénomènes de courbure apparaissent sur les couches de l'assemblage et des contraintes s'accumulent au niveau des joints du BGA durant son report, tel que le décrit la référence [B55]. La fiabilité de ces joints brasés est donc analysée dans cette étude.

II.2. DESCRIPTION DES MATERIAUX

Dans le cadre du projet européen EMCOMIT, trois matériaux dédiés aux condensateurs enterrés ont été sélectionnés. Leurs propriétés mécaniques et leur texture les rendent compatibles avec les procédés de fabrication des circuits imprimés classiques. Les matériaux étudiés sont les mêmes que ceux cités dans le chapitre III, il s'agit du *C-PLY16* mis au point par la société 3M, le *FARADFLEX12TM* et *FARADFLEX24* proposés par Oak-Mitsui.

Le matériau *FR4 PCL 370* a été choisi en tant que référence pour permettre la comparaison entre les résultats obtenus sur un matériau standard, couramment utilisé, et ceux obtenus sur un matériau pour condensateurs enterrés. Ainsi il sera possible de vérifier si les condensateurs enterrés dégradent la fiabilité de l'assemblage par rapport à un circuit standard.

Les propriétés thermomécaniques des matériaux ne sont pas toujours fournies par les constructeurs. Des investigations ont donc été menées à travers différents ouvrages pour connaître ces valeurs. Trois propriétés physiques sont fondamentales pour réaliser les simulations thermomécaniques : le coefficient de dilatation (α), le module d'Young (E) et le coefficient de Poisson (ν).

Le Tableau 18 présente les caractéristiques thermophysiques des matériaux diélectriques présents dans les véhicules de test TVP. Ces propriétés thermophysiques ont été utilisées pour modéliser les empilages des substrats.

Tableau 18 : Propriétés thermophysiques des matériaux diélectriques présents dans TVP

Propriétés thermophysiques	Unités	PCL-FR-370	C-Ply 16	Faradflex 24	Faradflex 12 TM
Tg	°C	175	115	200	200
Coefficient de Dilatation (avant Tg)	ppm/°C	$\alpha_x=\alpha_y=15$ $\alpha_z=50$	$\alpha=32$ (25°C à 115°C)	$\alpha=14$ (20°C à 100°C) $\alpha=23$ (100°C à 200°C)	$\alpha=16$ (20°C à 100°C) $\alpha=38$ (100°C à 200°C)
Coefficient de Dilatation (après Tg)	ppm/°C	$\alpha_x=\alpha_y=17$ $\alpha_z=250$	$\alpha=160$ (115°C à 150°C) $\alpha=600$ (150°C à 250°C)	$\alpha=255$	$\alpha=270$
Module D'Young (avant Tg)	GPa	$E_x=E_y=23$ $E_z=10$	$E=1,377$	$E=4,8$	$E=7,2$
Module d'Young (après Tg)	GPa	$E_x=E_y=8$	-	-	-
Coefficient de Poisson (avant Tg)		$\nu_{xy}=0,18$ $\nu_{xz}=\nu_{yz}=0,39$	$\nu=0,44$	$\nu=0,3$	$\nu=0,3$
Coefficient de Poisson (après Tg)		-	-	-	-

Comme on peut le voir dans le Tableau 18, les propriétés des matériaux sont données avant et après la température de transition vitreuse (Tg). Cette température définit le passage entre les deux états fondamentaux d'un polymère, l'état vitreux correspondant aux températures en dessous du Tg et l'état caoutchouteux correspondant aux températures au dessus du Tg. Ce changement d'état s'accompagne d'une variation brusque des propriétés des matériaux. Au dessus de la température de transition vitreuse, le module d'Young diminue et le coefficient de dilatation thermique augmente.

Les diélectriques standards pour la fabrication des circuits imprimés sont constitués de résine et d'une trame de verre. Ils font partie des matériaux orthotropes, c'est-à-dire que leurs propriétés thermophysiques dans le plan de la trame sont différentes de celles selon l'axe orthogonal. C'est pourquoi le coefficient de dilatation, le module d'Young et le coefficient de Poisson changent selon l'axe X, Y et Z ; avec les axes X et Y orientés dans le sens de la trame.

Les matériaux du Tableau 18 ont des propriétés physiques très différentes. Tout d'abord le *FR4 PCL 370*, qui est le matériau de référence, a une température de transition vitreuse de 175°C. Au delà de cette température, son coefficient de dilatation augmente, de 50ppm/°C à 250ppm/°C dans l'axe Z et son module d'Young diminue, de 23GPa à 8GPa dans les axes X/Y. Les propriétés physiques des matériaux sont difficiles à obtenir car leurs mesures font appels à des méthodes complexes. Cependant le matériau *FR4 PCL 370* est un grand standard des diélectriques pour circuit imprimé, ces propriétés sont connues, ce qui n'est pas toujours le cas pour les matériaux pour condensateurs enterrés.

Le matériau *C-PLY* a un Tg de 115°C ce qui le situe en dessous de celui du matériau de référence FR4. La structure du *C-PLY* est donc susceptible de se modifier rapidement, lors de la fabrication du circuit imprimé et de l'assemblage d'un BGA. La documentation technique de ce matériau nous garantit qu'il est capable de supporter une température de 288°C pendant 30 secondes. Son coefficient de dilatation thermique augmente considérablement après Tg, par conséquent on s'attend à une expansion importante du matériau dans les températures hautes. Le module d'Young et le coefficient de Poisson ne sont connus que pour des températures basses. Aussi pour le reste de l'étude, l'impact du module d'Young et du coefficient de Poisson de ces matériaux sera négligé pour des températures supérieures à leur Tg, car les matériaux n'y sont plus élastiques.

Les matériaux FARADFLEX ont des propriétés physiques proches de ceux du matériau de référence. Leur température de transition vitreuse est élevée, ce qui leur permet de mieux conserver leur rigidité pendant la fabrication des circuits. Le coefficient de dilatation avoisine celui du *FR4*, ainsi la dilatation thermique du circuit devrait être homogène sur l'ensemble des couches. Enfin, leur module d'Young est légèrement plus élevé que celui du *C-PLY* ; par conséquent ces matériaux sont plus rigides.

Les matériaux diélectriques pour condensateurs enterrés ont des épaisseurs très petites qui les rendent difficiles à manipuler. Par ailleurs, les diélectriques sont maintenus de chaque côté par des feuilles de cuivre épaisses (35µm), assurant une meilleure rigidité du condensateur.

Maintenant que les propriétés des matériaux sont données, nous allons commencer l'étude de la fiabilité du BGA reporté sur un circuit imprimé avec condensateur enterré.

III. ETUDE DE LA FIABILITE DU BGA REPORTE SUR UN CIRCUIT IMPRIME

Pour évaluer la fiabilité des joints de boîtiers BGA reportés sur circuits imprimés avec condensateurs enterrés, le véhicule de test TVP est utilisé. Les cartes équipées de BGA, sont soumises à des vieillissements accélérés. Pour connaître la bonne tenue au vieillissement des joints brasés du BGA de type « daisy chaîné », un détecteur d'évènements est utilisé [B62]. Celui-ci mesure en permanence la résistance des chaînes de billes formées entre le circuit et le BGA.

III.1. SPECIFICATION DU VEHICULE DE TEST D'ASSEMBLAGE

La spécification du véhicule de test a déjà été présentée dans le chapitre III. On n'abordera ici que la partie spécifique au test de l'assemblage. Le choix du composant sera justifié et le principe du tracé sera exposé. Enfin, les résultats des vieillissements accélérés sur des TVP assemblés seront présentés.

Puisque les véhicules de test TVP sont à la fois dédiés aux mesures électriques de BULL et EADS et que sa taille est limitée, il n'a été possible d'assembler qu'un seul composant pour les essais de vieillissements accélérés.

III.1.1. DESCRIPTION DU COMPOSANT

Pour étudier la fiabilité de l'assemblage d'un composant sur un tel circuit, un composant représentatif des applications à haute densité d'intégration a été choisi. De plus la directive européenne RoHs interdisant l'utilisation du plomb dans les systèmes électroniques nous conduit à sélectionner un composant avec un alliage de billes sans plomb.

Le composant est un boîtier « daisy chaîné », il n'a pas de fonctionnalité électrique mais son comportement mécanique est identique à celui d'un boîtier réel. Le tracé interne du boîtier a été un

facteur de choix important, car il permet de détecter une défaillance sur toutes les billes de la matrice, par paquet de 2. Le principe du tracé sera expliqué dans la suite de l'étude.

Le choix du composant s'est donc porté sur le *LBGA357T1,27C-DC73* sans plomb, proposé par Topline. Il s'agit d'un boîtier organique en FR4 d'une taille de 25mm par 25mm sur lequel est collée une puce en silicium d'une taille de 7,6mm par 7,6mm. Le brasage du composant est réalisé avec une matrice complète de 357 billes au pas de 1,27mm. La composition des billes est un alliage étain/argent/cuivre (Sn96,5/Ag3,0/Cu0,5), ce qui nous permettra d'évaluer la fiabilité d'un assemblage sans plomb.

La Figure 58 présente les dimensions du composant sélectionné pour étudier la fiabilité de l'assemblage sans plomb :

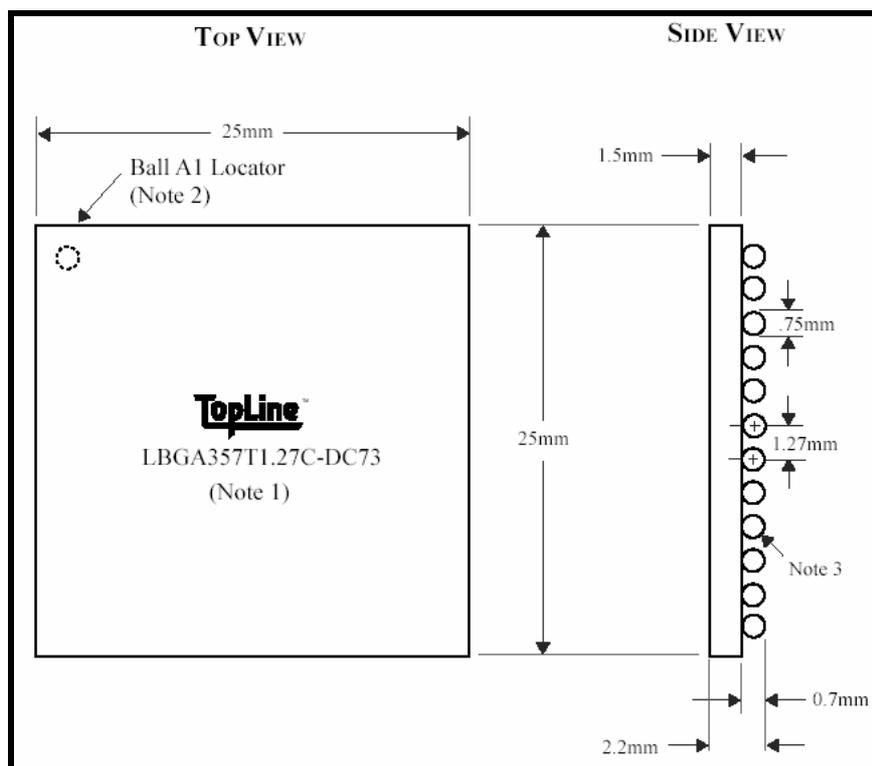


Figure 58 : Dimensions du boîtier LBGA357T1,27C-DC73

Les BGA ont été approvisionnés par le laboratoire IMS.

Des radiographies par rayons X ont été effectuées au laboratoire IMS, pour contrôler l'état des billes sur un BGA nu. L'inspection aux rayons X permet de détecter les défauts apparents comme par exemple, la présence de cavités dans les billes du BGA, ou des distorsions caractéristiques de la taille et de la forme du joint brasé.

La Figure 59 montre l'alignement des billes et leur forme, d'après une photographie du BGA en vue de face et en vue oblique.

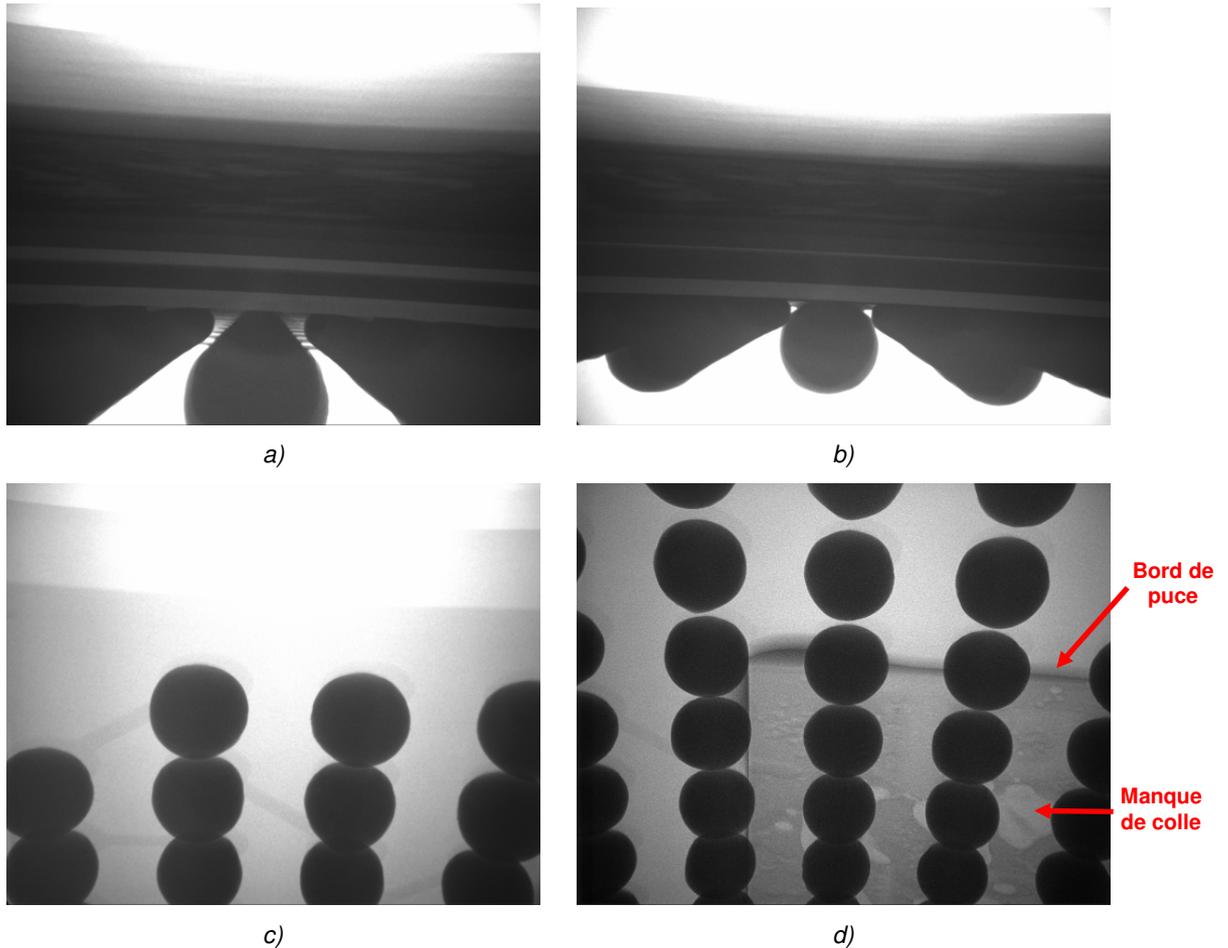


Figure 59 : Radiographie du BGA nu : a) et b) vue de face ; c) et d) vue oblique

D'après les photographies de la Figure 59, on remarque que les billes sont alignées entre elles et que leur forme est similaire à une sphère. Nous pouvons également repérer la position de la puce de silicium par rapport aux billes du BGA, celle-ci se situe sous la cinquième couronne de billes, en commençant à compter à partir de la bille centrale (Figure 59_d). Des précédentes études ont montré que les premières fissures apparaissent sur les billes situées à la périphérie de la puce. Dans notre étude, nous souhaitons savoir en plus si les premières fissures apparaissent sur la médiane ou la diagonale du boîtier. La puce de silicium de ce boîtier est collée sur le substrat FR4, elle n'est pas montée en flip chip. Dans la mesure où l'on s'intéresse à la connexion du second niveau, c'est-à-dire à l'interface BGA et circuit imprimé, on considère que les contraintes introduites par la puce sont identiques, qu'elle soit montée en flip chip ou collée. Si on regarde attentivement la surface de la puce, on distingue des zones claires, sous la surface de la puce, dues à des manques de colle.

III.1.2. PRINCIPE DU ROUTAGE

L'empreinte du BGA a été définie et placée sur la face BOTTOM du véhicule de test. Le tracé du composant est entièrement réalisé sur les quatre couches logiques TOP, L1, L2 et BOTTOM. Les règles de tracés sont standards, ainsi les défaillances observées au cours des vieillissements accélérés seront principalement dues à l'assemblage lui-même et non limitées par le substrat. La largeur des lignes pour le tracé est de 130 μ m.

La Figure 60 est le dessin de l’empreinte du boîtier BGA sélectionné, ainsi que le tracé d’interconnexion réparti sur les quatre couches logiques de l’empilage.

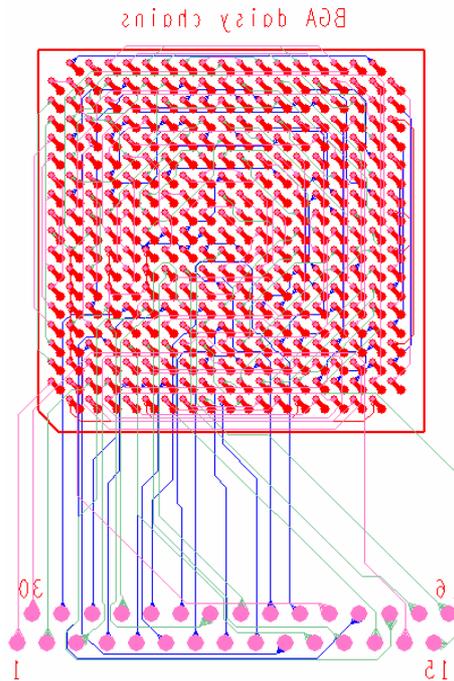


Figure 60 : Empreinte du BGA en couche BOTTOM et tracé des couches logiques

Comme nous l’avons vu précédemment, la principale fonction du composant « daisy chaîné » est de fournir des connexions bille à bille. Le tracé complémentaire est réalisé sur le circuit imprimé pour former plusieurs chaînes de billes en série. En faisant un suivi permanent de ces chaînes par l’intermédiaire d’un détecteur d’évènements, il est alors possible de déceler l’apparition des premières défaillances au cours des cycles thermiques.

Plusieurs publications expliquent qu’en raison des symétries du boîtier, on peut supposer que les défaillances observées sur $1/8^{\text{ième}}$ des billes sont reproductibles sur l’ensemble de l’assemblage. En tenant compte de ces considérations, le chaînage a été défini pour permettre la surveillance des billes deux par deux et sur chaque couronne de l’assemblage. De ce fait, il devient possible de savoir si les billes les plus contraintes appartiennent à la couronne située sous le bord de la puce, comme certaines études précédentes ont pu le démontrer. Il est en plus possible de savoir si, parmi ces billes, la défaillance apparaît en premier lieu dans le coin de la puce ou plutôt au centre d’un de ses bords.

La Figure 61 représente le tracé des connexions bille à bille disponibles dans le boîtier BGA ainsi que la position de la puce.

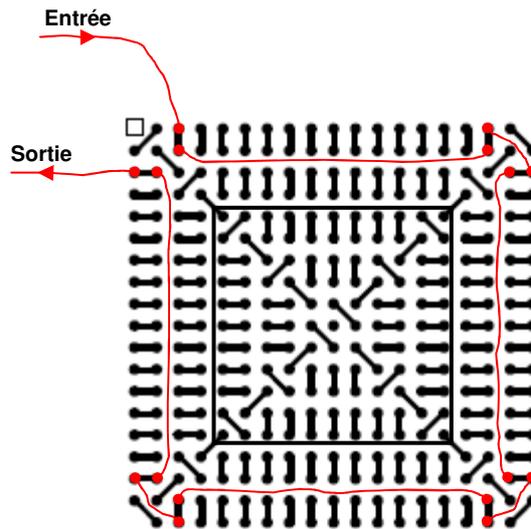


Figure 61 : Tracé des connexions bille à bille dans le boîtier BGA

Toutes les paires de billes présentes sur la Figure 61 ont été utilisées pour réaliser 29 chaînes, complétées par les connexions du circuit imprimé. Le parcours d'une chaîne a été dessiné sur la Figure 61, pour montrer comment les billes sont connectées en série. Le tracé noir représente les connexions internes au boîtier et le tracé rouge représente les connexions complémentaires sur le circuit imprimé. Lorsqu'une fissure est créée au niveau d'un joint brasé, la chaîne est rompue et le détecteur d'évènements identifie une défaillance. Les chaînes étant numérotées, il est alors possible de les identifier et de savoir à quel moment la défaillance a eu lieu.

III.1.3. DESCRIPTION DE L'ASSEMBLAGE DU COMPOSANT

L'assemblage des composants a été pris en charge par la société ACAMAS Electronique.

La plage de cuivre pour le report des billes du BGA est de type NSMD « Non Solder Mask Defined », c'est-à-dire qu'il n'y a pas de recouvrement du vernis épargne sur la pastille de cuivre, permettant ainsi un mouillage complet de l'alliage sur toute la surface du cuivre et sur ses flancs. La taille de la plage est définie en fonction de la plage équivalente côté boîtier, de la taille de la bille et des recommandations du fabricant. Les vias traversants, réalisant la connexion aux couches internes du circuit, ont été déportés par rapport aux plages d'accueil du BGA, afin que l'alliage étain/argent/cuivre des billes ne s'écoule pas dans le trou. La Figure 62 est une photographie de la plage de report des billes du BGA ainsi que le trou du via déporté.

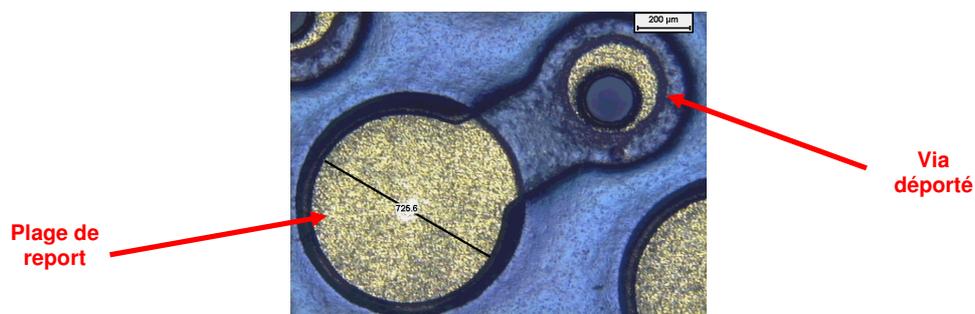


Figure 62 : Photographie d'une plage d'accueil côté BOTTOM et de son via déporté

La partie bleutée de la Figure 62 correspond au vernis épargne. On aperçoit la plage de report et son via déporté. La taille de la plage de cuivre disponible pour le report de la bille n'est pas délimitée par le vernis épargne. Le diamètre mesuré de cette plage de report est de 720µm.

Le brasage du composant est réalisé avec une station de montage à infrarouge. Le transfert thermique infrarouge se produit quand deux objets à différentes températures sont en vue l'un de l'autre. La chaleur est transférée par les ondes électromagnétiques de longueurs d'onde comprises entre 0,78 et 1000µm. La quantité d'énergie infrarouge émise et la longueur d'onde de l'émission sont toutes deux dépendantes de la température absolue de l'objet.

La Figure 63 montre la courbe des températures atteintes au cours de l'assemblage du BGA sans plomb [B52]. Ce profil de refusion est utilisé par la société ACAMAS pour reporter les composants « daisy chaînés » et correspond au profil décrit dans le document [B52].

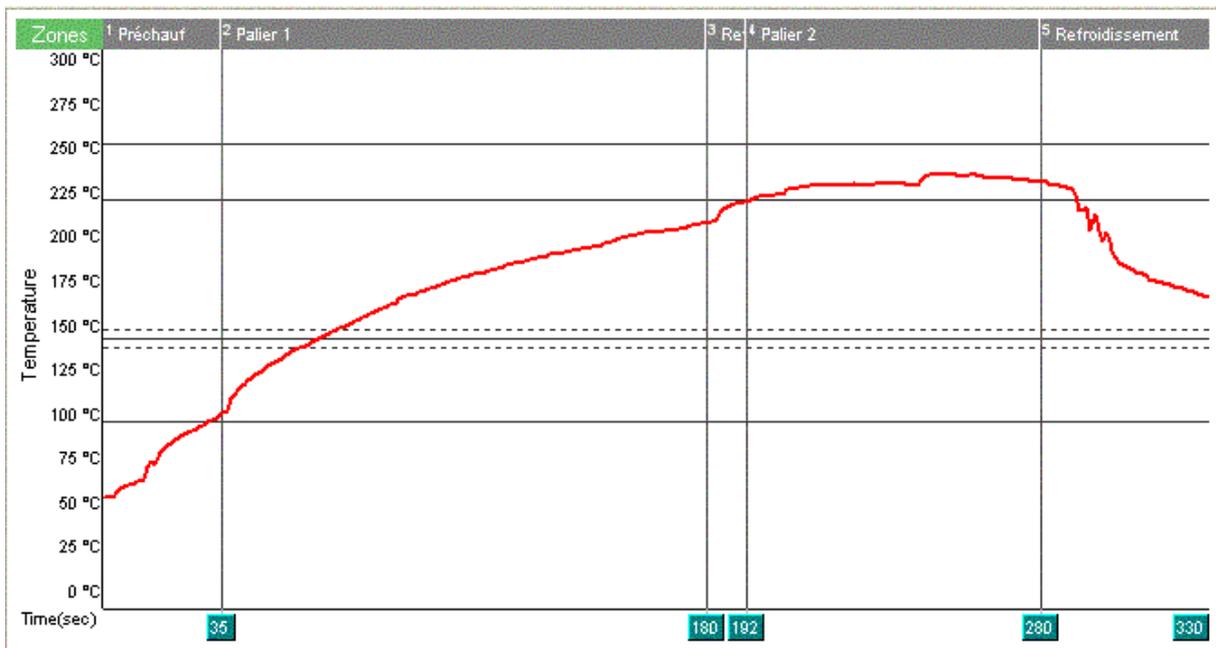


Figure 63 : Profil de refusion utilisé pour l'assemblage du composant sans plomb

La courbe des températures de la Figure 63 est similaire à un profil standard d'assemblage de composant sans plomb, qui se décompose généralement en cinq étapes, comme l'explique la référence [B68].

Le préchauffage et le palier consistent à chauffer la carte de façon régulière et lente, afin de diminuer les chocs thermiques engendrés par une dilatation trop rapide des matériaux. Cette phase permet également de sécher le circuit imprimé et de lui éviter un décollement des stratifiés. Une pente de 1-3°C/s est conseillée pour aller de la température ambiante jusqu'à 215°C. Un palier est utilisé pour rendre homogène la température sur toute la carte. La carte est chauffée par l'intermédiaire d'un radiateur placé sous le PCB, avec une montée lente de la température.

La refusion et le palier 2 consistent à répartir équitablement la chaleur sur toute la surface du BGA et dégazer l'alliage des billes ainsi que la brasure. Pour cela la température est montée jusqu'à 250°C pendant 30 secondes. La température étant très élevée, cette phase ne doit durer qu'un court instant. Une température de refusion excessive peut entraîner une importante déformation de la carte.

Enfin, le refroidissement se doit d'être plus rapide avec un alliage sans plomb qu'avec un alliage traditionnel, on utilise une pente de -4°C/s . L'alliage sans plomb demande un refroidissement rapide afin de former une structure à grain fin et éviter les brasures cassantes.

De nombreuses discussions entre les différents industriels de l'électronique ont conduit à l'élaboration d'un profil de refusion standard, adapté à l'assemblage des composants sans plomb. Ce profil de refusion est décrit dans la norme JEDEC/IPC J-STD 020 et sa courbe de température est très proche de celle utilisée par ACAMAS, pour le report du BGA « daisy chaîné ».

Voici la liste des véhicules de test qui ont été équipés du BGA, pour réaliser les essais de fiabilité par vieillissement accéléré :

- Un TVP fabriqué à partir du matériau *FR4 PCL 370*
- Un TVP fabriqué à partir du matériau *FARADFLEX 24*
- Trois TVP fabriqués à partir du matériau *FARADFLEX 12 TM*
- Trois TVP fabriqués à partir du matériau *C-PLY 16*

Parmi la liste des véhicules de test TVP équipés, celui qui a été fabriqué avec le matériau de référence *FR4 PCL 370* a permis d'analyser les contraintes résiduelles du BGA après son assemblage. Une vérification par rayons X de l'état des joints brasés après assemblage a permis de s'assurer de la qualité finale du report du composant et d'estimer la reproductibilité des assemblages. De plus, des micro-sections ont été effectuées pour connaître la forme des billes et pour mesurer les épaisseurs des éléments du BGA, afin de définir un modèle de simulation conforme avec la réalité. Enfin, la planéité du boîtier reporté sur le circuit imprimé a été mesurée et comparée avec les résultats de simulation après la refusion, afin de valider le modèle.

Les sept autres véhicules de test ont été entièrement consacrés aux tests de vieillissements et placés en enceinte thermique.

La Figure 64 est une photographie du véhicule de test TVP, montrant le résultat de l'assemblage du BGA « daisy chaîné ».

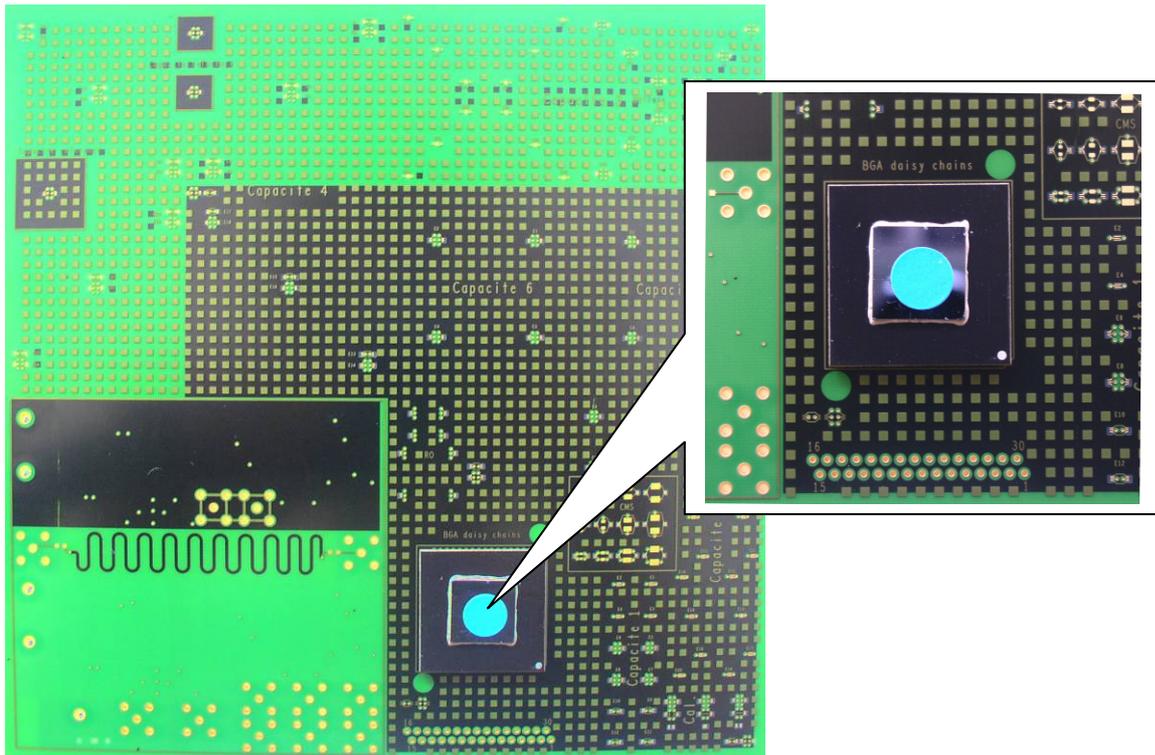


Figure 64 : Photographie d'un véhicule de test équipé de son BGA « daisy Chaîné »

Les tests de vieillissements accélérés ont pour objectif d'étudier l'impact des condensateurs enterrés sur la robustesse de l'assemblage du composant BGA. En d'autres termes, on cherche à savoir si les condensateurs enterrés ne dégradent pas la fiabilité d'un assemblage de BGA par rapport à un circuit imprimé standard. Pour cela, nous devons nous assurer que le procédé d'assemblage lui-même n'interfère pas sur l'étude. Aussi une analyse des joints brasés est faite après l'assemblage.

III.1.3.1. ANALYSE DES JOINTS BRASES

L'inspection radiographique des billes du BGA a pour but de détecter l'apparition de défauts dans les joints brasés, accumulés durant l'assemblage du composant. Lors de la refusion, des gaz provenant du flux contenu dans la pâte à braser forment des bulles d'air qui migrent du côté composant. Le palier qui suit la refusion a comme action principale de réduire la formation de ces bulles, mais il ne parvient pas toujours à totalement les éliminer [B75]. Cela arrive parfois lorsque le temps du préchauffage n'est pas suffisamment long ou lorsque la durée du pic de refusion est trop courte. Lorsque le joint brasé se solidifie, il emprisonne cette bulle d'air qui crée une cavité dans la soudure. Des études montrent qu'un manque de brasure représentant moins de 24% de la section de la bille ne dégrade pas sa résistance mécanique, lorsqu'elle est soumise à des déformations. Selon les résultats de l'étude en référence [B57], un manque plus important pourrait être critique sur la fiabilité de l'assemblage. Si plusieurs manques sont observés dans une même bille, leurs surfaces peuvent être additionnées pour définir une surface efficace.

La Figure 65 est une radiographie par rayons X, des billes du BGA après la refusion des joints brasés.

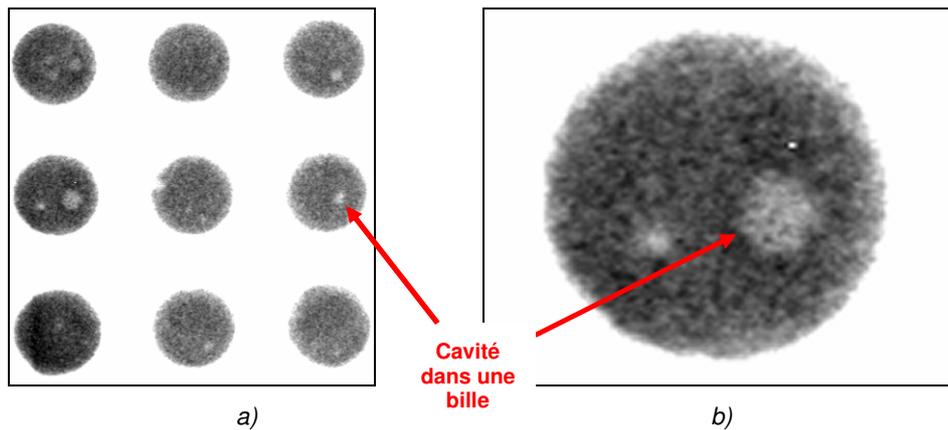


Figure 65 : Radiographie des cavités dans les billes du BGA après assemblage

Les cavités vues sur la face supérieure de l'assemblage sont représentées par des taches blanches sur la Figure 65. Elles sont de petites tailles et ont une surface inférieure au quart de la section de la bille. Par conséquent, ces manques de brasure ne devraient pas être à l'origine de défaillances sur l'assemblage. Par ailleurs, l'observation de la radiographie est faite sur la plus large section des billes. Une analyse minutieuse et complète, aurait consistée à observer plusieurs sections à plusieurs hauteurs de chaque bille d'un BGA et d'effectuer l'opération selon les axes X, Y et Z.

Si le pic de refusion est mal contrôlé, c'est-à-dire si la température est trop faible ou si la durée du pic est trop courte, certains joints brasés peuvent être déficients. Ils se caractérisent par des formes de billes aux contours irréguliers et partiellement refusionnées. Ces insuffisances de températures apparaissent avec l'inertie thermique du boîtier BGA qui absorbe les calories destinées à ses billes.

Des radiographies des billes du BGA assemblé ont été réalisées pour identifier les problèmes d'insuffisances de température et de mouillage. La Figure 66 montre les inspections radiographiques de face et à 45° des billes du BGA.

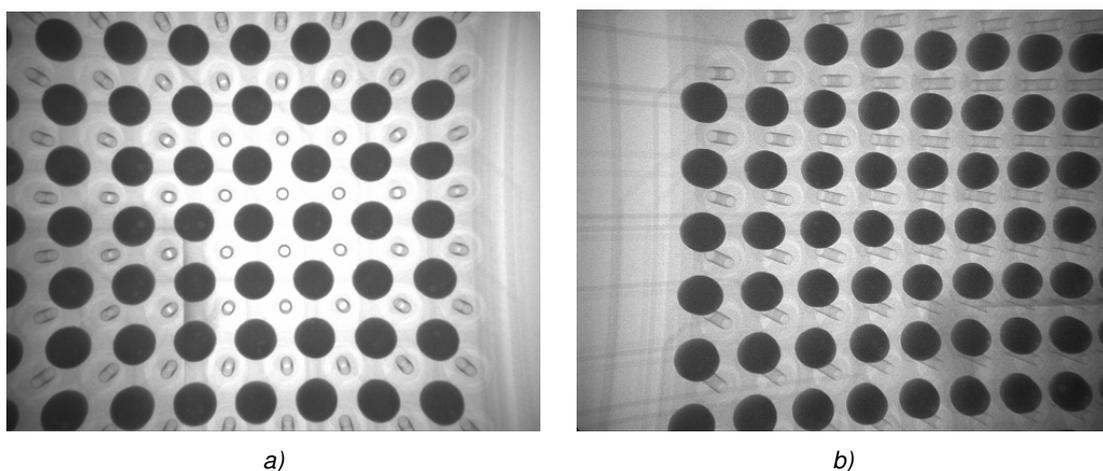


Figure 66 : Radiographie des billes du BGA montrant la régularité des formes des billes

Comme on peut le constater sur la Figure 66, les billes sont correctement brasées puisqu'il n'y a pas de billes allongées, le contour des joints brasés est régulier et leur taille est voisine d'une bille à l'autre [B60]. En considérant cette analyse représentative de l'ensemble des échantillons et sachant que tous les BGA ont été assemblés dans les mêmes conditions, nous supposons que la fiabilité du report de BGA est comparable pour chaque véhicule de test.

De ce fait, nous admettrons que les contraintes résiduelles seront les mêmes sur chaque assemblage du composant « daisy chaîné » et n'interféreront pas dans la comparaison entre les résultats des vieillissements accélérés. Le procédé de report du composant est reproductible et son influence sur l'état mécanique résiduel est identique pour chaque assemblage.

III.1.3.2. PLANEITE DU COMPOSANT REPORTE

A présent la planéité du BGA est étudiée afin de connaître la déformation du boîtier après son assemblage. Les résultats de cette mesure seront comparés par la suite avec les résultats de simulation. En fonction de la corrélation des résultats, le modèle de simulation sera validé et considéré représentatif de la réalité.

La mesure de l'état de surface du composant est réalisée à partir du profilomètre ALTISURF500. Grâce au faisceau lumineux issu d'une lampe halogène, l'appareil mesure la réflexion des longueurs d'ondes monochromatiques qu'il émet sur la surface. Ces réflexions sont interprétées en termes d'altitudes, lesquelles sont mémorisées pour retracer la cartographie en 3 dimensions de la surface étudiée.

La Figure 67 représente la cartographie de l'état de surface mesuré sur la face supérieure du boîtier BGA.

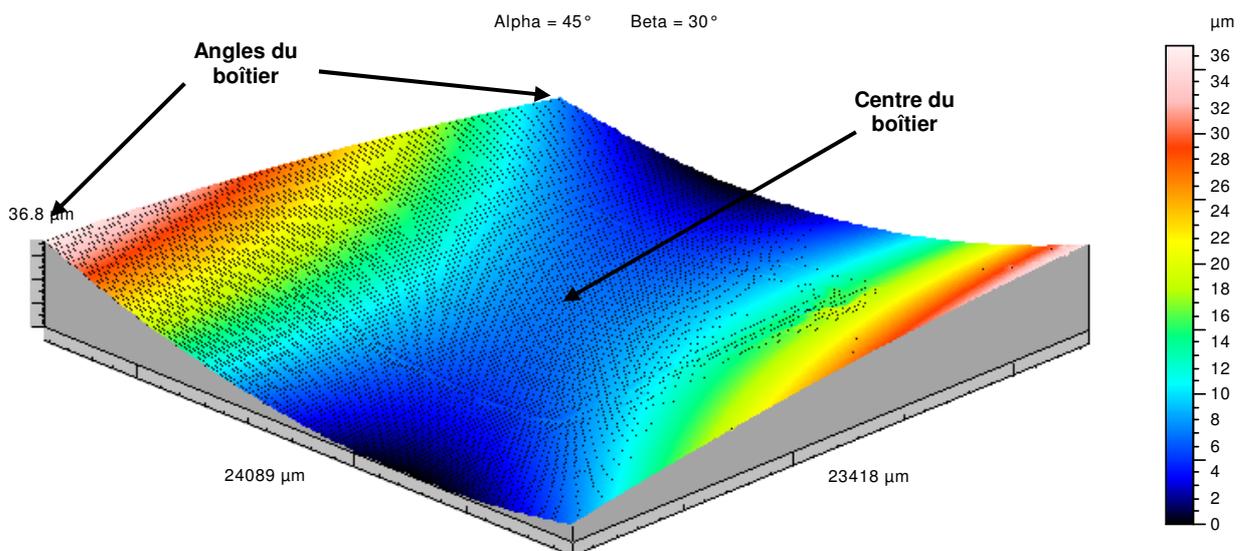


Figure 67 : Cartographie en 3 dimensions de la surface du boîtier, après assemblage du BGA

La cartographie de la Figure 67 nous montre que la surface supérieure du BGA est concave après son assemblage sur le circuit imprimé. C'est-à-dire que les angles du boîtier sont positionnés à une plus haute altitude que son centre. Ces résultats sont cohérents avec ceux du document [B53]. La flèche mesurée est de 30µm.

Comme nous l'avons vu dans le paragraphe II.1.3, le boîtier FR4 et la puce, qui sont liés mécaniquement par la colle, ont des coefficients de dilatation différents. Ces conditions ramènent le composant BGA à une structure bilame.

Au début de l'assemblage, le composant est posé sur les plages d'accueil de l'empreinte du BGA ; par conséquent il peut se déformer librement. Au fur et à mesure que la température augmente, le boîtier, qui est libre, devient concave à cause de la différence de coefficient de dilatation thermique de la puce et du substrat FR4. Lors du passage de la température de refusion vers la température ambiante, les joints brasés se solidifient à partir de 217°C et les liaisons mécaniques se forment. La différence de dilatation entre la puce et le boîtier FR4 impose des contraintes résiduelles dans les joints brasés. De plus le circuit imprimé qui a un coefficient de dilatation différent de celui du BGA, empêche le boîtier de reprendre sa forme initiale.

III.1.3.3. EPAISSEUR DES MATERIAUX

Nous cherchons maintenant à connaître la forme des billes et leur dimension, une fois le composant assemblé sur le véhicule de test. Ces éléments seront par la suite utilisés pour construire le modèle en 3 dimensions du BGA. En effet dans notre étude, l'alliage étain/argent/cuivre des billes est considéré comme le point faible de l'assemblage, sa modélisation doit être particulièrement précise. Pour cela, des micro-sections ont été effectuées afin de mesurer la géométrie des joints.

La Figure 68 représente la micro-section d'une bille, après le report du composant BGA sur le circuit imprimé en FR4.

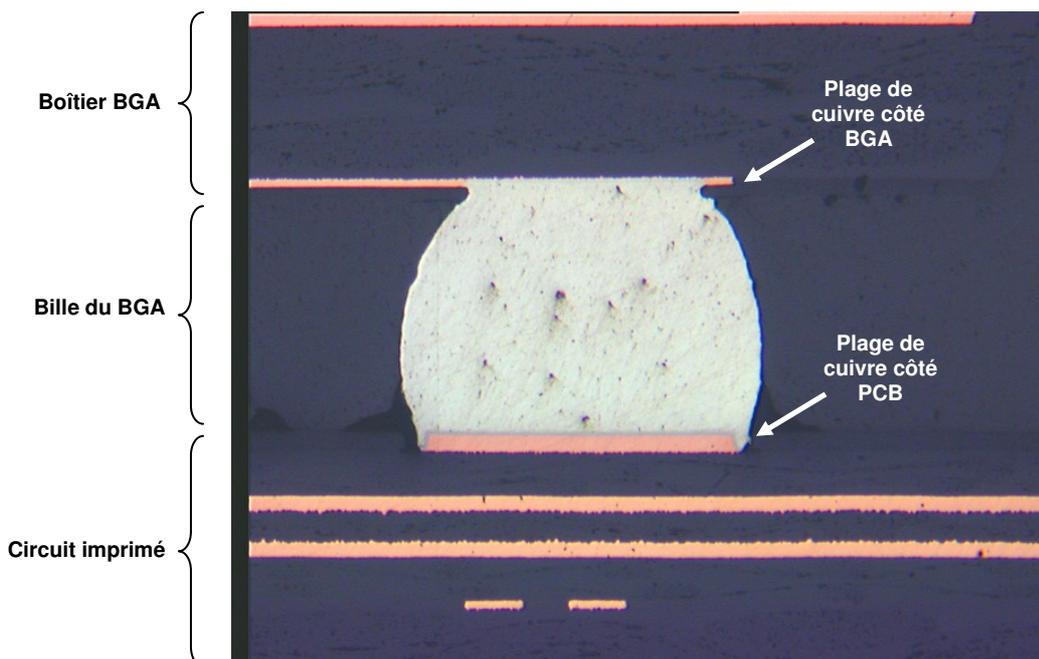


Figure 68 : Micro-section d'une bille après le report du BGA sur circuit imprimé

Les joints brasés du BGA reporté sont en forme de barrique. Les principales dimensions de l'assemblage étudié, comprenant le véhicule de test et le composant, sont regroupées dans le Tableau 19.

Tableau 19 : Dimensions physiques des éléments du composant assemblé

Éléments	Largeur	Diamètre	Épaisseur
Puce	13mm		800µm
Colle	13mm		70µm
Substrat boîtier FR4	25mm		1,5mm
Billes		860µm	
Plage de cuivre côté boîtier		565µm	17µm
Plage de cuivre côté circuit imprimé		720µm	40µm
Circuit imprimé	160mm		1,25mm

III.2. ESSAIS DE VIEILLESSEMENTS ACCELERES DE L'ASSEMBLAGE

L'étude de la fiabilité d'un assemblage de BGA sur un circuit imprimé avec condensateurs enterrés nous amène à déterminer la relation entre un protocole de vieillissement accéléré et la simulation d'un profil de mission représentatif de l'utilisation du BGA [B56]. La description des essais de vieillissements accélérés est présentée.

III.2.1. PRINCIPE DES ESSAIS DE VIEILLISSEMENT ACCELERE

Le vieillissement accéléré des véhicules de test équipés d'un BGA « daisy chaîné », a pour but de localiser les billes les plus contraintes et de connaître le nombre de cycles thermiques qui mènent à la première défaillance, c'est-à-dire à une cassure d'un joint brasé. Pour cela, les cartes sont disposées dans une chambre à variation rapide de la température et sont soumises à des cycles thermiques.

Le nombre de cartes de test équipées de BGA nous donne la possibilité de réaliser deux essais de vieillissement accéléré. Il a été décidé d'effectuer des cycles thermiques de 0/100°C et -55/+125°C, selon les règles définies par la norme IPC 9701. Tous les cycles thermiques sont réalisés avec la même pente pour les rampes de température (12°C/min) et la même durée de palier (15min). Aussi la durée d'un cycle 0/100°C est de 46min et la durée d'un cycle -55/125°C est de 60min.

La Figure 69 représente les cycles thermiques -55/125°C utilisés pour le vieillissement accéléré des véhicules de test. La température de l'enceinte thermique est régulée par le biais d'un programme informatique.

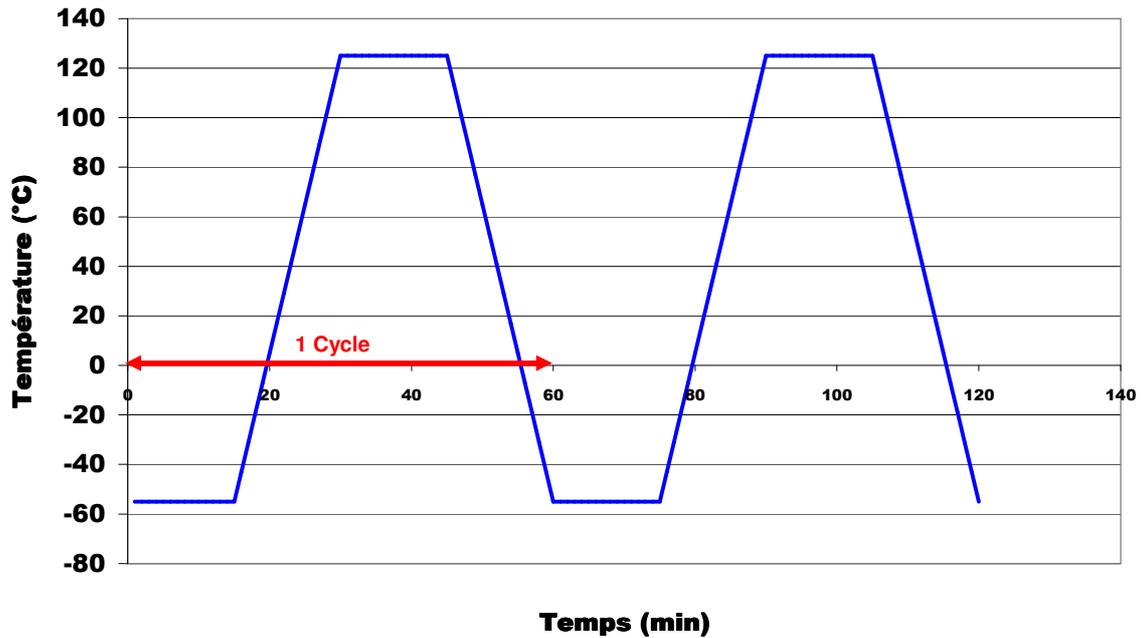


Figure 69 : Description des cycles thermiques subis par les véhicules de test

Un suivi permanent des chaînes daisy parcourant le composant est réalisé à l'aide d'un détecteur d'évènements dont le fonctionnement est décrit ci-après.

III.2.2. DETECTION DES MICROCOUPURES

Le détecteur d'évènements disponible dans le laboratoire IMS, est le *ANATECH STD256* fabriqué par *Analysis Technology*. Il permet de mesurer 256 chaînes en temps réel et de détecter l'apparition de microcoupures, pendant les tests de vieillissements accélérés. Son principe repose sur la mesure de la résistance des chaînes. Lorsque l'une d'entre elles est rompue, le détecteur voit sa résistance augmenter considérablement. Un évènement est détecté lorsque la résistance de déclenchement est dépassée pendant une durée supérieure à 200ns. La série de joints est considérée défectueuse après l'apparition de quinze occurrences sur celle-ci. A partir de l'historique des évènements enregistré dans un ordinateur, il est possible d'identifier le numéro de la chaîne défectueuse ainsi que la date des évènements correspondants. Le nombre de cycles thermiques qui mènent à une défaillance peut alors être calculé.

Le détecteur d'évènements est très sensible aux perturbations électromagnétiques, par conséquent certaines précautions sont à respecter. En effet, les fils de connexion peuvent se comporter comme des antennes réceptrices d'interférences électromagnétiques. Pour ne pas affecter la mesure, il est nécessaire de protéger ces fils par un blindage de masse particulièrement soigneux. De plus, tous les appareils utilisés pour l'expérience doivent être reliés à la terre.

III.3. RESULTATS DES VIEILLISSEMENTS ACCELERES

Deux profils de cycles thermiques ont été définis en vue des domaines d'application pour lesquels les condensateurs enterrés seront utilisés. Le premier, dont la température varie entre 0 et 100°C, correspond au profil traditionnel pour les équipements informatiques et de télécommunications. Le deuxième, qui varie entre -55°C et 125°C, correspond à une utilisation en environnement sévère et est dédié à des équipements embarqués.

Voici la présentation des résultats des vieillissements accélérés en fonction des deux profils utilisés.

III.3.1. CYCLES THERMIQUES 0°C/+100°C

Les trois premiers échantillons ont été disposés dans la chambre thermique. Il s'agit d'une carte de test à base de *C-PLY16*, d'une carte fabriquée à partir du matériau *FARADFLEX24* et d'une carte en *FARADFLEX12TM*. Ces échantillons ont subi 2360 cycles thermiques de 0/+100°C et aucune défaillance n'a été détectée. On considère que 2000 cycles 0/+100°C suffisent pour valider la qualification de la technologie étudiée. C'est pourquoi après 2360 cycles, les tests ont été arrêtés pour mettre en place un deuxième essai de vieillissement avec des cycles thermiques plus sévères (-55/+125°C).

Des micro-sections ont été réalisées au niveau des billes et une partie des résultats des coupes est présentée sur la Figure 70.

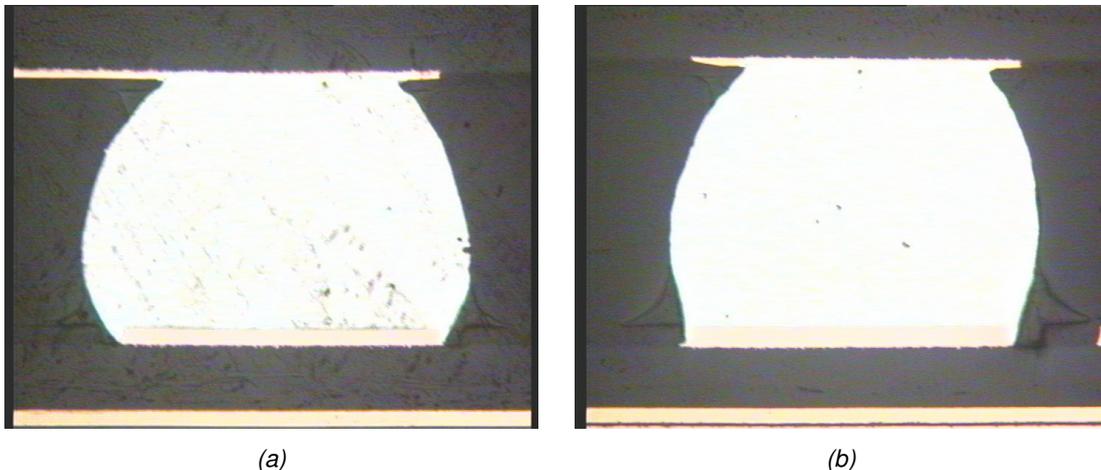


Figure 70 : Micro-sections après 2360 cycles thermiques de 0/100°C : a) bille du centre ; b) bille sur le bord du boîtier

D'après les observations faites sur les échantillons ayant subi 2360 cycles thermiques de 0 à 100°C, aucune microcoupure n'a été détectée. Sur la Figure 70, on observe que les billes situées au centre du boîtier sont légèrement écrasées, alors que celles situées aux bords du boîtier sont légèrement allongées. Ces formes viennent du fait que le boîtier a une forme concave, alors que celle du circuit imprimé est plane. Par conséquent, la distance qui sépare le BGA du circuit imprimé est plus grande sur les bords du boîtier qu'à son centre, comme le confirme la référence [B58]. De plus, les observations ne montrent pas d'amorce de fissures, qui en général apparaissent en premier lieu à l'interface entre la bille et le boîtier. Pour ce profil de cycles thermiques, les contraintes dans les billes sont faibles et leurs déformations sont très petites.

Ainsi les assemblages des BGA sur les circuits imprimés à base de *C-PLY*, *FARADFLEX12* et *FARADFLEX24* ont passé avec succès les tests de qualification.

III.3.2. CYCLES THERMIQUES -55 °C/+125 °C

Un deuxième profil thermique est utilisé : il correspond à une utilisation en environnement sévère et la température des cycles varie entre -55°C et +125°C.

Quatre nouvelles cartes équipées ont été placées dans l'enceinte thermique. Il s'agit de deux cartes fabriquées en *C-PLY* et deux cartes fabriquées en *FARADFLEX12TM*. Ces cartes équipées de BGA ont été soumises à un profil thermique plus sévère, allant de -55°C/+125°C. Le premier évènement s'est manifesté au 1460^{ème} cycle thermique et concerne la bille située dans un coin et à la périphérie de la puce. Les tests ont été interrompus à la suite de cet évènement car l'enceinte thermique commençait à présenter des dysfonctionnements. En effet la température réelle de l'enceinte n'arrivait plus à suivre la température de consigne, par conséquent les cycles thermiques devenaient irréguliers et non adaptés au vieillissement accéléré initialement établi. D'après la norme IPC 9701, un assemblage qui subit 1000 cycles de -55°C/+125°C sans manifester de défaillance passe avec succès les tests de qualification dédiés aux applications militaires.

La résistance de toutes les chaînes a été mesurée en statique, avant et après les 1460 cycles thermiques, par l'intermédiaire d'un ohmmètre. Avant les cycles, les chaînes ont une résistance homogène et leur moyenne est égale à 900mΩ. Après les cycles, les résistances sont toujours homogènes à l'exception de la chaîne défaillante, pour laquelle la résistance mesurée est de 50Ω. Cette valeur n'est pas celle d'un circuit ouvert, pour lequel la résistance théorique serait infinie. En effet, les microcoupures apparaissent souvent aux températures extrêmes des cycles thermiques. A la température ambiante, les fissures se referment légèrement et la résistance retrouve une valeur acceptable, alors que le circuit est effectivement défaillant.

Les zones entourées sur le schéma du BGA de la Figure 71 montrent les 16 billes de la chaîne défaillante après les 1460 cycles thermiques.

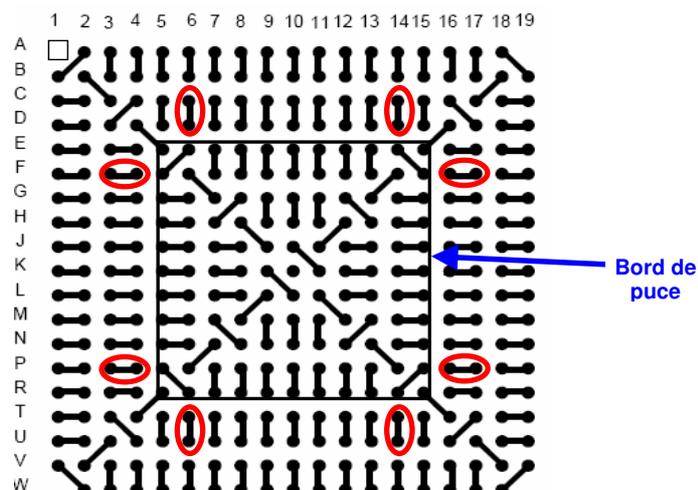


Figure 71 : Schéma du BGA avec la chaîne défaillante après 1460 cycles thermiques de -55 / 125 °C

Comme on peut le voir sur la Figure 71, les premières défaillances apparaissent sous le bord de la puce, ce qui est cohérent avec la littérature sur le sujet. On constate également que ces défaillances ont d'abord lieu dans les angles de la puce.

Des micro-sections ont été effectuées au niveau des billes qui constituent la chaîne défaillante, afin de localiser la rupture complète du joint brasé. L'analyse des coupes n'a pas révélée de rupture totale au niveau des joints brasés, la défaillance a peut être eu lieu au niveau d'un via ou d'une ligne d'interconnexion. Cependant, la plus grande fissure a été identifiée et sa photographie est présentée sur la Figure 72.

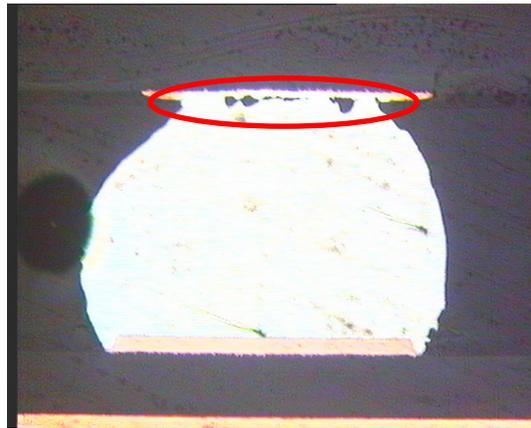


Figure 72 : Photographie d'une bille fissurée appartenant à la chaîne défaillante

Les joints brasés ont été analysés après 1460 cycles thermiques de $-55/125^{\circ}\text{C}$. Sous l'effet des différences de coefficients de dilatation entre les constituants de l'assemblage, des amorfes de fissures apparaissent et se propagent dans les billes. On voit sur la Figure 72, que la fissure se situe près de l'interface entre la bille et le boîtier du BGA, tel que nous l'attendions. Nous verrons à travers les résultats de simulations que les joints brasés sont fortement contraints dans cette zone.

La Figure 73 est une photographie des billes situées sous le bord de puce, dans lesquelles des amorfes de fissures ont été observées.

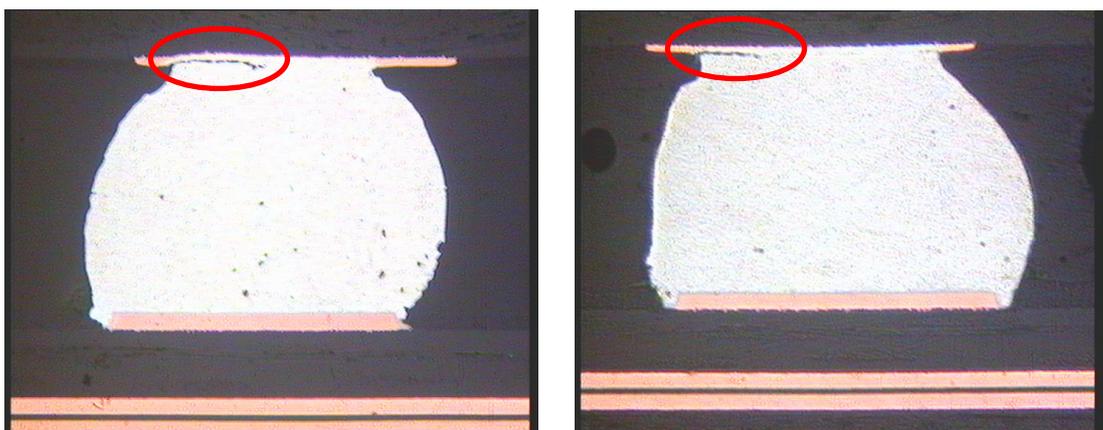


Figure 73 : Photographie d'une bille avec une amorce de fissure

A partir de la Figure 73, on aperçoit des amorfes de fissures qui se propagent dans le joint brasé, à l'interface bille boîtier. On note des amorfes de fissures sur une grande concentration de billes situées à la périphérie de la puce. Les contraintes mécaniques semblent être plus élevées dans

cette zone du BGA. Ces résultats sont retrouvés dans le document [B59] et les simulations de notre étude permettront de vérifier cette hypothèse.

Dans la suite, nous considérerons que l'énergie conduisant à la défaillance est celle dépensée dans les joints brasés au bout de ces 1460 cycles -55/+125°C.

IV. MODELISATION ET SIMULATIONS

Dans notre étude, nous considérons l'assemblage d'un BGA à substrat organique et avec des billes de brasure sans plomb. Après avoir décrit le modèle, ainsi que les propriétés thermophysiques utilisées, les résultats des simulations seront exposés et comparés avec les analyses faites sur les résultats des tests de vieillissement accéléré.

Les simulations thermomécaniques sont basées sur la méthode des éléments finis, qui permet de résoudre numériquement des équations aux dérivées partielles. Le comportement dynamique d'un système physique peut alors être représenté analytiquement. Pour résoudre ces équations, des conditions limites sont posées pour diminuer le nombre de solutions possibles.

Le logiciel ANSYS version 10 est utilisé pour les simulations thermomécaniques et le serveur de calcul est une architecture AMD opteron bi-processeur dualcore, cadencé à 2,6Ghz avec 8Go de mémoire centrale.

IV.1. MODELE ETUDIE

Pour étudier le comportement thermomécanique d'assemblage, il faut d'abord construire le modèle. Après une présentation de la structure du modèle divisé en éléments finis, la description de ses matériaux sera faite.

IV.1.1. STRUCTURE DU MODELE

Les modèles des assemblages de BGA peuvent être réalisés selon différentes techniques. Certains modèles semblent plus proches de la réalité que d'autres et permettent d'obtenir de meilleurs résultats. Des études comparatives ont permis de mettre en évidence l'efficacité du modèle 3D octant qui représente $1/8^{\text{ième}}$ de l'assemblage, du modèle 3D qui ne considère qu'une rangée de billes de l'assemblage, et enfin le modèle 2D axisymétrique qui ne prend en compte qu'une coupe de l'assemblage [B73]. Le modèle le plus représentatif de la réalité est le modèle 3D octant, mais il est également celui qui demande le plus d'effort au niveau de sa construction et surtout de temps de calcul et de taille mémoire. Pour étudier le comportement mécanique de l'assemblage, le modèle est décomposé en plusieurs éléments reliés par des nœuds. Plus le nombre d'éléments est grand et plus les résultats sont précis. Pour obtenir des résultats de simulations thermomécaniques fiables, le choix s'est porté sur la construction d'un modèle 3D octant.

La constitution solide du modèle est maillée avec l'élément structurel SOLID45 car il permet de construire des éléments linéaires à huit nœuds. Les joints brasés sont maillés avec l'élément

VISCO107 car il prend en considération le comportement viscoplastique de la brasure ce qui est plus représentatif du comportement réel de la brasure [B74].

En raison des quatre axes de symétrie du boîtier BGA, une première hypothèse nous permet de supposer que les défaillances observées sur 1/8^{ième} des billes sont reproductibles sur l'ensemble de l'assemblage. Cette méthode est également utilisée et expliquée dans la référence [B66].

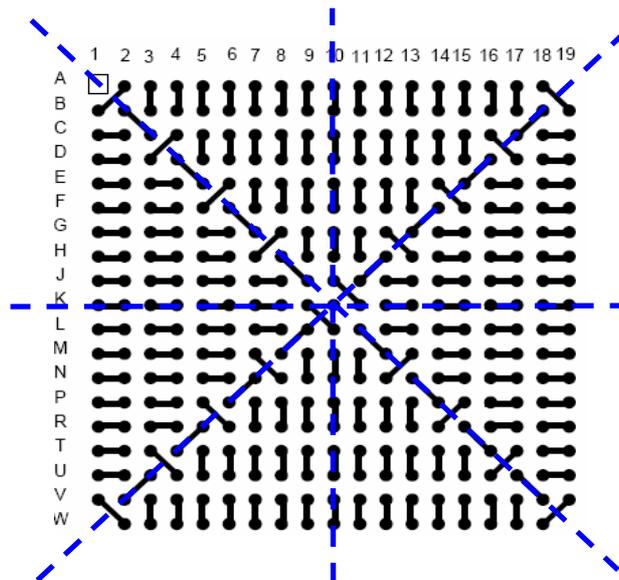


Figure 74 : Axes de symétries du boîtier BGA

Ainsi, pour réduire le nombre d'éléments et le temps de calcul, seulement un huitième du boîtier est considéré. On suppose donc que la puce est parfaitement centrée sur le boîtier, que les billes sont toutes de formes identiques et enfin que le composant est strictement plan et carré.

Pour construire le modèle 3D octant, un maillage est effectué pour décomposer la structure en éléments finis. La précision des résultats de simulations dépend en partie de la finesse du maillage et de l'homogénéité dans la forme des éléments. Certains ont une forme cubique et d'autres ont une forme de prisme.

Pour limiter la taille du modèle, une simplification de l'empilage du circuit imprimé a été faite. Pour cela on ramène l'empilage réel du circuit imprimé comprenant huit couches métal et sept couches de diélectrique, à un empilage plus simple et homogène. Nous verrons dans la suite de l'étude comment le circuit imprimé a été simplifié et comment ses nouvelles propriétés mécaniques ont été définies.

Enfin le modèle est non linéaire, c'est-à-dire que les propriétés de certains matériaux sont dépendantes de la température et du temps. Seules les propriétés mécaniques du cuivre et du silicium de la puce n'ont pas été définies en fonction de la température.

La Figure 75 montre le modèle 3D octant du BGA. Ce modèle prend en considération les propriétés des matériaux diélectriques et le comportement viscoplastique des joints brasés.

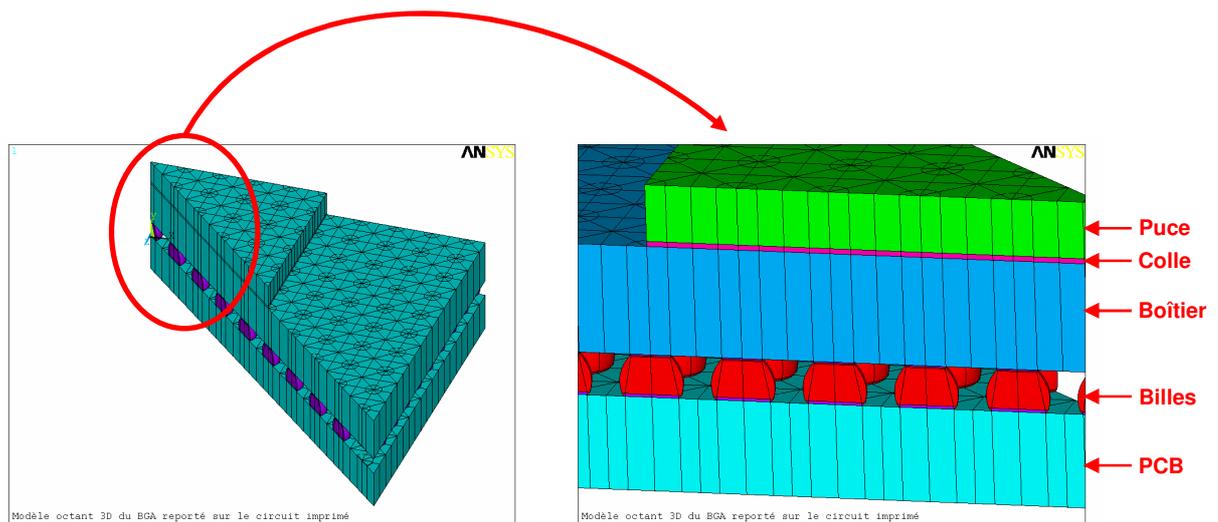


Figure 75 : Modélisation 3D d'un huitième de l'assemblage.

Sur la Figure 75, on aperçoit la rangée de billes situées sur la diagonale du BGA. Pour construire le modèle, on réalise d'abord une colonne avec les différentes couches de l'assemblage, la puce, la colle, le boîtier, une bille et le circuit imprimé. Cette colonne est ensuite dupliquée plusieurs fois, avec un espacement équivalent au pas entre deux billes. Cette technique donne la possibilité au modèle d'être entièrement paramétrable en fonction du nombre de billes, du pas, de la largeur des billes et de l'épaisseur entre le boîtier et le circuit imprimé.

Des conditions de symétries doivent être appliquées sur la diagonale et la médiane du modèle $1/8^{\text{ème}}$, de manière à considérer le reste de l'assemblage dans le modèle complet [B71]. A présent les propriétés thermophysiques sont à attribuer aux différents matériaux du modèle 3D octant. Il s'agit des matériaux diélectriques pour le circuit imprimé et le boîtier du BGA ; et des matériaux non organiques tels que le cuivre, la puce de silicium et les joints brasés du BGA. Ces matériaux seront traités séparément dans la suite de l'étude.

IV.1.2. MODELISATION THERMOMECHANIQUE DES MATERIAUX DE L'ASSEMBLAGE

Pour observer le comportement thermomécanique de l'assemblage, il est nécessaire d'attribuer aux éléments, les propriétés thermophysiques de chaque matériau. Les matériaux diélectriques ont des propriétés thermophysiques particulières. En effet leur constitution, qui est un mélange de résine et d'une trame de verre, donne à ces matériaux des propriétés orthotropes. Dans notre étude, ces matériaux seront considérés élastiques et sans fluage.

Comme nous l'avons déjà évoqué dans la méthodologie, les simulations vont permettre de calculer la densité d'énergie de déformation dans les joints brasés. Il est donc important de prendre en compte les contraintes résiduelles accumulées pendant le report du BGA. Cela implique de simuler la montée en température de l'assemblage jusqu'au point de fusion de l'alliage SnAgCu ($T_f=217^\circ\text{C}$) et un retour à la température ambiante. Au cours de cette refusion, la température de transition vitreuse de certains matériaux va être dépassée. Or comme nous l'avons vu dans le paragraphe II, au delà du T_g , les propriétés thermomécaniques des matériaux se modifient. Pour obtenir un comportement thermomécanique proche de la réalité, il est indispensable d'introduire des caractéristiques dépendantes de la température. Ces propriétés ont été détaillées dans le Tableau 18.

Le circuit imprimé est un empilage de plusieurs couches de cuivre et de diélectrique, dont les épaisseurs varient énormément d'un matériau à l'autre. Pour que les calculs de simulations soient fiables, il est important que les éléments finis soient de forme homogène et cubique. Ce qui engendre un modèle 3D très dense, avec une grande quantité d'éléments et de nœuds. Pour obtenir un temps de simulation acceptable, une simplification de l'empilage du circuit imprimé est nécessaire. Cette simplification réduit le cœur de l'empilage, à un seul matériau dont le comportement mécanique est identique à celui du circuit imprimé réel (Figure 76). Les couches de cuivre externes ne sont pas prises en compte dans la simplification du modèle, elles apparaissent au moment de la construction des billes du BGA. Ce modèle ne permettra pas de prendre en considération l'effet bilame à l'intérieur du circuit imprimé, nous considérerons cet effet uniquement entre le substrat du boîtier et la puce de silicium.

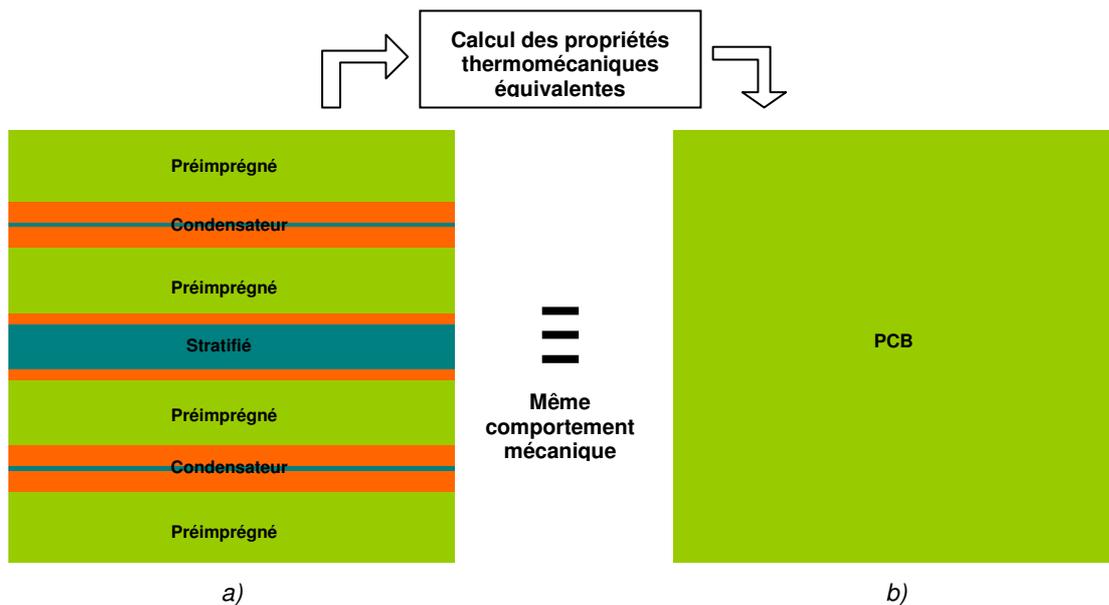


Figure 76 : Modèle du circuit imprimé : a) complet ; b) simplifié

Trois cas de figure sont alors étudiés : le circuit imprimé à base de *C-PLY*, à base de *FARADFLEX12TM* et à base de *FR4 PCL 370*, auxquels correspondent trois modèles simplifiés, *PCB_CPLY*, *PCB_FARAD12* et *PCB_FR4*.

Le module d'Young, le coefficient de dilatation et le coefficient de Poisson de ces trois modèles ont été déterminés dans les axes X/Y et dans l'axe Z. Pour cela, on note les contraintes et les déformations, obtenues par simulations, de l'empilage réel soumis à des charges de type variation de la température et compression des matériaux. Les propriétés thermophysiques des matériaux équivalents utilisés dans le modèle simplifié sont ensuite calculées en fonction des résultats de

simulation. Le module d'Young et le coefficient de Poisson sont obtenus à partir d'une traction et d'une compression du modèle. Le coefficient de dilatation est obtenu à partir d'une augmentation de la température. Les équations détaillées dans le paragraphe II.1 ont permis de calculer ces propriétés.

Un même empilage réel regroupe plusieurs matériaux dont les T_g sont différents (Tableau 18). Les calculs des propriétés thermomécaniques des modèles simplifiés ont donc été décomposés en fonction des températures de transition vitreuse.

Le Tableau 20 regroupe les caractéristiques thermomécaniques qui sont utilisées pour la simplification du modèle du circuit imprimé. Le module d'Young, le coefficient de Poisson et le coefficient de dilatation sont détaillés en fonction des axes X/Y et Z et en fonction des températures de transition vitreuse.

Tableau 20 : Propriétés thermophysiques des modèles des circuits imprimés simplifiés

Matériaux		Module d'Young (GPa)		Coefficient de Poisson		Coefficient de dilatation (ppm/°C)	
		Axe X et Y	Axe Z	Axe X et Y	Axe Z	Axe X et Y	Axe Z
PCB_CPLY	T<115°C	49,7	21,4	0,3	0,29	16,5	39,3
	115°C<T<150°C	49,7	21,4	0,3	0,29	16,6	47
	150°C<T<175°C	49,7	21,4	0,3	0,29	17	73,5
	T>175°C	37	13,4	0,13	0,32	17,8	219,4
PCB_FARAD12	T<100°C	50,1	23	0,32	0,29	16,4	38,5
	100°C<T<175°C	50,1	23	0,32	0,29	16,5	38,8
	175°C<T<200°C	37,5	13,9	0,13	0,32	17,1	185,3
	T>200°C	37,5	13,9	0,13	0,32	17,1	193,2
PCB_FR4	T<175°C	46,9	22,8	0,34	0,28	16,4	39,9
	T>175°C	33,1	13,7	0,14	0,32	17,1	194,7

Les propriétés du Tableau 20 sont attribuées aux éléments finis définissant le circuit imprimé du modèle 3D octant, dans le but d'obtenir un comportement thermomécanique identique à celui de l'empilage réel.

Le Tableau 21 regroupe les propriétés thermophysiques des autres matériaux utilisés dans le modèle de l'assemblage 3D octant.

Tableau 21 : Propriétés thermophysiques des autres matériaux de l'empilage

Matériaux		Module d'Young (GPa)		Coefficient de Poisson		Coefficient de dilatation (ppm/°C)	
		Axe X et Y	Axe Z	Axe X et Y	Axe Z	Axe X et Y	Axe Z
Cuivre		120		0,345		17	
Substrat FR4 du BGA	T<175°C	23	10	0,39	0,18	15	50
	T>175°C	8	8			17	250
Colle de la puce	T<80°C	3,6		0,3		60	
	T>80°C	0,12				160	
Puce Si		131		0,28		2,8	
Bille de brasure (Sn96,5Ag3,0Cu0,5)		Dépendant de la T°C		0,35		25	

Pour que les propriétés thermomécaniques puissent être introduites dans le modèle 3D octant, des adaptations sont nécessaires pour le matériau homogène simplifié du circuit imprimé. En effet, ANSYS calcule la dilatation thermique d'un matériau, à partir de son coefficient de dilatation et en se reportant à la température de référence T_{ref} , avec $\Delta L = L \cdot \alpha(T - T_{ref})$.

Pour que le logiciel ANSYS puisse simuler les déformations des éléments, il est alors indispensable de calculer un coefficient de dilatation apparent α_{app} , en fonction des différentes températures de transition vitreuse (T_g), des coefficients de dilatation entre ces températures et de la température de référence.

La Figure 77 illustre ces différents paramètres.

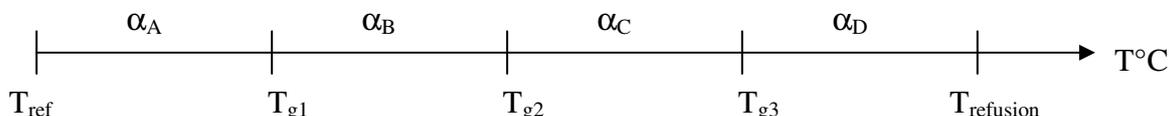


Figure 77 : Changement des coefficients de dilatation sur la plage de températures considérées dans la simulation

- Pour des températures inférieures au T_{g1} , on a :

$$\Delta L_1 = L \cdot \alpha_A (T_1 - T_{ref}) \quad \text{et} \quad \Delta L_1 = L \cdot \alpha_{A,app} (T - T_{ref})$$

ainsi,

$$\alpha_{A,app} = \alpha_A$$

- Pour des températures comprises entre T_{g1} et T_{g2} il est nécessaire d'ajouter la dilatation précédente à la longueur L , on a donc :

$$\Delta L_2 = (\Delta L_1 + L) \cdot \alpha_B (T - T_1) \quad \text{et} \quad \Delta L_1 + \Delta L_2 = L \cdot \alpha_{B,app} (T - T_{ref})$$

ainsi,

$$\alpha_{B,app} = \frac{[1 + \alpha_A (T_1 + T_{ref})][1 + \alpha_B (T - T_1)] - 1}{T - T_{ref}}$$

- Pour des températures comprises entre T_{g2} et T_{g3} , on a :

$$\Delta L_3 = (\Delta L_2 + L) \cdot \alpha_C (T - T_2) \quad \text{et} \quad \Delta L_1 + \Delta L_2 + \Delta L_3 = L \cdot \alpha_{C_{app}} (T - T_{ref})$$

ainsi,

$$\alpha_{C_{app}} = \alpha_B + \frac{\left[\left(\alpha_A (T_1 - T_{ref}) + 1 \right) \alpha_B (T - T_1) + 1 \right] \alpha_C (T - T_2)}{T - T_{ref}}$$

- Pour des températures comprises entre T_{g3} et $T_{refusion}$, on a :

$$\Delta L_4 = (\Delta L_3 + L) \cdot \alpha_D (T - T_3) \quad \text{et} \quad \Delta L_1 + \Delta L_2 + \Delta L_3 + \Delta L_4 = L \cdot \alpha_{D_{app}} (T - T_{ref})$$

ainsi,

$$\alpha_{D_{app}} = \alpha_C + \frac{\left[\left[\left[\alpha_A (T_1 - T_{ref}) + 1 \right] \alpha_B (T - T_1) + 1 \right] \alpha_C (T - T_2) + 1 \right] \alpha_D (T - T_3)}{T - T_{ref}}$$

Pour adapter l'usage du coefficient de dilatation apparent avec la réalité, on définit un tableau de valeurs pour des plages de 5°C. L'assemblage du BGA comprend une montée de la température jusqu'à 217°C, suivi d'une redescente à la température ambiante. Ainsi pour la montée, le coefficient de dilatation apparent du matériau homogène pour circuit imprimé est calculé avec une température de référence de 27°C et pour la redescente, il est calculé avec une température de référence de 217°C.

L'alliage SnAgCu, qui est utilisé pour les billes du BGA et pour la crème à braser, est le point sensible de l'assemblage ; sa modélisation doit donc être soignée. Les déformations plastiques et le fluage sont pris en compte, et les propriétés thermomécaniques dépendant de la température sont utilisées. Le comportement viscoplastique de l'alliage est décrit grâce au modèle d'Anand implémenté dans ANSYS (référence guide d'utilisation ANSYS). Ce modèle utilise une variable scalaire noté S , qui définit la résistance à la déformation. La loi de fluage est modélisée par l'équation suivante :

$$\text{Équation 28 : } \frac{d\epsilon}{dt} = A \left[\sinh \left(\xi_n \frac{\sigma}{s} \right) \right]^{\frac{1}{m}} \cdot e^{\left(-\frac{Q}{RT} \right)}$$

Avec

- A est le facteur pré-exponentiel [s^{-1}]
- ξ_n est le multiplicateur de contrainte
- σ est la contrainte équivalente [MPa]
- s est la résistance à la déformation [MPa]
- m est la sensibilité à la contrainte de la vitesse de déformation
- Q est l'énergie d'activation [kJ/môle]
- R est la constante des gaz parfaits [kJ/mole.K]

L'équation d'évolution de la résistance à la déformation s'écrit (guide d'utilisation ANSYS) :

$$\text{Équation 29 : } \frac{ds}{dt} = h(\sigma, s, T) \frac{d\epsilon}{dt} - \frac{dr}{dt}(s, T)$$

Où h fonction d'érouissage est égale à (guide d'utilisation ANSYS) :

$$\text{Équation 30 : } h(\sigma, s, T) = \left\{ h_0 \left| 1 - \frac{s}{s^*} \right|^a \operatorname{sign} \left(1 - \frac{s}{s^*} \right) \right\}$$

$$\text{Avec } s^* = \hat{s} \left[\frac{1}{A} \frac{d\varepsilon}{dt} e^{\left(\frac{Q}{RT} \right)} \right]^n$$

Ces paramètres sont inspirés de la littérature [B63] et sont répertoriés dans le Tableau 22.

Tableau 22 : Propriétés de l'alliage Sn96,5Ag3,0Cu0,5 [B63]

Température (°C)	Module d'Young	Propriétés de Anand	
-55	43,4 GPa	A (sec ⁻¹)	5,87 x 10 ⁸
-25	40,7 GPa	Q/R (°K)	7460
0	38,1 GPa	ξ _n	2
25	35,5 GPa	m	0,0942
75	32,9 GPa	s (MPa)	58,3
100	30,3 GPa	n	0,015
125	27,6 GPa	h ₀	9350
175	25 GPa	a	1,5
217	0,1 MPa (Refusion)	s ₀ (MPa)	45,9

La Figure 78 représente la courbe d'écouissage de la brasure SAC305, en fonction de la température. Il s'agit de la brasure du composant utilisée pour son assemblage sur le circuit imprimé. La courbe des contraintes et des déformations de l'alliage a été tracée à partir des résultats de simulation avec le logiciel ANSYS.

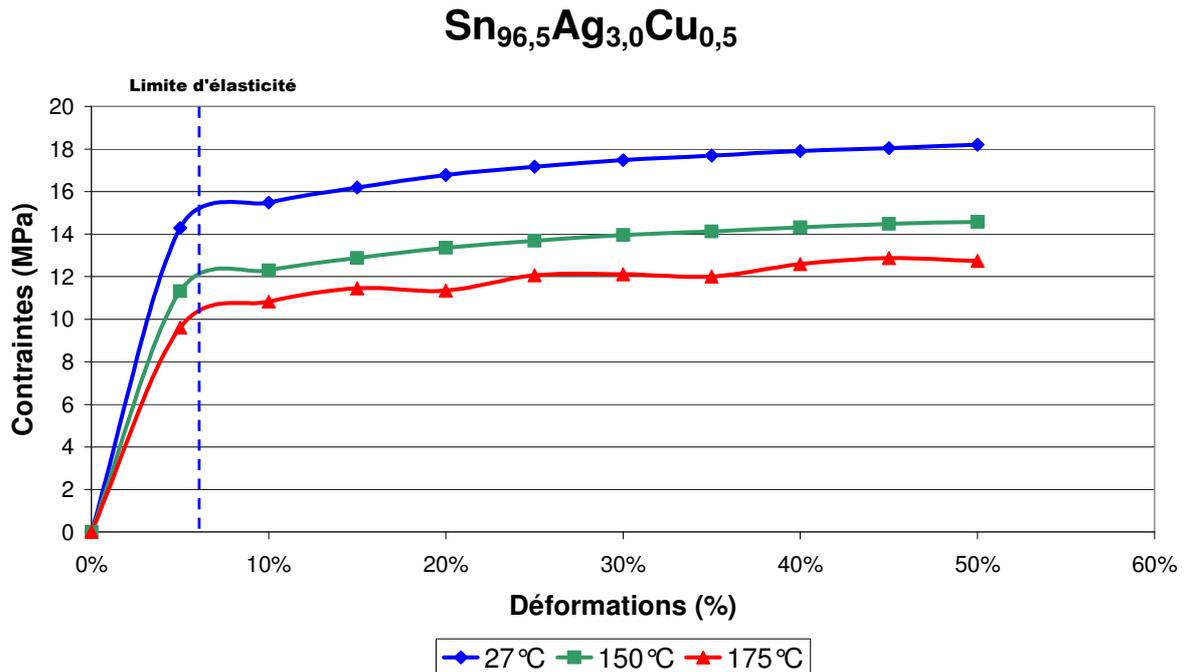


Figure 78 : Courbe d'écroissage de la brasure SAC305

D'une manière générale, la Figure 78 nous montre que pour des déformations équivalentes, plus la température est haute et plus les contraintes sont faibles. En effet, pour des températures élevées, le module de Young est faible par conséquent l'alliage SnAgCu est mou et les contraintes sont relâchées.

Le modèle étant maintenant présenté, nous allons nous intéresser aux simulations thermomécaniques effectuées sur cet assemblage. Ne pas prendre en compte les contraintes et déformations initiales conduit à une estimation légèrement fautive de la densité d'énergie dépensée dans les billes du BGA. C'est pourquoi les simulations vont débuter avec le report du composant sur le circuit imprimé, afin de considérer les contraintes résiduelles dues à l'assemblage.

IV.2. SIMULATION DU REPORT SUR CARTE AVEC UN MODELE 3D OCTANT

Le simulateur calcule la densité d'énergie de déformation dans les billes, à partir d'un modèle octant en trois dimensions du BGA. Ce modèle prend en considération les contraintes et les déformations résiduelles dues au report du composant sur le circuit imprimé et à la relaxation des contraintes dans les joints brasés lors du stockage de la carte.

La Figure 79 permet de visualiser les événements subis par l'assemblage, depuis le report jusqu'à la fin des cycles thermiques.

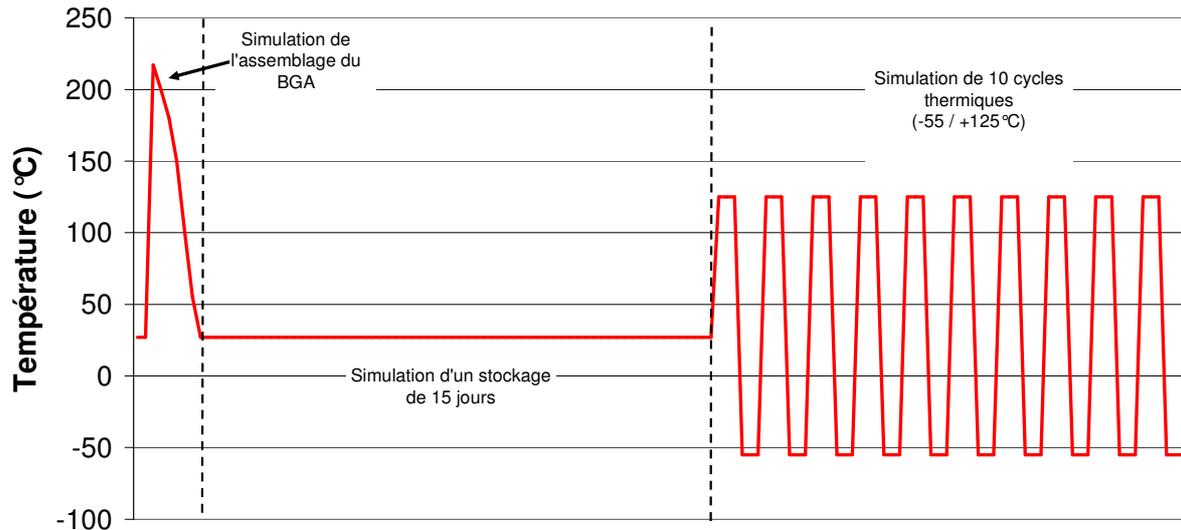


Figure 79 : Evènements subis par l'assemblage

Dans un premier temps, le report du BGA sur le circuit imprimé est simulé pour prendre en compte les contraintes résiduelles dans les billes.

Avec ANSYS, il n'est pas possible de changer la température de référence au cours d'une simulation. Pour respecter le profil de refusion de l'assemblage du BGA, les simulations sont réalisées en deux étapes : d'abord une montée à la température de refusion des billes, puis une redescente à la température ambiante. Pour cela, nous utilisons deux modèles de simulation avec des géométries identiques et des propriétés thermomécaniques adaptées pour la montée, puis pour la redescente de la température. Le premier modèle est utilisé pour la montée à 217°C avec une température de référence de 27°C. Le déplacement de chaque nœud et leurs contraintes sont alors mémorisés dans un tableau. Le deuxième modèle est utilisé pour le retour à 27°C avec une température de référence de 217°C et en tenant compte des déformations obtenues sur le précédent modèle.

IV.2.1. MONTEE A 217°C DU MODELE OCTANT

La première phase consiste à simuler la montée de l'assemblage à 217°C, température de refusion de l'alliage Sn96.5Ag3.0Cu0.5, avec une température de référence de 27°C. Avant la montée en température de l'assemblage réel, le composant est déposé sur le circuit imprimé : il n'y a donc aucun lien mécanique entre les billes et les plots de cuivre du substrat. Ce qui dans ANSYS, reviendrait à désactiver les éléments des billes, malheureusement les éléments structurels VISCO107 ne le permettent pas. Pour remédier à ce problème, le module d'Young de l'alliage est pris très bas et les paramètres d'Anand ne sont pas définis dans cette simulation.

La Figure 80 illustre les déplacements des nœuds du modèle de l'assemblage à 217°C, selon l'axe Z.

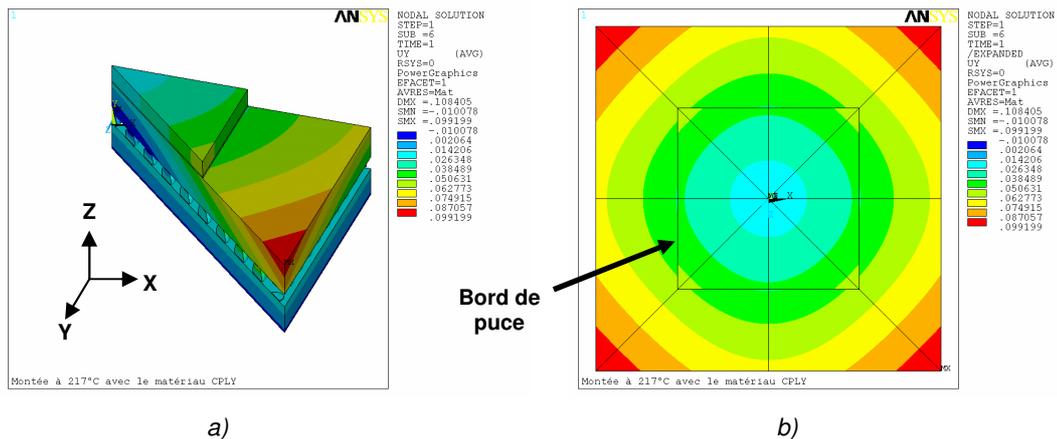


Figure 80 : Déplacement des noeuds (en mm) selon l'axe z du BGA à 217°C : a) 1/8^{ième} du BGA ; b) BGA complet vu de dessus

A la température de refusion des billes, le boîtier est libre de ces mouvements puisqu'il n'est pas lié mécaniquement au circuit imprimé. En revanche le boîtier et la puce sont unis mécaniquement par l'intermédiaire de la colle. Au fur et à mesure que la température augmente, les volumes des matériaux s'agrandissent. Puisque le substrat organique du BGA a un coefficient de dilatation plus grand que celui de la puce, il en résulte un boîtier de forme concave à 217°C [B61].

D'après les résultats de simulations, la flèche relevée au bas du boîtier en contact avec les billes, à la température de refusion, est de 81µm.

IV.2.2. RETOUR A LA TEMPERATURE AMBIANTE

La deuxième phase consiste à simuler la descente de l'assemblage à la température ambiante. La température de référence est de 217°C, ce qui correspond à la température de refusion des billes SnAgCu.

Comme il n'est pas possible de changer la température de référence au cours d'une simulation, il est nécessaire de partir d'un nouveau modèle. La description physique de ce modèle, ainsi que son maillage, sont identiques à ceux utilisés pour la montée à 217°C. Seules les propriétés des matériaux ont été redéfinies pour une température de référence de 217°C. Le comportement viscoplastique de l'alliage est maintenant défini par les paramètres d'Anand. Les déplacements des nœuds calculés dans la simulation précédente sont injectés dans le nouveau modèle, en respectant les conditions de symétrie du modèle 3D octant. Les éléments associés aux billes sont réactivés, donc les déformations du boîtier et du circuit imprimé sont liées.

La Figure 81_a représente les déplacements des nœuds du modèle de l'assemblage à base de C-PLY, après un retour de la température à 27°C, selon l'axe Z. La Figure 81_b représente les déplacements des nœuds sur une demi-diagonale de la face inférieure du boîtier BGA, selon l'axe Z.

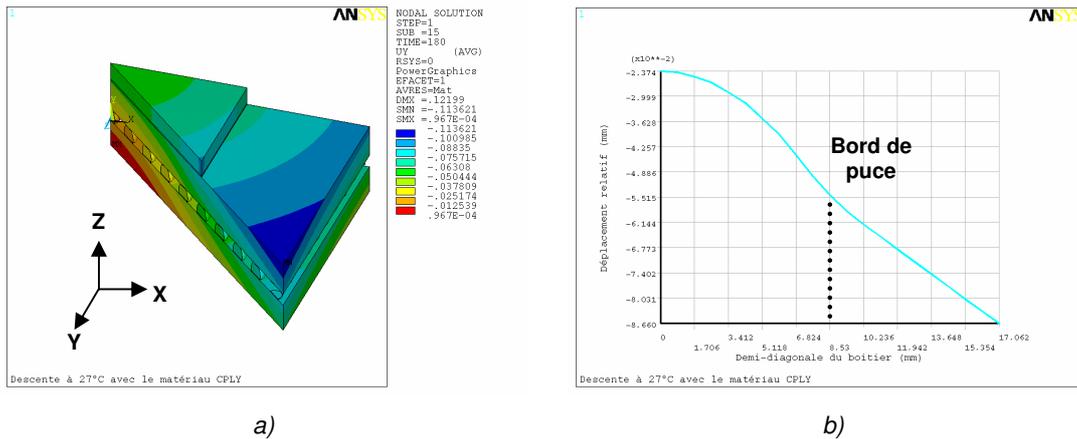


Figure 81 : Déplacement des noeuds (en mm) du modèle BGA après un retour à 27°C : a) Cartographie 3D du BGA ; b) Déplacement des noeuds sur la diagonale

En même temps que la température diminue, l'alliage SnAgCu devient de plus en plus rigide, du fait que son module d'Young augmente. L'assemblage se déforme alors dans le sens opposé à celui de la première simulation et le boîtier du BGA devient convexe [B64]. La flèche relevée au bas du boîtier du BGA en contact avec les billes, à la température ambiante, est de $-63\mu\text{m}$ pour l'assemblage à base de *C-PLY* et de $-60\mu\text{m}$ pour l'assemblage à base de *FARADFLEX12*.

IV.2.3. STOCKAGE DE L'ASSEMBLAGE PENDANT 15 JOURS

On considère que les véhicules de test sont stockés quinze jours entre la fin de l'assemblage du BGA et le premier cycle de vieillissement accéléré. Pendant cette période, le fluage des joints brasés a entraîné une relaxation des contraintes dans les billes. Une simulation a donc été effectuée, dans laquelle le modèle est soumis à une température constante de 27°C pendant une période de quinze jours. Ainsi l'influence de la relaxation des joints est prise en compte dans le calcul de la densité d'énergie. La Figure 82 représente la densité d'énergie de déformation dépensée dans la bille la plus contrainte, pendant un stockage de 15 jours. La bille la plus contrainte se situe à la périphérie de la puce et sur les médianes du boîtier. A la fin des cycles thermiques, nous verrons la répartition de la densité d'énergie emmagasinée dans chaque bille, afin d'identifier celle qui est la plus sollicitée.

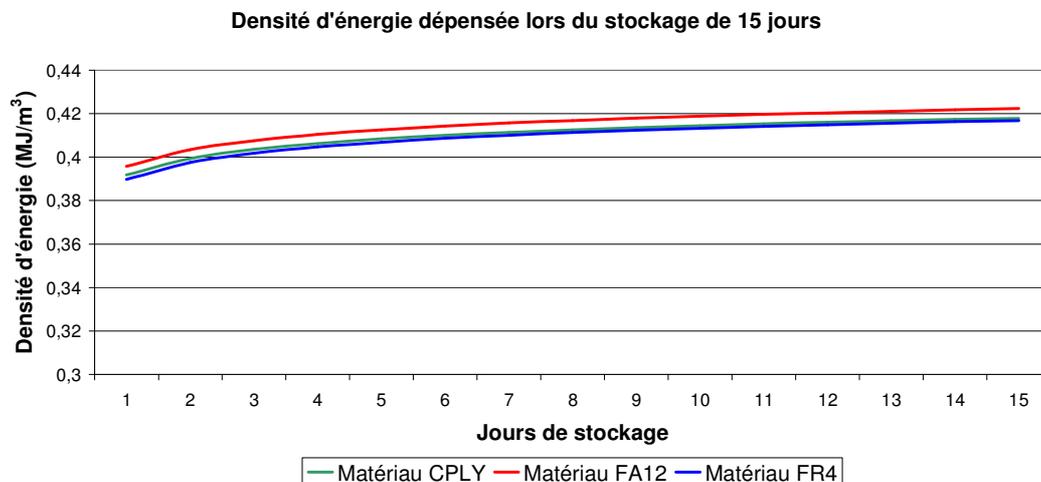


Figure 82 : Densité d'énergie dépensée dans la bille située à la périphérie de la puce, pendant 15 jours de stockage

D'après la Figure 82, on constate que la densité d'énergie dépensée dans la bille située à la périphérie de la puce est passée de 0,39MJ/m³ à 0,42MJ/m³. Lors du stockage, les contraintes dans les billes se relâchent ce qui entraîne une augmentation de la densité d'énergie de déformation plastique. On observe également que cette densité d'énergie augmente de façon notable pendant les trois premiers jours et elle se stabilise ensuite.

IV.3. SIMULATION DES CYCLES THERMIQUES -55 °C/+125 °C

A la suite de l'assemblage et du stockage de quinze jours, dix cycles thermiques -55 / +125 °C sont simulés. Les rampes de température ainsi que les paliers durent 15min, pour respecter les paramètres définis lors de l'expérience. A la fin des cycles, l'énergie de déformation plastique dépensée dans les joints brasés est calculée aux interfaces entre les billes et le boîtier.

La densité volumique d'énergie de déformation dépensée dans les billes définit le critère de défaillance. Comme nous l'avons vu dans la méthodologie, le logiciel de simulation par éléments finis ne permet pas de déterminer la durée de vie d'un assemblage, ni de détecter une défaillance au niveau d'un joint brasé. Cependant il est possible de caractériser une fissure par une importante concentration de contraintes ou par une forte densité d'énergie de déformation. Cette densité d'énergie (ξ) tient compte à la fois des déformations (ϵ) et des contraintes (σ) dans les billes et se caractérise par l'intégrale suivante [B69] :

$$\text{Équation 31 : } \xi = \int_{\epsilon=0}^{\epsilon} \sigma \cdot d\epsilon$$

Dans ANSYS, c'est la commande PLWK « Plastic Works » qui permet de calculer la densité d'énergie due aux contraintes et aux déformations inélastiques. Après 10 cycles thermiques, les courbes d'hystérésis décrites par les courbes $\sigma(\epsilon)$, en traction et en cisaillement, dans toutes les directions, sont stabilisées. La densité d'énergie dépensée par cycle, qui est égale à la somme des aires décrites par les boucles d'hystérésis, devient donc constante. Ainsi en simulant seulement une dizaine de cycles thermiques, il est alors possible de calculer la densité d'énergie (Équation 31) pour le nombre de cycles thermiques qui mènent à la défaillance.

La Figure 83 représente la densité d'énergie de déformation accumulée dans les joints brasés du BGA, après son report sur carte, un stockage de quinze jours et dix cycles thermiques de -55/+125 °C.

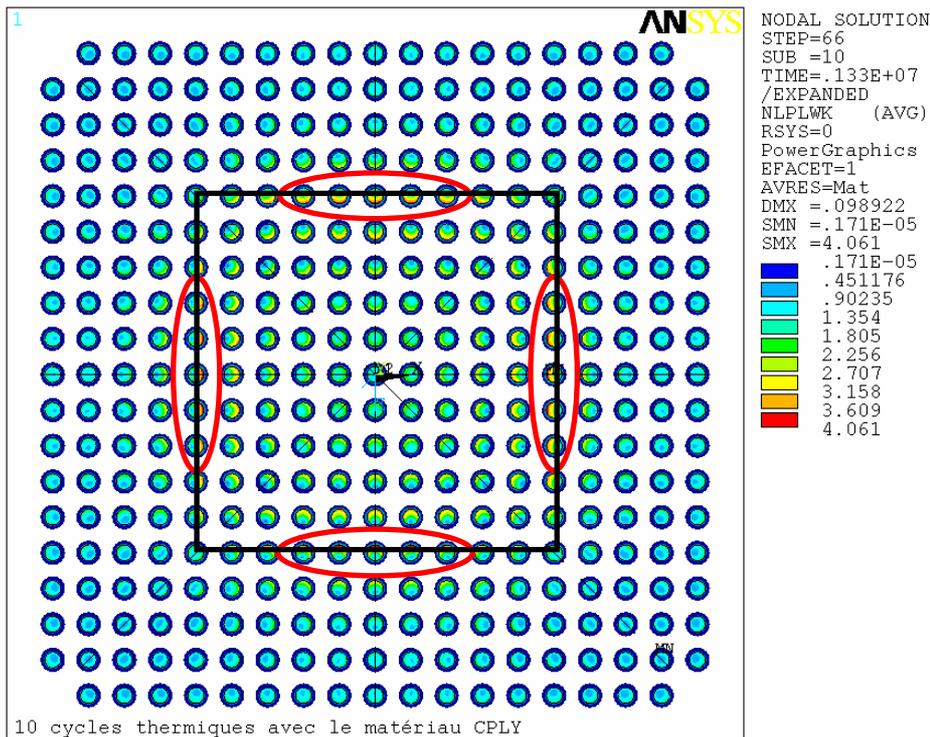


Figure 83 : Densité d'énergie (MJ/m³) accumulée à la fin des 10 cycles thermiques, pour un circuit à base de C-PLY

A partir de la Figure 83, il est possible d'identifier les éléments qui emmagasinent la plus forte densité d'énergie, à la fin des 10 cycles thermiques $-55 / +125^{\circ}\text{C}$. Il s'agit des billes qui se situent à la périphérie de la puce et sur les médianes du BGA. Pour l'ensemble du BGA, les billes les plus contraintes sont placées sous la puce du composant, celles qui sont à l'extérieur de la puce ont une densité d'énergie emmagasinée plus faible. Ces résultats sont cohérents avec ceux obtenus par CHANDRAN et al [B67].

La Figure 84 représente la répartition de la densité d'énergie dépensée dans les couches de la bille la plus contrainte. Cette observation va nous permettre d'identifier l'interface la plus critique en termes de contraintes.

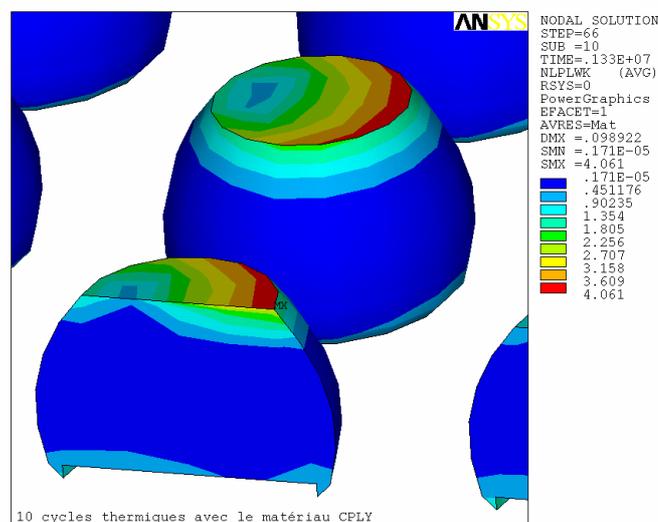


Figure 84 : Densité d'énergie de déformation accumulée dans la bille la plus contrainte

Comme on peut le constater sur la Figure 84, c'est à l'interface bille et boîtier que les contraintes sont maximales. Pour les billes situées sous la puce, les contraintes sont concentrées dans la partie du joint brasé tournée vers le centre du composant. Pour les billes situées en dehors de la puce, elles sont concentrées dans la partie du joint tournée vers l'extérieur du composant. Cette accumulation d'énergie favorisera la propagation d'une fissure au niveau d'un joint brasé. Elle démarre à une extrémité de la bille et progresse le long de la jonction entre la brasure et le boîtier BGA.

La densité d'énergie dépensée dans la bille située au bord de puce et sur la médiane du BGA, est représentée sur la Figure 85. On observe son évolution au cours du report sur carte, du stockage et des dix cycles thermiques $-55/+125^{\circ}\text{C}$.

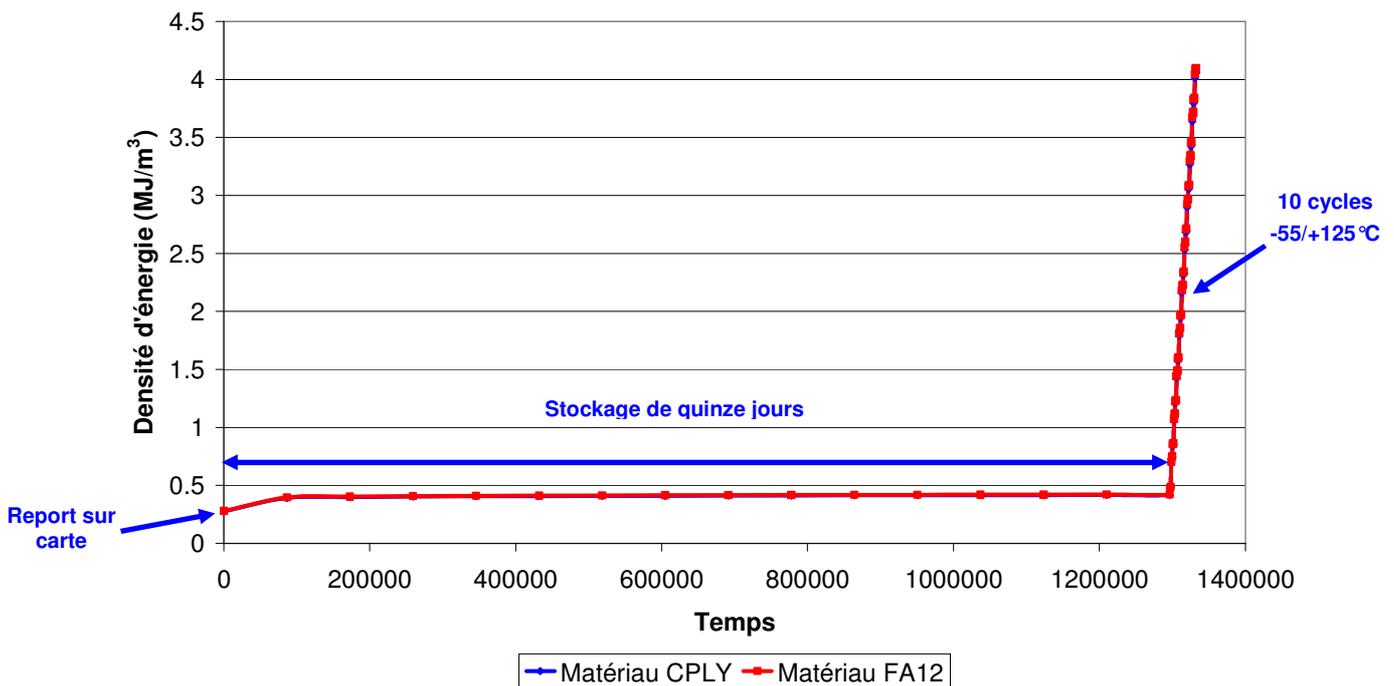


Figure 85 : Densité d'énergie dépensée dans la bille située à la périphérie de la puce, au cours de l'assemblage, du stockage et des dix cycles thermiques

La densité d'énergie dépensée dans les joints brasés augmente dès le report du BGA sur le circuit imprimé. En effet, lorsque la température des billes devient inférieure à leur température de fusion, elles se solidifient et lient mécaniquement le composant au circuit imprimé. Les contraintes commencent alors à s'accumuler au niveau des joints brasés. Pendant le stockage, les contraintes dans les billes se relâchent à cause du fluage de l'alliage. La densité d'énergie augmente rapidement au début de cette période, puis très faiblement sur le reste de la période de stockage. Enfin dès le début des cycles thermiques $-55/+125^{\circ}\text{C}$, les billes sont fortement sollicitées à cause des déformations du boîtier et du circuit imprimé. La densité d'énergie augmente alors considérablement, comme le montre la Figure 86. On note que la densité d'énergie dépensée au moment du report de BGA sur le circuit imprimé est équivalente à celle obtenue lors d'un cycle thermique $-55/+125^{\circ}\text{C}$. On constate également que les densités d'énergie de déformation sont identiques pour tous les matériaux pour condensateurs enterrés. Ces matériaux ont des épaisseurs très faibles par rapport à celle du circuit imprimé. Par conséquent leurs propriétés physiques interviennent peu sur le comportement thermomécanique de l'assemblage. C'est pour cette raison que la densité d'énergie observée sur la Figure 86 est similaire pour le matériau C-PLY et pour le matériau FARADFLEX12TM.

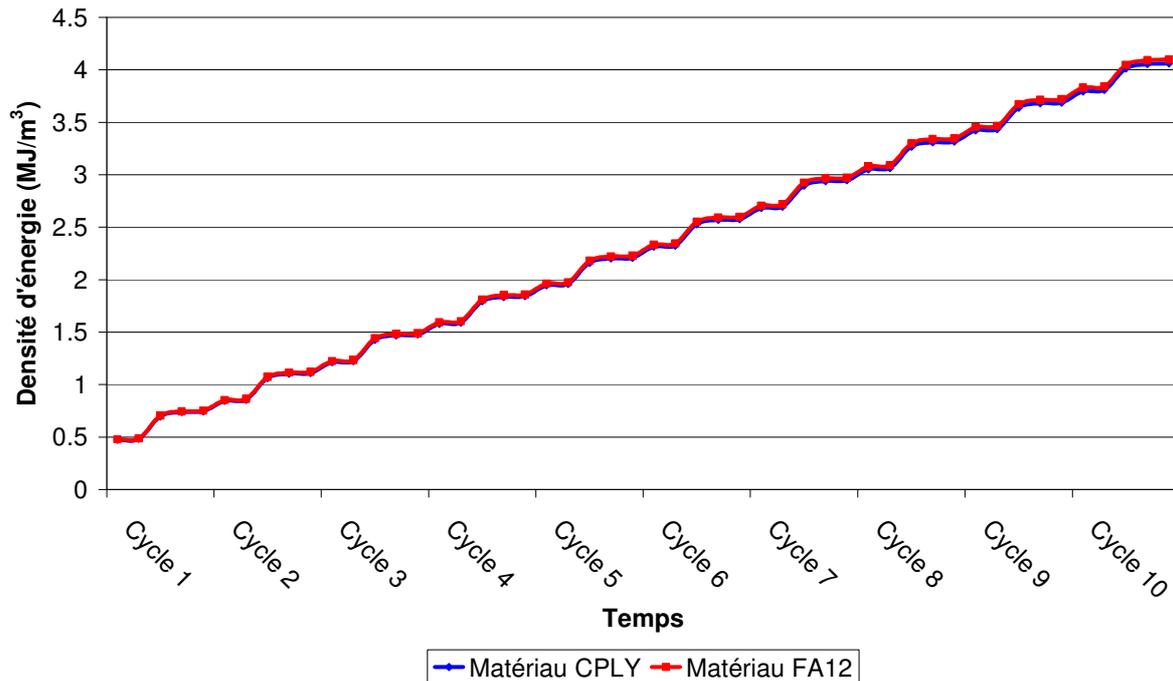


Figure 86 : Densité d'énergie dépensée dans la bille située à la périphérie de la puce, au cours des dix premiers cycles thermiques

La densité d'énergie de déformation plastique accumulée sur l'élément le plus contraint, à la fin des dix cycles thermiques $-55/+125^{\circ}\text{C}$, est de $4,061\text{MJ/m}^3$ pour le matériau *C-PLY* et de $4,097\text{MJ/m}^3$ pour le matériau *FARAD FLEX 12 TM*. Ces densités sont très proches, pour les raisons évoquées précédemment, la couche du condensateur enterré étant très mince. Les déformations de cette couche sont donc négligeables par rapport au reste de l'assemblage.

IV.4. SIMULATION DE L'ASSEMBLAGE SUR UNE TECHNOLOGIE STANDARD

Afin de déterminer l'impact que peuvent avoir des couches de condensateurs enterrés sur la fiabilité de l'assemblage, des simulations thermomécaniques sont effectuées à partir d'un modèle 3D octant où les couches des condensateurs enterrés sont remplacées par du FR4 standard. De la même manière que précédemment, le report du composant est d'abord simulé, puis la densité d'énergie est calculée à la fin de dix cycles thermiques.

IV.4.1. SIMULATION DU REPORT SUR CARTE

Pour tenir compte des contraintes résiduelles dans les billes, la simulation du report du BGA sur le circuit imprimé et un stockage de quinze jours sont réalisés. Dans un premier temps, la montée en température est simulée ; pour cela les éléments des billes sont définis avec un module d'Young très faible, ainsi le composant est libre de se déformer. Ensuite, le retour à la température ambiante est effectué et les éléments des billes sont activés. A cet instant, les contraintes s'emmagent dans les joints brasés au fur et à mesure que la température diminue.

La Figure 87 représente les déplacements des nœuds du modèle de l'assemblage complet après un retour de la température à 27°C.

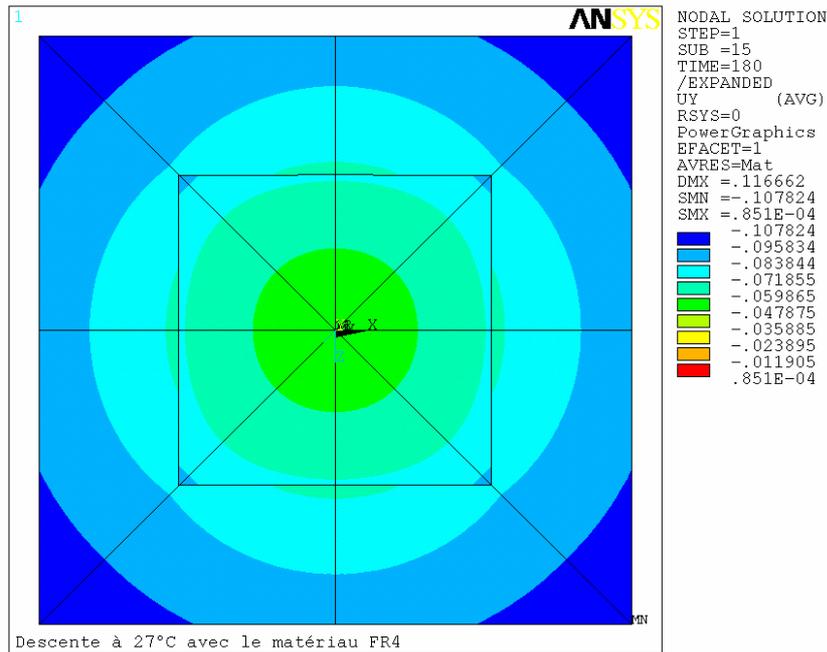


Figure 87 : Déplacements des nœuds du modèle de l'assemblage (en mm) après un retour à la température ambiante

La flèche relevée au bas du boîtier en contact avec les billes, à la température ambiante, est de $-58\mu\text{m}$ pour l'assemblage à base de FR4 standard. Les écarts relatifs calculés sur les déformations obtenues avec les condensateurs enterrés et avec le matériau standard FR4, sont de 8% pour le matériau *C-PLY* et de 3% pour le matériau *FARADFLEX12TM*.

Le report du BGA est suivi d'un stockage de quinze jours, durant lequel la carte est maintenue à une température constante de 27°C. Le fluage est alors considéré et les contraintes dans les joints brasés se relâchent.

IV.4.2. SIMULATION DES CYCLES THERMIQUES $-55^{\circ}\text{C}/+125^{\circ}\text{C}$

Dix cycles thermiques $-55/+125^{\circ}\text{C}$ sont également simulés, avec le même profil thermique que dans les simulations précédentes. La Figure 88 représente la densité d'énergie de déformation accumulée dans les joints brasés, à l'interface billes et boîtier.

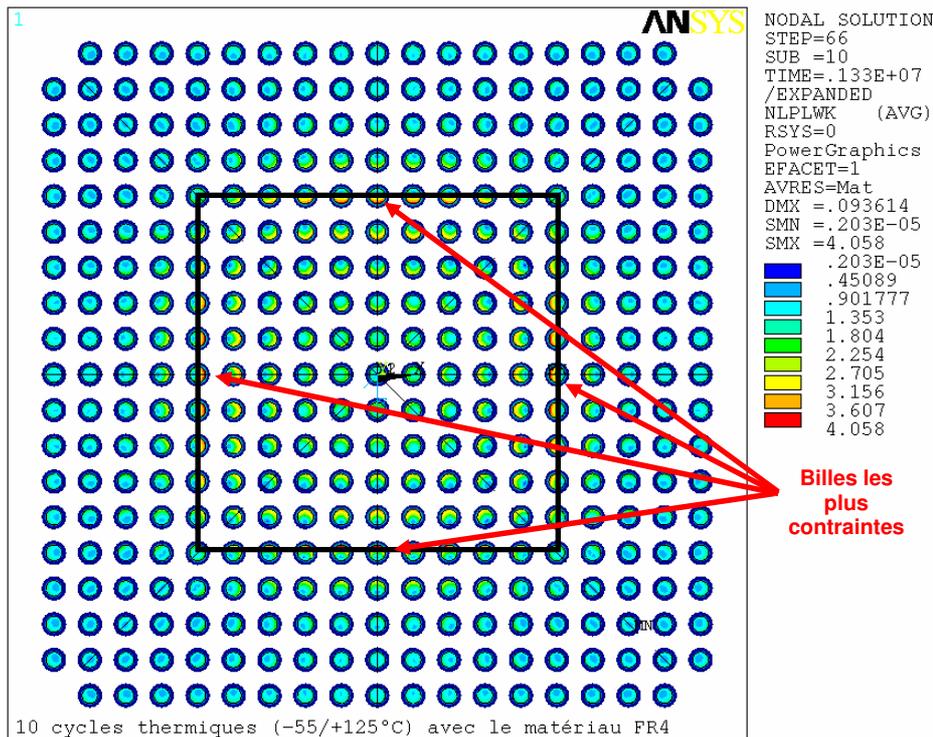


Figure 88 : Densité d'énergie (MJ/m^3) accumulée à la fin des 10 cycles thermiques, pour un circuit à base de FR4 standard

Les billes les plus soumises à la fatigue thermique se situent sous le bord de la puce et sur les médianes du BGA. Ces résultats sont cohérents avec ceux obtenus dans les simulations précédentes. La densité d'énergie de déformation plastique accumulée sur l'élément le plus contraint, à la fin des dix cycles thermiques $-55/+125^\circ\text{C}$, est de $4,058\text{MJ/m}^3$ pour le matériau FR4 standard.

V. COMPARAISON ET INTERPRETATION DES RESULTATS

Les corrélations entre les simulations thermomécaniques et les essais de vieillissements accélérés ont pour objectif d'établir une relation entre le calcul de la densité d'énergie de déformation et le nombre de cycles thermiques $-55/+125^\circ\text{C}$, qui mènent à la première défaillance.

Par ailleurs les simulations thermomécaniques réalisées à partir des assemblages avec condensateurs enterrés, puis avec un FR4 standard, nous montrent que les résultats des densités d'énergie calculées sont similaires dans les deux cas. Par conséquent, une première comparaison nous permet de dire que l'utilisation des matériaux pour condensateurs enterrés n'engendre pas de dérèglement significatif du comportement thermomécanique de l'assemblage complet. Les épaisseurs des matériaux pour condensateurs enterrés sont très faibles, aussi leur contribution aux déformations de l'assemblage est fort peu considérable par rapport à l'ensemble du circuit imprimé.

Aussi, l'usage de matériaux tels que le C-PLY et FARADFLEX12TM à l'intérieur des couches d'un circuit imprimé ne semble pas dégrader la fiabilité des assemblages de composant de type BGA.

Des problèmes au niveau de l'enceinte thermique ont été rencontrés à la fin des essais de vieillissements accélérés. En effet, la température mesurée à l'intérieur de l'enceinte n'arrivait plus à suivre la consigne des cycles thermiques. Les tests ont donc été interrompus à la suite de la première

rupture d'un joint brasé et ce qui nous empêche de connaître l'évolution des défaillances sur la matrice des billes. Cette rupture est apparue au bout de 1460 cycles thermiques -55/+125°C et correspond à l'assemblage à base de *C-PLY*. Par conséquent, la relation entre le calcul de la densité d'énergie et les cycles de vieillissements accélérés sera effectuée uniquement pour ce matériau.

L'Équation 32 exprime la densité d'énergie totale (ξ_{totale}) calculée pour le nombre de cycles thermiques -55/+125°C correspondant à la défaillance (N_{cycle}). Elle prend en considération la densité d'énergie accumulée à la fin de la période de stockage de l'assemblage (ξ_0) et celle obtenue pour un cycle thermique (ξ_{cycle}). On divisera donc par 10 la densité d'énergie calculée entre le premier et le dixième cycle thermique.

$$\text{Équation 32 : } \xi_{totale} = \xi_0 + \xi_{cycle} \times N_{cycle}$$

Ainsi la densité d'énergie totale accumulée dans la bille la plus contrainte sur l'assemblage à base de matériau *C-PLY*, après 1460 cycles thermiques (-55/+125°C) est :

$$\begin{aligned} \xi_{CPLY} &= 0,417 + N_{cycle} \times 0,364 \\ \xi_{CPLY} &= 532,2 \quad (MJ / m^3) \end{aligned}$$

Où 0,417MJ/m³ correspond à la densité d'énergie de déformation obtenue après l'assemblage et le stockage ; et 0,364MJ/m³ correspond à la densité d'énergie de déformation obtenue pendant les dix cycles thermiques -55/+125°C, puis ramenée à un cycle thermique -55/+125°C.

Cette densité d'énergie est le résultat d'une extrapolation faite sur un nombre de cycles qui mènent à la défaillance accélérée du système ; elle nous sert de référence pour les comparaisons à suivre.

Nous allons maintenant comparer cette densité d'énergie avec celle obtenue pour 2360 cycles thermiques de 0/100°C. Le but est de vérifier les résultats de notre premier essai de vieillissement accéléré. Nous n'avons noté aucune défaillance après 2360 cycles thermiques 0/100°C, par conséquent la densité d'énergie accumulée au bout de ces 2360 cycles doit être inférieure à celle calculée précédemment. La densité d'énergie totale accumulée dans la bille la plus contrainte sur l'assemblage à base de matériau *C-PLY*, après 2360 cycles thermiques (0/100°C) est :

$$\begin{aligned} \xi_{CPLY} &= 0,417 + N_{cycle} \times 0,123 \\ \xi_{CPLY} &= 291,1 \quad (MJ / m^3) \end{aligned}$$

Où 0,123MJ/m³ qui correspond à la densité d'énergie de déformation obtenue pendant les dix cycles thermiques 0/+100°C, puis ramenée à un cycle thermique 0/+100°C.

La densité d'énergie obtenue après 2360 cycles thermiques de 0/100°C est très inférieure à celle correspondant à une défaillance. Ce qui se corrèle bien avec les résultats expérimentaux puisque aucune défaillance n'a été détectée lors des essais en enceinte thermique.

Une deuxième comparaison est faite entre la densité d'énergie de référence et la densité accumulée avec un profil correspondant à une application réelle. Pour cela les cycles thermiques -55/+125°C sont remplacés par des cycles thermiques définis par un profil de mission. Chaque cycle représente une journée d'utilisation d'un circuit imprimé avec des condensateurs enterrés, dans un environnement informatique. Il est difficile de connaître réellement les températures que subissent les

assemblages à l'intérieur des serveurs. La température n'est pas vraiment homogène et surtout elle dépend de l'activité des processeurs qui varie beaucoup. Le profil de mission simulé est défini à partir des températures les plus critiques déjà mesurées dans un supercalculateur. Ce profil démarre avec une montée de la température jusqu'à 65°C en 60 secondes. Elle est suivie d'un palier à la même température pendant moins de 10 heures, puis d'un retour à la température ambiante en 3 minutes. Enfin un palier à 27°C est effectué pendant moins de 14 heures pour obtenir une journée complète de fonctionnement de 24 heures. Les cycles quotidiens sont alors répétés dix fois grâce au simulateur qui peut ainsi calculer la densité d'énergie accumulée. Une extrapolation de cette densité est faite après 25 ans d'utilisation. Nous considérons que cette durée de vie est acceptable pour une telle technologie.

De la même façon que pour les cycles thermiques, la densité d'énergie de déformation est calculée dans la bille la plus contrainte qui se situe toujours à la périphérie de la puce. Cette densité d'énergie prend en considération les contraintes résiduelles de l'assemblage et du stockage. Puis la densité d'énergie de déformation est calculée pour 25 ans d'utilisation grâce au profil de mission.

La Figure 89 représente la densité d'énergie accumulée dans la bille la plus contrainte au cours de l'assemblage, du stockage de 15 jours et du profil de mission simulé sur dix jours.

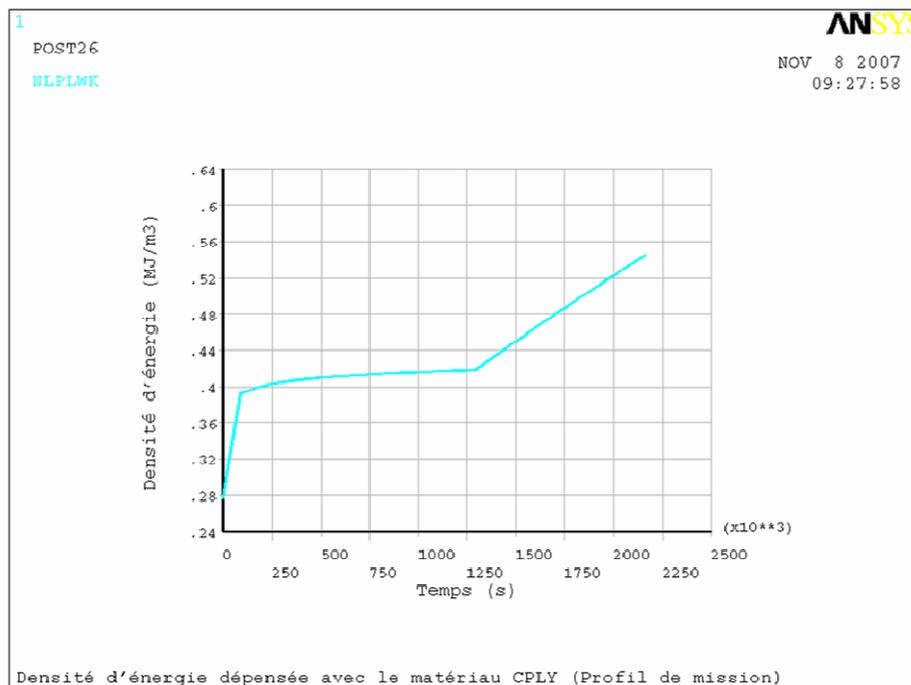


Figure 89 : Densité d'énergie de déformation (MJ/m³) obtenue au cours de l'assemblage, du stockage et du profil de mission sur 10 jours

La densité d'énergie déployée dans la bille la plus contrainte sur l'assemblage à base de matériau C-PLY et après 25 ans de fonctionnement réel d'utilisation est :

$$\xi_{CPLY} = 0,417 + N_{jours} \times 0,0127$$

$$\xi_{CPLY} = 116,5 \quad (MJ / m^3)$$

Où $0,417\text{MJ/m}^3$ correspond à la densité d'énergie obtenue après l'assemblage et le stockage simulé. N_{jours} est le nombre de jours qui correspond à une durée de 25 ans et $0,0127$ correspond à la densité d'énergie de déformation calculée sur un jour d'utilisation.

Cette densité d'énergie calculée grâce à notre profil de mission est 4,5 fois plus petite que la densité d'énergie correspondant à une défaillance. Si les températures observées à l'intérieur des systèmes informatiques sont correctement respectées par le profil de mission, alors les défaillances des assemblages ne devraient pas apparaître avant 25 ans d'utilisation.

VI. CONCLUSION

Ce chapitre a présenté la caractérisation thermomécanique d'un assemblage de BGA sur un circuit imprimé avec des condensateurs enterrés. Des simulations et des essais de vieillissements accélérés de l'assemblage ont été effectués afin d'étudier sa fiabilité.

Le modèle de simulation du BGA a été construit en respectant les dimensions physiques mesurées sur le boîtier réel. Afin d'avoir un modèle le plus représentatif de la réalité, le comportement viscoplastique de l'alliage de brasage, ainsi que la non linéarité des substrats et de la colle, sont pris en considération. De plus, les déformations et les contraintes résiduelles dues à l'assemblage du composant et après un stockage de 15 jours sont prises en compte dans toutes les simulations. Enfin, la densité d'énergie dissipée dans les joints brasés après dix cycles thermiques $-55/+125^\circ\text{C}$ a permis d'identifier les billes les plus contraintes. Elles se situent sous le bord de la puce et sur les médianes du boîtier. C'est donc là que les premières défaillances devraient avoir lieu. Ce phénomène est cohérent avec le résultat de l'étude menée par Chandran et *al.*

Afin de quantifier la fiabilité d'un assemblage de BGA sur un circuit imprimé avec condensateur enterré, par rapport à celle d'un assemblage de BGA sur un circuit imprimé standard, une simulation des cycles thermiques a été faite de la même manière sur un circuit imprimé sans condensateurs enterrés. Dans le cas d'un assemblage de BGA sur circuit imprimé avec condensateurs enterrés, la densité d'énergie accumulée dans le joint le plus contraint est très proche de celle d'un assemblage sur circuit imprimé standard. Ce résultat est sans doute dû à la très faible épaisseur du matériau diélectrique pour condensateur enterré, par rapport à l'épaisseur du circuit imprimé complet.

Les tests de vieillissements accélérés ont montré que les premières défaillances apparaissent sur les billes situées sous le bord de la puce, ce qui est cohérent avec les simulations. A travers les micro-sections, nous avons observé que les fissures se manifestent à l'interface bille et boîtier. Un détecteur d'évènements nous a permis de suivre en temps réel l'évolution des joints brasés, et de connaître le nombre de cycles thermiques qui mènent à la défaillance de l'assemblage.

Dans notre étude, nous nous sommes intéressés à la fiabilité des joints brasés d'un assemblage de BGA sur un circuit imprimé. De nouvelles études sont nécessaires pour analyser le délaminage des couches de condensateurs dans un environnement sévère. Grâce à la mesure de la résistance thermique de l'empilage, qui augmente avec l'apparition d'une couche d'air, on pourrait alors détecter un délaminage du circuit. Dans le cas de notre véhicule de test, cette manipulation n'était pas possible car la résistance thermique d'une couche d'air est négligeable par rapport à celle de notre empilage multicouche.

CONCLUSION GENERALE

Ces travaux ont eu pour objectif de contribuer à l'étude du comportement de nouveaux matériaux diélectriques dédiés à la fabrication des circuits imprimés à haute densité, avec un nombre de couches important et des condensateurs enterrés. Cette étude a pris en considération l'aspect électrique des substrats et l'aspect mécanique de l'assemblage d'un composant dense sur de tels circuits imprimés.

La caractérisation électrique des véhicules de test réalisés à partir des matériaux diélectriques sélectionnés dans le projet EMCOMIT a été effectuée. Ces matériaux sont dédiés à des applications hautes performances, à la fois hautes fréquences et compatibles avec les procédés sans plomb. Les observations des micro-sections réalisées sur les circuits imprimés ont permis de valider la mise en production de ces nouveaux diélectriques. D'une manière générale, les circuits fabriqués par la société Maine CI sont caractérisés par des épaisseurs de diélectriques proches des valeurs attendues, ce qui signifie que le pressage a été correctement paramétré. De plus, le perçage des trous est bien centré sur le pad et les motifs de cuivre sont bien reliés aux vias d'interconnexion. Ces matériaux possèdent des propriétés mécaniques : coefficient de dilatation et température de transition vitreuse, qui sont compatibles avec les procédés standards de fabrication de circuits imprimés. Les impédances mesurées sont également semblables aux valeurs calculées à partir des propriétés électriques fournies par les constructeurs des matériaux. Les constantes diélectriques et les angles de pertes mesurés sont également proches des propriétés électriques disponibles dans les documents techniques des constructeurs. D'après la caractérisation fréquentielle, on constate qu'au niveau des fréquences basses, la constante diélectrique diminue et l'angle de pertes augmente fortement, puis au delà de 4GHz ces mêmes propriétés se stabilisent et restent constantes. Il est particulièrement important d'intégrer cette information dans la conception des systèmes informatiques, pour lesquels les données transitent à des fréquences élevées. Pour ce type d'application un matériau standard peut entraîner une forte atténuation du signal et il peut être nécessaire d'utiliser un matériau à hautes performances électriques. A travers la caractérisation des matériaux étudiés, nous avons constaté que pour obtenir toutes les performances électriques du matériau *SpeedboardC*, il est impératif de réaliser un empilage équilibré. C'est-à-dire que le rapport des épaisseurs du pré-imprégné et du stratifié doit être égal au rapport de leur constante diélectrique. Les autres matériaux étudiés semblent pouvoir s'utiliser comme un matériau standard.

Pour les systèmes informatiques qui traitent de fortes quantités de données à des fréquences élevées, les techniques de transmission se dirigent de plus en plus vers l'utilisation de paires différentielles. Pour que le fonctionnement du système soit optimum, il est important que les données qui circulent sur les deux liens d'une même paire différentielle soient émises en même temps et surtout réceptionnées au même moment. Cela implique de tracer les liens à des longueurs identiques et dans un milieu diélectrique le plus homogène possible. Or dans cette étude nous avons vu que le diélectrique est constitué d'une trame de fibre de verre noyée dans de la résine époxyde et que par conséquent le diélectrique n'est pas réellement homogène. La différence des constantes diélectriques de la fibre et de la résine fait que dans une même paire différentielle, il n'est pas impossible d'obtenir, une trace noyée dans un milieu riche en résine et l'autre trace noyée dans un milieu riche en verre. Cela peut entraîner une importante différence de temps de propagation entre les deux traces d'une même paire et donc un décalage gênant à la réception des données. Des centres de développement

s'intéressent actuellement au choix du type de la trame de verre qui permettrait de minimiser ces écarts de temps de propagation.

La caractérisation électrique des véhicules de test fabriqués à partir des matériaux pour condensateurs enterrés a été effectuée. D'une manière générale, le procédé développé dans le projet EMCOMIT permet d'insérer des composants passifs entre les couches internes d'un circuit imprimé. Ces matériaux sont néanmoins fragiles à cause de leurs faibles épaisseurs, par conséquent leur manipulation reste délicate. La difficulté dans la réalisation des condensateurs enterrés est de graver le cuivre des deux côtés du stratifié sans casser le diélectrique isolant. D'après les observations faites sur les micro-sections les deux couches de cuivre sont légèrement décentrées de 100µm, ce qui diminue la surface commune aux deux électrodes du condensateur et par conséquent sa capacité. On observe également que les épaisseurs des diélectriques sont homogènes et correspondent aux épaisseurs attendues. Les capacités mesurées restent proches des valeurs calculées. La caractérisation en fréquences des condensateurs a montré que les inductances parasites étaient plus faibles pour les composants enterrés que pour les composants montés en surface. Cependant, les capacités des condensateurs enterrés restent trop faibles pour réaliser un système de découplage d'alimentation. Ces matériaux capacitifs peuvent être utilisés pour les plans d'alimentation situés au cœur des empilages mais ne permettront pas de remplacer les grosses capacités de découplage des condensateurs CMS.

Actuellement d'autres projets s'intéressent aux techniques d'intégration de composants passifs de précision sur substrat céramique dans des circuits souples.

L'évaluation de la fiabilité du report d'un composant haute densité sur un circuit imprimé avec des condensateurs enterrés a été effectuée. Pour cela, l'assemblage d'un composant haute densité de type BGA assemblé sur les véhicules de tests avec des condensateurs enterrés a été considéré. Le suivi permanent de la continuité des chaînes daisy de ce composant a permis de détecter la bille devenue défaillante au cours des cycles thermiques -55/+125°C. Les analyses ont montré que la défaillance est causée par la propagation de fissures dans les billes situées en bord de puce. De plus c'est à l'interface bille et boîtier que ces fissures apparaissent. En parallèle des simulations thermomécaniques de cet assemblage ont été menées. Elles prennent en considération la géométrie du composant BGA et du véhicule de test étudiés, ainsi que les propriétés mécaniques des matériaux de l'assemblage. Dans un premier temps, toutes les étapes de l'assemblage ont été simulées afin de prendre en considération les contraintes résiduelles du report de BGA sur le véhicule de test. La densité d'énergie de déformation dépensée dans les joints brasés est utilisée comme critère de défaillance. Les simulations ont montré que l'énergie de déformation est maximale sur les billes situées à la périphérie de la puce. De plus les simulations ont permis de montrer que la fiabilité d'un assemblage de BGA sur un circuit imprimé avec des condensateurs enterrés est équivalente à celle d'un même assemblage sur un circuit imprimé standard, en termes de tenue aux cycles thermiques.

L'utilisation de condensateurs enterrés à l'intérieur des couches d'un circuit imprimé a donc été validée par la caractérisation électrique et mécanique de véhicules de test. De plus, différents matériaux diélectriques hautes performances ont été étudiés et validés afin de les introduire en production.

REFERENCES

- [B01] « A new thin high-performance organic substrate »
DONALD BANKS, ROBIN GORRELL, DUY LE-HUU, DAVID HANSON ET SHICHUN QU
Circuits Assembly, Janvier 2005
- [B02] « On the problem of jitter and skew in Gigabit and faster signals caused by laminate weaves »
LEE W. RITCHEY
Speeding Edge, Février 2007
- [B03] « The effect of etch taper, prepreg and resin flow on the value of the differential impedance »
ALAN STANIFORTH ET MARTYN GAUDION
Polarinstrument application note
- [B04] « Modeling and verification of backplane press-fit PTH vias »
RAVI KOLLIPARA ET BEN CHIA
Rambus Inc, DesignCon, 2004
- [B05] « InfiniBand - industry standard data center fabric is ready for prime time »
Mellanox technologies, Décembre 2005
- [B06] « The critical length of a transmission line »
DR. ERIC BOGATIN
Bogatin enterprises, Octobre 2004
- [B07] « Potential benefits of mixed dielectric stripline »
NOEL HUDSON
W.L. Gore & Associates, DesignCon, 2004
- [B08] « Long-term repeatability of a TDR-based printed wiring board dielectric constant measurement system »
N.G. PAULTER
IEEE Transactions on instrumentation and measurement, vol. 47, N°6, Décembre 1998
- [B09] « Measurement-based modeling and test methodology for integrated substrates »
WOOPOUNG KIM, SUNG-HWAN MINT, SUNA CHOI ET MADHAVAN SWAMHATHAN
Packaging research center, school of electrical & computer eng.
- [B10] « Hybrid stripline analysis II : propagation characteristics, crosstalk effects and PCB routability »
JAMES R. BROOMALL, TAMERA A. YOST ET GLEN WALTHER
W.L. Gore & Associates, DesignCon, 2005
- [B11] « Evolution des technologies d'interconnexion des composants »
Système puces S.A
- [B12] « Stripline test for complex relative permittivity of circuit board materials to 14 GHz »
IPC-TM-650 Test methods manual
- [B13] « Stripline test for permittivity and loss tangent at X-band »
IPC-TM-650 Test methods manual, Mars 1998

- [B14] « Characteristic impedance of lines on printed boards by TDR »
IPC-TM-650 Test methods manual, Mars 2003
- [B15] « Gore™ Speedboard® C prepreg processing guidelines »
W.L. Gore & associates electronic products division
- [B16] « Speedboard® c prepreg specification items »
W.L. Gore & associates electronic material products
- [B17] « Extraction of $\epsilon_r(f)$ and $\tan \delta(f)$ for printed circuit board insulators up to 30 GHz using the short-pulse propagation technique »
ALINA DEUTSCH, THOMAS-MICHAEL WINKEL, GERARD V. KOPCSAY, CHRISTOPHER W. SUROVIC,
BARRY J. RUBIN, GEORGE A. KATOPIS, BRUCE J. CHAMBERLIN ET ROGER S. KRABBENHOFT
IEEE Transactions on advanced packaging, vol. 28, N°1, Février 2005
- [B18] « Base materials for high speed, high frequency PCB »
RICK HARTLEY
Published in PCB & A, Mars 2002
- [B19] « Effective permittivity and attenuation coefficient of microstrip transmission line determined by 1-port and 2-port measuring methods »
ESA KEMPPINEN
Nokia Telecommunications, Novembre 1999
- [B20] « Impedance modelling on multiple dielectrics builds »
MARTYN GAUDION ET J. ALAN STANIFORTH
Polarinstruments Ltd, circuit world 2004
- [B21] « Complex dielectric constant measurement techniques for high-speed signaling »
DONG-HO HAN ET YUAN-LIANG LI
Intel Corporaton, IEEE, 2001
- [B22] « Dielectric material characterization using rough surface transmission lines »
DONG-HO HAN, YUAN-LIANG LI, RAYMOND A. VIEWEG, THOMAS G. RUTTAN ET LESLEY A. POLKA
Intel Corporation, IEEE, 2002
- [B23] « The impact of conductor surface profile (R_{rms}) on total circuit attenuation in microstrip and stripline transmission lines »
SETH J. NORMYLE, THOMAS F. MCCARTHY ET DAVID L. WYNANTS
Taconic advanced dielectric division
- [B24] « The impact of PCB laminate weaves on the electrical performance of differential signaling at multi-Gigabit data rates »
SCOTT MCMORROW ET CHRIS HEARD
DesignCon East, 2005
- [B25] « Creating repeatable 10Gb/s channels in an uncertain world »
ERIC MONTGOMERY ET ROB SPEER
DesignCon East, 2005
- [B26] « Dielectric constant and loss tangent measurement using a strigline fixture »
HEPING YUE, KATHLEEN L. VIRGA ET JOHN L. PRINCE
IEEE Transactions on components, packaging and manufacturing technology—part B, vol. 21, N°4, Novembre 1998
- [B27] « Power supply design for powerPC™ processors »
GARY MILLIORN
CPD applications, freescale semiconductor, 2004

- [B28] « Frequency-domain power-distribution measurements »
 ISTVAN NOVAK
Sun microsystems, DesignCon East, Juin 2003
- [B29] « Power bypass decoupling of SHARC® processors »
 LARRY HURST ET ALBERTO COMASCHI
Technical notes on using analog devices DSPs, processors and development tools, Décembre 2006
- [B30] « Thin PCB laminates for power distribution - how thin is thin enough? »
 BEN BECKER, RICK CHARBONNEAU, VALERIE ST CYR, BOB GREENLEE, JOHN GREBENKEMPER,
 JASON GRETTON, JAMES HOWARD, KANG HSU, ISTVAN NOVAK ET JOEL S. PEIFFER
High-performance system design conference, DesignCon, 2002
- [B31] « Power-bus decoupling with embedded capacitance in printed circuit board design »
 MINJIA XU, TODD H. HUBING, JUAN CHEN, THOMAS P. VAN DOREN, JAMES L. DREWNIK ET
 RICHARD E. DUBROFF
IEEE Transactions on electromagnetic compatibility, vol. 45, N°1, Février 2003
- [B32] « Simple approach to modeling of power delivery networks and components »
 DIMA SMOLYANSKY
High-performance design conference, DesignCon, 2003
- [B33] « HSPICE® signal integrity user guide »
 Synopsys, version Y-2006.03-SP1, Juin 2006
- [B34] « Introduction to choosing MLC capacitors for bypass/decoupling applications »
 YUN CHASE
AVX corporation
- [B35] « Low inductance capacitor array flip-chip application notes »
 JEFF CANTLEBARY
AVX corporation
- [B36] « Parasitic inductance of multilayer ceramic capacitors »
 JEFFREY CAIN
AVX corporation
- [B37] « Processing thin core capacitor materials »
 BOB GREENLEE
Merix corporation
- [B38] « Resonance reduction in PCBs utilising embedded capacitance »
 J. ANDRESAKIS, T.YAMAMOTO, K.YAMAZAKI ET F.KUWAKO
Oak-Mitsui technologies, onboard technology Février 2006
- [B39] « Ultra-thin, loaded epoxy materials for use as embedded capacitor layers »
 JOEL S. PEIFFER
Printed circuit design & manufacture, Avril 2004
- [B40] « Reduction of discrete capacitors using embedded capacitance layers »
 KAZYAMAZAKI, JOHN ANDRESAKIS ET YOSHIFUKAWA
IPC 3rdInternational conference on embedded technology, Mai 2006
- [B41] « Impedance and EMC characterization data of embedded capacitance materials »
 ISTVAN NOVAK
SUN microsystems, Inc.

- [B42] « Fabrication of embedded capacitance printed circuit boards »
 JOEL S. PEIFFER
3M, IPC printed circuits EXPO®, 2001
- [B43] « Embedded capacitor material evaluation »
 JOEL S. PEIFFER
3M, IPC SMEMA council APEXSM, 2001
- [B44] « Design and performance of ultra-thin substrates for use as embedded capacitors »
 JOHN ANDRESAKIS, TAKUYA YAMAMOTO ET NICK BIUNNO
Oak-mitsui technologies
- [B45] « Recent developments in polyimide-based planar capacitor laminate »
 DAVID R. MCGREGOR, G. SIDNEY COX ET THOMAS D. LANTZER
DuPont electronic technologies
- [B46] « Electrical performance advantages of ultra-thin dielectric materials used for power-ground cores in high speed »
 JOEL PEIFFER, BOB GREENLEE ET ISTVAN NOVAK
- [B47] « Embedded passive components in printed wiring boards, a technology review »
 WILLIAM J. BORLAND ET SAUL FERGUSON
DuPont i-technologies, circuitree magazine, 2001
- [B48] « Design, modeling and characterization of embedded capacitors for decoupling applications »
 PRATHAP MUTHANA, EGE ENGIN, P.M. RAJ, MADHAVAN SWAMINATHAN, RAO TUMMALA, VENKATESH SUNDARAM, DANIEL AMEY, KARL DIETZ ET SOUNAK BANERJI
Georgia institute of technology
- [B49] « Frequency domain analysis and electrical properties test method for PCB dielectric core materials »
 NICHOLAS BIUNNO ET ISTVAN NOVAK
DesignCon, 2003
- [B50] « Inductance of bypass capacitors : how to define, how to measure, how to simulate »
 ISTVAN NOVAK, ZHIPING YANG, LEIGH WOJEWODA, LARRY SMITH, HIDEKI ISHIDA ET MASAYUKI SHIMIZU
DesignCon, 2005
- [B51] « Measuring milliohms and picohenrys in power-distribution networks »
 ISTVAN NOVAK
DesignCon, 2000
- [B52] « Optimizing solder reflow process for Xilinx BGA packages »
XAPP425 (v1.0), Décembre 2002
- [B53] « Extending flip-chip ball grid array field life »
 CHARLES G. WOYCHIK, DAVID L. HAWKEN, JAMES R. WILCOX ET PETER J. BROFMAN
IBM corporation microelectronics division, SEMI, 1999
- [B54] « Electrical and mechanical modeling of embedded capacitors »
 YANG RAO, JIANMIN QU ET C.P. WONG
IEEE electronic components and technology conference, 1999
- [B55] « Challenges in manufacturing reliable lead free components »
Altera Corporation, Février 2004

- [B56] « NEMI lead-free assembly project : comparison between PbSn and SnAgCu reliability and microstructures »
 CAROL HANDWERKER, JASBIR BATH, ELIZABETH BENEDETTO, EDWIN BRADLEY, RON GEDNEY, TOM SIEWERT, POLINA SNUGOVSKY ET JOHN SOHN
NIST
- [B57] « PBGA reliability for automotive electronics »
 SCOTT POST
Delphi automotive systems
- [B58] « Simulation of SnAgCu solder balls including the local microstructure »
 T.M ASSMAN ET M. ERIC
- [B59] « Impact of cracking beneath solder pads in printed board laminate on reliability of solder joints to ceramic ball grid array packages »
 P.E. TEGEHALL ET B.D. DUNN
European space agency, Mars 2003
- [B60] « Plastic ball grid array (PBGA) »
 ANDREW MAWER
Motorola, semiconductor technical data, 1996
- [B61] « Measurement of thermally induced warpage of BGA packages/substrates using phase-stepping shadow moiré »
 YINYAN WANG ET PATRICK HASSELL
Electronic packaging services
- [B62] « BGA reliability characterization project temperature cycling tests »
 DAVID LOVE ET DAVID TOWNE
Sun microsystems, Janvier 1999
- [B63] « Finite element modeling predicts the effects of voids on thermal shock reliability and thermal resistance of power device »
 J. CHANG, L. WANG, J. DIRK ET X. XIE
Welding research, Mars 2006
- [B64] « Plastic ball grid array package warpage and impact on traditional MSL classification for Pb-free assembly »
 B.T. VACCARO, R.L. SHOOK, E. THOMAS, J.J. GILBERT, C. HORVATH, A. DAIRO ET G.J. LIBRICZ
Agere systems
- [B65] « Flip-chip packaging reliability advances »
 DAVID ALCOE, KIM BLACKWELL ET ERIC LAINE
Advanced packaging, semicon west, 2000
- [B66] « Experimental and numerical evaluation of SnAgCu and SnPb solders using a micro BGA under accelerated temperature cycling conditions »
 BRYAN RODGERS, JEFF PUNCH, CLAIRE RYAN ET FINBARR WALDRON
- [B67] « Effect of package design and layout on BGA solder joint reliability of an organic C4 package »
 BIJU CHANDRAN, DEEPAK GOYAL ET JEFFREY THOMAS
IEEE electronic components and technology conference, 2000
- [B68] « Reflow soldering guidelines for lead-free packages »
Altera corporation, Juillet 2004

- [B69] « Reliability assessment of a high performance flip-chip BGA package using finite element analysis »
DESMOND Y.R. CHONG ET R. KAPOOR
IEEE electronic components and technology conference, 2003
- [B70] « Contribution de la simulation par éléments finis pour maîtriser la durée de vie des microassemblages »
Laboratoire IXL, Septembre 2003
- [B71] « New reliability assessment methode for solder joints in BGA package by considering the interaction between design factors »
SATOSHI KONDO, QIANG YU, TADAHIRO SHIBUTANI ET MASAKI SHIRATORI
Yokohama National university, Sèptembre 2007
- [B72] « Mécanique des matériaux solides »
LEMAITRE J. ET CHABOCHE J.M.
2IÈME ÉDITION, DUNOND, PARIS, 1996
- [B73] « Effect of Simulation Methodology on Solder Joint Crack Growth Correlation»
DARVEAUX ROBERT
- [B74] « Viscoplastic finite-element simulation to predict the solder joint fatigue life of different flash memory die stacking architectures »
YONG JE LEE

Résumé

Cette thèse, qui s'intègre dans le cadre du projet européen EMCOMIT, a pour objectif de contribuer à l'étude des circuits imprimés haute densité d'intégration comportant un nombre de couches important et des composants enterrés. La qualification de cette technologie est effectuée en conduisant des simulations et des mesures électriques sur des véhicules de tests spécifiques. L'analyse des résultats électriques permet d'évaluer l'aptitude de ces matériaux à répondre aux exigences des applications de télécommunication et de technologie de l'information rapide.

La fiabilité d'un assemblage de BGA de grande taille sur un circuit imprimé a été évaluée. Des simulations thermomécaniques ont été effectuées afin de calculer les contraintes résiduelles accumulées pendant le procédé d'assemblage puis l'énergie dépensée dans les parties critiques des joints au cours d'un cycle thermique. Simultanément, des BGA reportés sur des circuits imprimés ont été placés dans une chambre climatique et ont subi des variations de températures.

Mots clés : circuit imprimé haute densité, composants enterrés, fiabilité d'un assemblage de BGA, simulations thermomécaniques.

Abstract

This thesis, which is part of the European EMCOMIT project, aims at contributing to the study of high density printed circuit board including a great number of internal layers and embedded components. The qualification of this technology is done by the way of simulations and electrical measurements on specific test vehicles. The electrical results allow estimating the performance of materials for telecommunication applications and speed data transfer.

The reliability of the assembly of the large BGA on a printed circuit board has been evaluated. Thermomechanical simulations have been done in order to compute residual stresses stored during the assembly process and the deformation energy density in the solder joints during one thermal cycle. Simultaneously BGA soldered on printed circuits have been positioned in climatic chamber and have been subjected to temperature variations.

Keywords : high density printed circuit, embedded components, reliability of BGA assembly, thermomechanical simulations.