



**Université
de Toulouse**

THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par :

Institut National des Sciences Appliquées de Toulouse (INSA de Toulouse)

Présentée et soutenue par :

Julien HENAUT

le vendredi 26 avril 2013

Titre :

Architecture de traitement du signal pour les couches physiques très haut débit pour les réseaux de capteur : Application à la métrologie dans un contexte aéronautique et spatial

École doctorale et discipline ou spécialité :

ED GEET : Micro et Nanosystèmes

Unité de recherche :

LAAS-CNRS

Directeur(s) de Thèse :

Daniela DRAGOMIRESCU - Maître de Conférence - INSA

Robert PLANA - professeur des Universités - UPS

Jury :

Patrick GARDA (rapporteur) - Professeur des Universités - UPMC/LIP6
Olivier SENTIEYS (rapporteur) - Professeur des Universités - ENSSAT/INRIA

Étienne SICARD - Professeur des universités - INSA
Philippe CHEVALLEY - ingénieur de recherche - ESA/ESTEC

« We choose to go to the moon. We choose to go to the moon in this decade and do the other things, not because they are easy, but because they are hard, because that goal will serve to organize and measure the best of our energies and skills, because that challenge is one that we are willing to accept, one we are unwilling to postpone, and one which we intend to win, and the others, too. »

John Fitzgerald Kennedy, 12 septembre 1962

« We keep moving forward, opening new doors, and doing new things, because we're curious and curiosity keeps leading us down new paths. »

Walt Disney

TABLE DES MATIERES

INTRODUCTION GENERALE.....	9
CHAPITRE I : LA MESURE METROLOGIQUE AU SERVICE DES INDUSTRIES AERONAUTIQUES ET SPATIALES	13
1 - Applications dans le domaine aéronautique.....	14
2 - Applications dans le domaine spatial	17
3 - Des systèmes filaires contraignants	19
4 - SACER : Développement d'un réseau sans fil de capteurs embarqués	21
5 - Des contraintes fortes liées aux domaines d'application	22
5.1 Application aéronautique.....	22
5.2 Application spatiale	27
5.3 Synthèse des exigences.....	30
6 - Conclusion.....	33
CHAPITRE II: DES STANDARDS ADAPTES AUX CONTRAINTES DES RESEAUX METROLOGIQUES ?.....	35
1 - Des standards à faible consommation mais aux débits limités	36
1.1 L'organisation de l'ieee pour la définition de standards	36
1.2 802.15.1 : Bluetooth	37
1.3 802.15.4 : ZigBee.....	40
1.4 D'autres standards pour les réseaux de capteurs et les réseaux métrologiques ...	45
2 - UWB et OFDM : faible puissance d'émission et haut débit.....	49
2.1 Réglementations UWB.....	49
2.2 Techniques de modulation.....	50
3 - MB-OFDM : Wimedia un standard à l'histoire particulière	54
3.1 Description physique et répartition des porteuses dans le spectre	55
3.2 Temps de garde	56
3.3 Codage en fonction des débits.....	57
3.4 Préfixe cyclique	58
4 - Evaluation des performances d'un standard MB-OFDM en conditions réelles....	58

4.1	<i>Module Wisair DV9110M</i>	58
4.2	<i>Validation en laboratoire : environnement bureau</i>	63
4.3	<i>Validation en chambre anéchoïde : environnement aéronautique recréé</i>	65
4.4	<i>Validation en conditions réelles sur avion au sol</i>	68
4.5	<i>Validation en conditions réelles sur satellite au sol</i>	77
5	Etat de l'art des modulateur MB-OFDM	83
5.1	<i>Consommation électriques sur les kit Wisair</i>	83
5.2	<i>Consommation des systèmes MB-OFDM présentés dans la littérature</i>	83
6	Synchronisation via un lien UWB-OFDM	86
7	Conclusion	87
CHAPITRE III : SYNTHÈSE HAUT NIVEAU ET EXPLORATION ARCHITECTURALE		89
1	Un environnement de développement adapté	90
1.1	<i>Calcul numérique pour la conception et la validation algorithmique</i>	90
1.2	<i>La génération de code au service de la rapidité et de la précision de conception</i>	93
1.3	<i>Exemple de la problématique de la connaissance du canal de communication</i>	94
1.4	<i>Une plateforme numérique programmable</i>	95
1.5	<i>Des outils aux performances variables et longtemps insuffisantes</i>	96
2	Des outils de synthèse HLS	96
2.1	<i>Présentation générale</i>	96
2.2	<i>Flot de conception</i>	97
2.3	<i>Symphony HLS Model Compiler</i>	98
3	Optimisation du code généré	101
3.1	<i>Amélioration de la vitesse : retiming</i>	101
3.2	<i>Amélioration de la taille du circuit : Repliement</i>	104
3.3	<i>Amélioration de la taille du circuit : Multichannelisation</i>	105
4	Exploration Architecturale et choix d'une plateforme	105
4.1	<i>Choix d'une famille de FPGA</i>	106
4.2	<i>Choix d'un FPGA dans la famille Virtex 5</i>	111
5	Conclusion	116

CHAPITRE IV: COUCHE PHYSIQUE HAUT DEBIT UWB-OFDM : ARCHITECTURE DE TRAITEMENT DU SIGNAL.....	117
1 - Organisation des échanges de données et débit PHY-MAC	118
1.1 Architecture réseau	118
1.2 Techniques d'accès multiples	120
1.3 Définition des trames d'échange	123
1.4 Débit PHY-MAC.....	125
2 - Organisation des porteuses.....	126
2.1 Organisation fréquentielle	126
2.2 Modulation des porteuses.....	128
3 - Organisation des symboles OFDM.....	130
3.1 Choix d'un préfixe et temps de garde entre symboles	130
3.2 Codage correcteur d'erreur ou codage canal	132
3.3 Symbole de synchronisation du receptr	140
3.4 Fréquence de fonctionnement de la couche physique.....	141
4 - Implémentation de la couche physique	142
4.1 Organisation générale	142
4.2 Convertisseur de données MAC/PHY.....	144
4.3 Codeur convolutionnel.....	145
4.4 Modulateur QPSK.....	148
5 - Implémentation OFDM	150
5.1 Insertion des porteuses pilotes	151
5.2 Modulation OFDM : IFFT	155
6 - Implémentation des symboles de synchronisation et des préfixes.....	156
6.1 Insertion des symboles de synchronisation	157
6.2 Insertion des temps de garde.....	159
6.3 Architecture pour la génération du symbole OFDM réel à partir d'un signal complexe.....	160
7 - Conclusion.....	162

CHAPITRE V : COUCHE PHYSIQUE HAUT DEBIT UWB-OFDM : IMPLEMENTATION ET DEMONSTRATEUR	163
1 - Plateforme matérielle.....	164
1.1 Logique programmable	164
1.2 Conversion analogique/numérique et numérique/analogique	165
1.3 Tête radio fréquence	170
1.4 Antennes	173
2 - Performances matérielles et simulations complètes du système	173
2.1 Taille du circuit numérique	173
2.2 Fréquence maximale et optimisation	176
2.3 Validation en simulation et comparaison entre le signal simulé et le signal généré	181
2.4 Validation complète du système en simulation	183
3 - Mesures et Résultats.....	186
3.1 Signal temporel et fréquentiel OFDM	186
3.2 Validation du récepteur	189
3.3 Démonstrateur avec partage du canal	192
4 - Vers un ASIC garant d'une faible consommation	195
5 - Conclusion.....	197
CONCLUSION GENERALE.....	199
LISTE DES PUBLICATIONS	203
Congrès Internationaux.....	204
Congrès Nationaux	204
BIBLIOGRAPHIE	207
ANNEXES.....	215
Annexe 1 : L'organisation de l'ieee pour la définition de standards.....	216
Annexe 2 : Wimedia le premier standard UWB : raisons d'un échec	218
Annexe 3 : Description du programme permettant les mesures de qualité sur le lien MB-OFDM	222
Annexe 4 : Histoires des Logiciels EDA	225

INTRODUCTION GENERALE

Aucun avion ne peut voler sans un certificat de navigabilité qui ne sera délivré qu'une fois les qualités de l'avion démontrées par de nombreux essais réalisés au sol comme en vol. L'un des essais les plus critiques concerne la caractérisation d'un élément fondamental: les ailes. Cette caractérisation passe par l'analyse des écoulements d'air autour du profil non symétrique de l'aile. La mesure de la pression autour des ailes de l'appareil permet ainsi une évaluation précise de son aptitude au vol. Une cartographie à la fois minutieuse et régulière du profil de pression permet de vérifier les bonnes propriétés aérodynamiques d'un profil d'aile et d'identifier précisément les zones et les conditions d'apparition de micro-turbulences pouvant conduire au décrochage ou à une surconsommation de carburant. Cette cartographie de l'aile en temps réel permet ainsi de réduire à la fois la consommation énergétique de l'avion et les vibrations créées par les micro-décollements du flux d'air qui peuvent être désagréables pour les passagers et néfastes pour les instruments électroniques embarqués. Les systèmes de mesure de pression sont aujourd'hui largement utilisés dans l'industrie aérospatiale, mais l'instrumentation d'un spécimen demeure une étape particulièrement longue, délicate et coûteuse en raison de la nature filaire de la connexion entre capteurs.

Dans le domaine spatial, la situation est très similaire. Les difficultés interviennent lors de la phase de lancement qui fait subir aux structures des niveaux de vibrations extrêmement élevés. En vol, un lanceur dépasse la vitesse du son et fait ainsi subir à sa charge utile les ondes de choc liées à ce passage et aux écoulements aérodynamiques autour de la structure. Les vibrations peuvent endommager les instruments embarqués qui, dans le cadre des applications spatiales, sont souvent d'une précision et d'une sensibilité extrêmes. Etant donné qu'il n'est pas possible de repérer un engin en orbite, tout dommage subi par le satellite au cours du lancement est susceptible d'entraîner l'échec de la mission. C'est pourquoi, dans le domaine spatial, aucune charge utile ne peut être lancée sans une autorisation préalablement obtenue par une revue de qualification rigoureuse visant à vérifier que la charge utile ne sera pas endommagée. Les essais en vibration sont réalisés sur un banc de test de type ponts vibrants capable de recréer les conditions d'un décollage de fusée. L'appareil sous test est alors équipé de jauges de contraintes qui, tout comme les systèmes de mesure de pression, requièrent une phase de test à la fois lente, fastidieuse et onéreuse en raison de la nécessité d'établir une connexion filaire entre les capteurs.

L'étude décrite dans le présent manuscrit trouve ainsi son fondement et sa justification dans les gains potentiellement apportés par une instrumentation sans fil : facilité et rapidité d'installation, aucune ouverture pratiquée dans la structure (perçement de trous, enlèvement de rivets), absence de fils en surface, et enfin réduction considérable de la complexité du système. Cette étude s'inscrit dans le cadre du projet S.A.C.E.R. (Système Autonome Communiquant En Réseau) dont l'objectif principal fut d'apporter des solutions adaptées aux problèmes liés à l'installation de réseaux de capteurs filaires. Le projet, lancé en 2007 a été labélisé Aerospace Valley.

Le présent manuscrit est décomposé en **cinq chapitres** qui suivent l'ordre de la démarche appliquée pour proposer une solution à visée industrielle aux problèmes mentionnés.

Le **premier chapitre** présente les objectifs des mesures aérodynamiques et vibratoires effectués sur les appareils afin de permettre au lecteur de mesurer les enjeux liés au développement des systèmes concernés. Après une présentation du contexte du projet, le cahier des charges et la synthèse des exigences sont détaillés. L'ensemble de ces informations, extraites des nombreux documents et exigences fournis par les deux clients finaux de l'application, sont celles qui ont servi de base à l'ensemble du développement.

Pour répondre à un besoin industriel tel que celui présenté dans cette thèse, il serait contreproductif d'envisager le démarrage du développement à partir d'une page blanche. L'objectif du **deuxième chapitre** est donc de profiter de la popularité de la problématique des réseaux de capteurs et de la préexistence de nombreux standards visant à interconnecter sans fil des appareils autonomes en énergie. Les standards les plus populaires sont présentés afin de mettre en lumière les principaux mécanismes qui les régissent ainsi que ceux qui seraient susceptibles d'offrir des pistes d'implémentation. Ce chapitre met en lumière la nécessité d'une implémentation large bande pour respecter les contraintes imposées par le secteur aéronautique. Le standard MB-OFDM est donc décrit et testé dans des conditions d'applications aéronautiques et spatiales. La consommation du kit d'évaluation utilisé dans cette partie étant très élevée, un état de l'art des consommations des modules MB-OFDM présents dans la littérature et des performances en synchronisation est proposé.

Les caractéristiques nécessaires au déploiement d'un réseau de capteurs métrologiques pour l'aéronautique et le spatial ne pouvant être satisfaites par un produit existant, le **troisième chapitre** présente une méthodologie de conception visant à réduire le temps du cycle de développement. Cette méthode permet de minimiser les risques d'erreur de conception et de présenter au plus tôt des démonstrateurs de concept et de justifier ainsi de la levée des points durs identifiés. Lors du développement d'un nouveau circuit de traitement du signal, le délai séparant la définition de l'architecture de traitement du signal de sa concrétisation au sein d'un circuit numérique est particulièrement long. L'objectif du troisième chapitre est de présenter, dans un premier temps, les raisons du choix d'outils de synthèse haut niveau permettant une génération de code automatique. Un second temps est consacré à la description de l'outil sélectionné et de ses spécificités, ainsi qu'à celle du flot de conception associé. Enfin, les résultats de l'exploration architecturale menant à la définition précoce d'une plateforme de développement sont décrits. Cette exploration architecturale, rendue possible par les outils de synthèse automatique de code, permet d'identifier le FPGA assurant le meilleur rapport qualité-performances-prix parmi les produits aujourd'hui disponibles sur le marché, et ce très tôt dans le déroulement du projet, dès les premiers modèles de traitement du signal établis.

Le **quatrième chapitre** décrit l'ensemble de l'architecture de traitement du signal mise en place pour la réalisation d'une couche physique haut débit adaptée aux contraintes propres aux réseaux de capteurs pour l'aéronautique et le spatial.

Cette description débute par la présentation de l'architecture réseau, de la technique de partage du canal et de la structure de trame retenue. Ces éléments permettant de définir le débit de données à l'interface PHY/MAC. Dans un second temps, l'organisation des porteuses et le choix de la modulation OFDM ainsi que celle du codage correcteur d'erreur convolutionnel sont présentés. On décrit ensuite l'architecture de la puce numérique choisie pour réduire la taille et la complexité de chaque bloc et répondre ainsi aux contraintes de faible consommation. Enfin, grâce à l'utilisation de la synthèse haut niveau de type HLS, et une fois l'ensemble de l'architecture établie, les performances attendues sur une plateforme matérielle numérique et radio fréquence sont exposées.

Le cinquième et dernier chapitre explicite la réalisation du démonstrateur capable de valider les concepts proposés dans le chapitre précédent. La plateforme matérielle adaptée étant un élément clé de ce démonstrateur, elle est ici détaillée. Elle se compose d'un élément logique programmable effectuant les opérations de traitement et de modulation-démodulation, d'un bloc

de conversion analogique/numérique et numérique/analogique, ainsi que d'une tête radiofréquence assurant la transposition de fréquence associée à une antenne adaptée. Chacun des éléments est détaillé. La seconde partie de ce chapitre expose les résultats de l'implémentation de la couche physique proposée. Sa taille et sa fréquence de fonctionnement sont d'abord présentés. On propose également de comparer les résultats obtenus en simulation grâce au modèle Simulink aux données effectivement générées par le circuit numérique pour vérifier leur parfaite concordance. L'émetteur et le récepteur ainsi que la liaison complète présentée lors de la conférence IMS 2011 montrent qu'une fréquence de fonctionnement compatible avec la réalisation d'un réseau de capteurs haut débit UWB-OFDM répondant aux contraintes aérospatiales est possible. La consommation de l'ensemble de la partie communication peut demeurer faible et être ainsi compatible avec un système autonome en énergie lors du passage d'un circuit logique programmable à un circuit numérique spécifique. Les premiers éléments de cette étape sont présentés en fin de chapitre.

Cette thèse propose des solutions permettant de lever les points durs de la communication entre les capteurs dans un contexte de réseaux de capteur de pression ou jauges de contraintes pour l'aéronautique et le spatial.

CHAPITRE I

LA MESURE METROLOGIQUE AU SERVICE DES INDUSTRIES AERONAUTIQUES ET SPATIALES

Métrologie : *n.f.* : science des mesures

Cette définition, extraite du Grand Robert de la langue française [1], décrit la métrologie comme une notion indispensable en sciences. Ce concept, qui vise à donner une valeur à une observation, prend une dimension particulière dans les secteurs très critiques que sont l'aéronautique et le spatial. En effet, ces domaines sont conditionnés par la contrainte fondamentale que représente la nécessaire sûreté des systèmes. Alors, la mesure métrologique, qui permet à la fois de valider les choix de conceptions et de justifier du parfait fonctionnement du système auprès des autorités de régulation, devient un outil indispensable

1 APPLICATIONS DANS LE DOMAINE AERONAUTIQUE

Lors du développement d'un nouvel avion, la phase précédant l'obtention du certificat de navigabilité est basée sur de nombreux essais réalisés au sol ou dans des conditions de vol. Ces essais sont extrêmement variés et regroupent, par exemple, des essais par grand froid [2], des essais de compatibilité électromagnétique ou encore des essais d'évacuation [3]. Les essais par grand froid visent à vérifier la capacité des moteurs et des systèmes électriques de l'avion à démarrer malgré des températures au sol extrêmes avoisinant les -40°C . Les essais de compatibilité électromagnétique vont quant à eux évaluer la résistance de l'avion aux champs électromagnétiques. Enfin, comme leur nom l'indique, les essais d'évacuation permettent de déterminer le temps nécessaire à l'évacuation de tous les passagers de l'avion, et ainsi de valider les dispositifs d'évacuation ou le nombre de sorties prévues. Chacun de ces essais est particulièrement crucial dans la mesure où ses résultats peuvent empêcher la certification de l'avion. Mais l'un des essais les plus critiques reste cependant la caractérisation fonctionnelle des ailes de l'appareil. En effet, ces éléments sont fondamentaux dans la mesure où ils permettent à l'avion de voler.

Ainsi, le principe même d'un avion, et donc sa capacité à voler, repose sur la forme particulière de ses ailes. En effet, une aile a un profil non symétrique, c'est-à-dire qu'elle présente une cambrure sur l'une de ses faces. La face supérieure est appelée extrados et la face inverse porte, elle, le nom d'intrados. La longueur de l'extrados excédant celle de l'intrados, l'air qui s'écoule le long de l'aile est contraint de parcourir un trajet plus long, et ainsi de s'écouler plus rapidement le long de la surface supérieure. Daniel Bernoulli, mathématicien et physicien suisse né en 1700, a constaté qu'à altitude constante, lorsque la vitesse d'un fluide augmente, la pression le long de l'écoulement diminue. La loi de Bernoulli [4], qui porte son nom, peut prendre la forme de l'équation (ci-dessous) où p est la pression en un point (en Pa ou $\text{N}\cdot\text{m}^{-2}$), ρ est la masse volumique en un point (en $\text{kg}\cdot\text{m}^{-3}$), v est la vitesse du fluide en un point (en $\text{m}\cdot\text{s}^{-1}$), g est l'accélération de la pesanteur (en $\text{N}\cdot\text{kg}$ ou $\text{m}\cdot\text{s}^{-2}$) et z est l'altitude (en m).

$$\frac{v^2}{2 * g} + z + \frac{p}{\rho * g} = K \quad (1.1)$$

Dans le cas général, on distingue deux types de pression : la pression dynamique, qui est la pression exercée par ou sur un fluide en mouvement, et la pression statique, mesurée par un capteur qui se déplace à la même vitesse que le fluide. La pression totale correspond à la somme de ces deux pressions. La densité volumique d'énergie cinétique d'un fluide, directement liée à la pression dynamique, est égale au demi-produit de la masse volumique du fluide par le carré de la vitesse d'écoulement [4], comme le montre l'équation (1.2).

$$P_d = \frac{1}{v} * \frac{1}{2} * m * v^2 = \frac{1}{2} * \rho * v^2 \quad (1.2)$$

A altitude (z) constante, l'équation de Bernoulli peut donc être exprimée sous la forme de l'équation (1.3).

$$P_d + p = K' \quad (1.3)$$

Cette équation indique que pour un écoulement d'air incompressible à altitude (z) fixe, la pression totale ($p_t = K'$) est constante le long d'une même ligne de courant. Afin d'assurer la constance de la pression totale, la pression statique (p) doit donc diminuer lorsque la vitesse de l'écoulement, et donc la pression dynamique, augmente. Le profil particulier d'une aile d'avion engendre alors une dépression au niveau de l'extrados tandis qu'une légère surpression liée aux chocs entre l'air et l'aile apparaît au niveau de l'intrados. Ces deux phénomènes créent une force, appelée portance, qui doit être égale en intensité mais opposée au vecteur poids de l'avion pour que celui-ci puisse voler. Cette force, engendrée par la différence de vitesse entre les flux d'air circulant au-dessus et en dessous de l'aile, est donc directement créée par le vent relatif, c'est-à-dire l'écoulement de l'air sur les surfaces de l'aile.

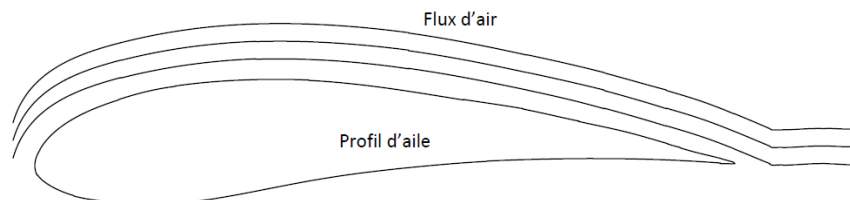


FIGURE 1 : REPRESENTATION SCHEMATIQUE DE L'ECOULEMENT D'AIR AUTOUR D'UN PROFIL

Dans des conditions de vol classiques, les filets d'air circulent autour de l'aile en épousant sa forme de façon très régulière, comme le montre le schéma de la figure 1. Lorsque l'angle entre l'aile et le flux d'air (angle d'incidence de l'avion) augmente, la vitesse du flux d'air sur l'extrados s'accroît, augmentant ainsi la portance. Mais en raison de cette augmentation de la vitesse du flux, l'écoulement d'air commence à se décoller au niveau de la zone de rencontre entre les flux provenant de l'extrados et de l'intrados, c'est-à-dire au niveau du bord de fuite. Or, plus l'angle d'incidence est important, plus la zone de turbulence est vaste, car le point de décollement se déplace du bord de fuite vers le bord d'attaque. Les lignes de courant d'air ne restent alors plus parfaitement parallèles au profil et se « mélangent », comme schématisé en figure 2. L'écoulement est alors dit « turbulent » dans la zone de décollement. Plus cet écoulement est turbulent, plus la force de traînée qui s'oppose à la progression de l'avion est importante. Pour

compenser cette traînée grandissante, l'appareil doit augmenter sa force de traction et par conséquent sa consommation en carburant.

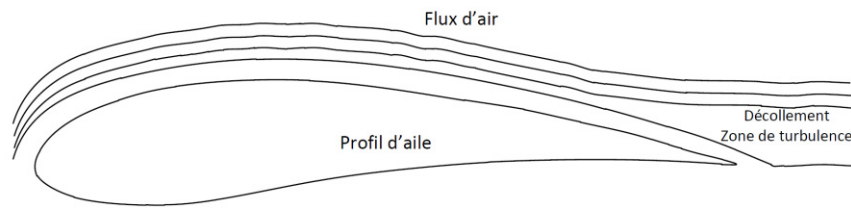


FIGURE 2 : REPRESENTATION SCHEMATIQUE DE L'APPARITION DU DECOLLEMENT ET DE MICRO TURBULENCES

A trop forte incidence, les filets d'air peuvent se détacher de la majeure partie de l'extrados, créant ainsi une zone de turbulence sur l'ensemble de l'aile et entraînant une brusque chute de la portance qui ne permet plus la compensation du poids de l'avion. L'avion connaît alors une rapide perte d'altitude et on parle de phénomène de décrochage, illustré en figure 3.

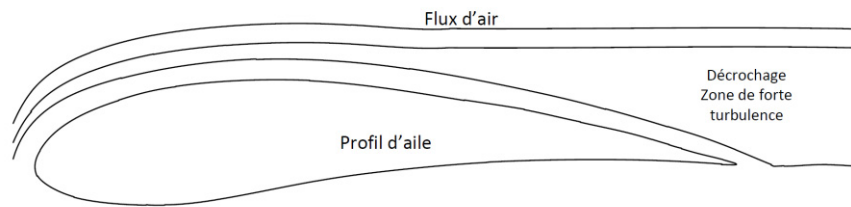


FIGURE 3 : REPRESENTATION SCHEMATIQUE DU PHENOMENE DE DECROCHAGE

La figure 4 [5], présente le profil d'une aile en soufflerie en situation de décrochage. On y distingue clairement les filets d'air décollés de l'extrados et les zones de turbulence.

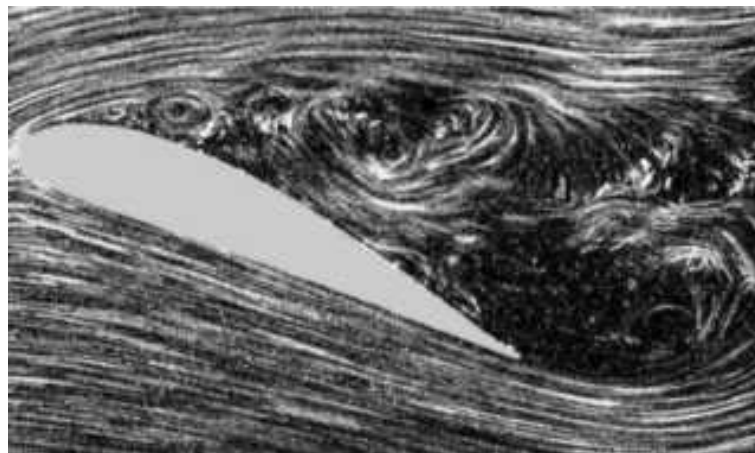


FIGURE 4 : EXEMPLE DE DECROCHAGE EN SOUFFLERIE

L'ensemble des situations décrites jusqu'ici suppose que l'aile soit parfaitement lisse. En effet, la moindre rugosité sur l'aile, et a fortiori l'ajout d'un élément supplémentaire tel qu'une antenne ou un capteur de mesure, peut entraîner l'apparition d'une zone de turbulence, y compris à angle d'incidence faible (figure 5). La mesure de la pression autour des ailes de l'appareil permet donc une évaluation précise de son aptitude au vol. Une cartographie à la fois minutieuse et régulière du profil de pression permet de vérifier les bonnes propriétés aérodynamiques d'un profil d'aile et d'identifier précisément les zones et les conditions d'apparition de micro-turbulences pouvant conduire au décrochage ou à une surconsommation de carburant. Cette cartographie de l'aile en temps réel permet ainsi de réduire à la fois la consommation énergétique de l'avion, et les

vibrations créées par ces micro-décollements du flux d'air et pouvant être désagréables pour les passagers et néfastes pour les instruments électroniques embarqués.

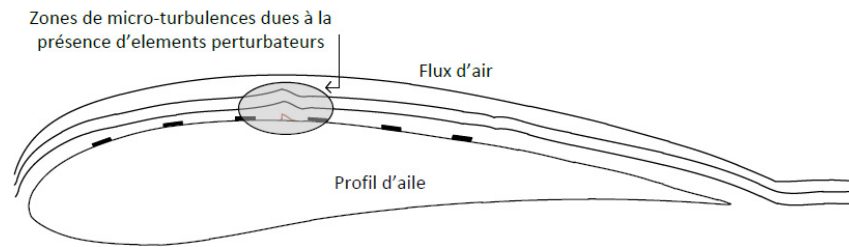


FIGURE 5 : REPRESENTATION SCHEMATIQUE DE L'APPARITION DE MICRO TURBULENCES EN PRESENCE D'ASPERITES

Ces essais de mesure de pression sont généralement complétés par des tests mécaniques de vibration visant à déterminer la résistance des matériaux à certains efforts de charges subis au cours du vol. En effet, en considérant que le poids d'un avion de ligne peut atteindre cinq cent soixante tonnes [6] (pour l'A380), les efforts mécaniques subis par les ailes de l'appareil peuvent être considérables. Ce type d'essai détecte les déformations mécaniques, qu'elles soient élastiques ou plastiques, et les zones de fragilités pouvant être le terreau de micro fissures. Dans ce cas, l'avion est équipé de jauges de contrainte et soumis à différentes vibrations en vol afin de vérifier la solidité mécanique de sa structure. Ce type d'essai est proche de ceux, décrits ci-dessous, imposés aux satellites avant leur lancement.

2 APPLICATIONS DANS LE DOMAINE SPATIAL

Les vibrations sont une partie intégrante de l'environnement. Le moindre mouvement, que ce soit celui d'un objet ou de son milieu, entraîne des vibrations d'amplitudes et de durées variables qui peuvent prendre la forme de chocs mécaniques ou de vibrations acoustiques.

Dans le domaine spatial, la phase de lancement est l'une des étapes les plus critiques pour les systèmes [7]. En effet, les structures doivent alors faire face aux niveaux de vibrations mécaniques ou acoustiques les plus élevés jamais rencontrés [8]. De telles vibrations peuvent par exemple provenir du bruit des moteurs qui peut être si intense qu'il pourrait, dans le cas d'un vol de navette spatiale, endommager l'orbiteur et mettre en danger les occupants. Plusieurs techniques sont mises en œuvre pour tenter de réduire le niveau d'ondes sonores, à commencer par le déversement de centaines de milliers de litres d'eau juste avant l'allumage des moteurs [9]. Mais l'eau n'absorbe qu'environ deux tiers du bruit et laisse un bruit résiduel d'environ cent quarante-deux décibels. Dans le contexte satellite, en l'absence de facteurs humains, le bruit du décollage est généralement encore plus intense et peut atteindre des valeurs de cent quatre-vingt décibels pour une fusée Ariane 5 [10]. D'autres vibrations apparaissent également lorsque le lanceur approche de la vitesse du son. Ce dernier subit en effet les ondes de choc dues aux écoulements aérodynamiques autour de la structure qui occasionnent de violentes vibrations.

Bien qu'il soit possible de travailler sur le bruit des moteurs et la forme aérodynamique de la fusée, il n'est pas envisageable d'éliminer totalement les vibrations. Celles-ci ne doivent donc endommager ni le satellite, ni les instruments embarqués qui, dans le cadre des applications spatiales, sont souvent d'une précision et d'une sensibilité extrêmes. Etant donné qu'il n'est pas possible de repérer un engin en orbite, tout dommage subi par le satellite au cours du lancement

est susceptible d'entraîner l'échec de la mission. C'est pourquoi une revue de qualification particulièrement rigoureuse est nécessaire pour vérifier que la charge utile ne sera pas endommagée, et ainsi valider l'aptitude d'un satellite à être lancé de façon certaine. Dans leur principe, les essais en vibration sont très simples. Le satellite est placé sur un banc de test pour être soumis à un profil d'essai défini et reproductible. Pour les essais de types vibrations, on utilise des ponts vibrants [11] capables de recréer les conditions d'un décollage de fusée. Dans le cadre des essais acoustiques, on recourt à des chambres réverbérantes.

Un satellite subit trois types d'essais mécaniques ayant chacun un objectif particulier [12]:

- Les essais "sinus balayé", qui consistent en l'application d'une excitation sinusoïdale dont la fréquence varie selon une loi définie, sont ceux qui fournissent le plus grand nombre d'informations sur la qualité du système. Cependant, les vibrations rencontrées dans le milieu ayant un caractère aléatoire, et donc non strictement sinusoïdal, les essais "sinus balayé" ne reproduisent pas parfaitement l'environnement rencontré par le spécimen au cours de son utilisation. Les lois utilisées sont de trois types: la loi linéaire, qui est la plus simple, la loi hyperbolique qui est la moins usitée, et enfin la loi exponentielle est la plus utilisée. Cette dernière présente l'intérêt majeur d'accorder, en termes d'échantillonnage, une plus grande importance aux basses fréquences, niveau auquel se concentrent le plus souvent les phénomènes vibratoires. De par sa forme, la loi exponentielle permet également de passer un même temps, à coefficient d'application dynamique constant, dans l'intervalle de fréquence comprise entre les points à demi-puissance d'une fréquence de résonance. Quelle que soit la loi utilisée, le sinus balayé présente l'avantage, contrairement aux autres essais décrits plus loin, de produire une excitation constante sur l'ensemble de la bande de fréquence étudiée. La quantité d'énergie introduite pour chaque fréquence testée est alors parfaitement maîtrisée, et les variations d'amplitude ne sont plus le fait que des autres réponses de la structure (résonances et anti résonances). Cette caractérisation, la plus simple à analyser, permet d'identifier les fréquences propres et les amortissements du système.
- Le sinus quasi statique est un type d'excitation qui permet de vérifier le dimensionnement des pièces d'interface du spécimen. Ce type d'essai est ainsi nommé en référence aux essais statiques de charge d'un avion au cours desquels la résistance mécanique est déterminée par l'ajout progressif de poids sur les ailes. Dans le cadre des essais de satellites, une accélération constante d'amplitude connue est appliquée au système. La fréquence injectée doit être choisie avec soin car à mesure que l'on approche de la fréquence de résonance du système, les risques de perte de contrôle sur cette excitation, et donc de dommages sévères sur la structure, augmentent.
- Les essais aléatoires sont en bien des points similaires aux essais de type sinus balayé, à ceci près que le rendu du comportement dynamique d'une structure est plus réaliste puisque l'environnement effectivement rencontré par un équipement est par nature aléatoire. Le sinus appliqué est aléatoire et défini statistiquement. Ce type d'essai permet d'obtenir une confirmation des fréquences propres du système ainsi que les valeurs des coefficients d'amplification dynamique des structures.

Les trois types d'essais décrits permettant de qualifier un système, c'est à-dire de démontrer sa capacité à résister à un environnement plus sévère que l'environnement nominal, sont réalisés grâce à des jauges de contrainte équipant la structure et mesurant les déformations en temps réel.

3 DES SYSTEMES FILAIRES CONTRAIGNANTS

Les systèmes de mesure de pression ou de contraintes mécaniques, indispensables à la certification d'un avion ou à l'autorisation de lancement d'un satellite, sont aujourd'hui largement utilisés dans l'industrie aérospatiale. Cependant, l'instrumentation d'un spécimen demeure une étape particulièrement longue, délicate et coûteuse.

La contrainte que représentent ces essais pour un constructeur aéronautique peut être illustrée par l'exemple de la certification du Boeing 787. En effet, la construction de cet avion innovant a pris un retard important en raison de difficultés techniques. Le premier vol a ainsi eu lieu avec deux ans et demi de retard. Pour Boeing, l'enjeu fut alors de réduire au maximum la phase d'essais nécessaire à la certification afin de livrer son premier client avec le moins de retard possible. L'objectif initial de Boeing a été d'obtenir la certification de l'appareil dans les huit mois et demi suivant ce premier vol [13], ce qui aurait été un délai historique¹. Les deux principales mesures mises en place pour parvenir à cet objectif furent l'utilisation simultanée de six avions 24h/24, et le développement de moyens de mesure de pression optimisés. Ainsi, des ceintures de pression préfabriquées dans lesquelles l'ensemble des capteurs est pré-intégré ont été développées de façon à ce qu'il suffise de les scotcher sur l'aile. Grâce à ce produit proposé par Endevco [14], le temps d'installation est réduit à 7 jours au lieu des 30 jours habituellement prévus [15]. Malgré tout, ce délai reste considérable compte-tenu du fait qu'il nécessite une mobilisation des équipes 24h/24. Ces longueurs sont essentiellement liées au fait que seul un lien filaire soit aujourd'hui envisageable entre les capteurs.

Chaque capteur déployé est ainsi équipé d'un câble électrique² composé d'un ou plusieurs brins le connectant à un concentrateur de données situé à l'intérieur de la cabine de l'avion (mesures de pression) ou de l'opérateur d'essais (essais satellites). Le câble assure la communication du module, le plus souvent par un bus série (2 fils minimum, 4 en différentiel), et son alimentation (2 fils : alimentation et masse). La longueur des fils utilisés doit être rigoureusement identique pour chaque voie afin d'assurer une synchronisation parfaite des mesures. Grâce à une mesure précise de cette longueur, le concentrateur est certain que lorsqu'une mesure est demandée à un instant t , tous les capteurs reçoivent simultanément l'information et renvoient la valeur mesurée à l'instant $t+\delta t$, où δt est identique pour tous les nœuds du réseau.

La principale difficulté associée aux systèmes filaires réside dans la nécessité de faire passer les câbles à travers les parois externes de la structure sous test [16] [17]. En effet, s'agissant d'un dispositif déployé uniquement au moment des essais, aucune ouverture n'est dédiée à la connexion du fil provenant du capteur (localisé à l'extérieur de la structure pour un avion, et l'intérieur pour un satellite) au concentrateur situé de l'autre côté de la paroi. Sur un avion, les capteurs peuvent être placés en n'importe quel point à l'extérieur de la carlingue, ce qui oblige, le plus souvent, à retirer des rivets pour permettre le passage des câbles. Une fois la mesure terminée, les câbles et les capteurs peuvent certes être retirés aisément, mais la procédure de test impose tout de même une modification de la structure. Sur un satellite équipé de ses instruments de vol, certaines cavités internes peuvent être rendues inaccessibles une fois le satellite assemblé.

¹ En raison de problèmes techniques lors des phases d'essais, la certification n'est intervenue que le 26 août 2011 permettant une livraison à ANA le 25 septembre 2011

² Cela peut être un tube pneumatique dans certains systèmes mais les difficultés d'installation sont les mêmes [16]

Aussi, les jauges de contrainte sont-elles installées en même temps que les équipements du satellite, les fils de connexion dépassant de la structure. Si, une fois l'essai terminé et le système validé, l'élément sensible se trouve inaccessible, le fil est coupé au plus près du capteur qui reste alors indéfiniment à l'intérieur du satellite. Non seulement ce procédé oblige à laisser un élément non indispensable à l'intérieur de la structure, mais la section du fil nécessite l'implantation d'un nouvel élément sensible ainsi qu'un recalibrage complet pour une utilisation future, rendant alors la réutilisation du système extrêmement coûteuse.

Au-delà de modifications structurelles liées au passage des câbles entre les deux milieux, la présence de ces derniers est en soi problématique. En effet, dans le contexte satellite, la présence de câbles « collés » sur la structure entraîne une modification de la réponse mécanique. Ainsi, les câbles peuvent créer des liens entre des éléments initialement mécaniquement indépendants. Des différences significatives peuvent alors être constatées entre une mesure effectuée en présence de capteurs et de câbles, et la réponse réelle, en l'absence de ces derniers. L'installation de capteurs sur une aile, impose qu'ils rejoignent la cabine. En plus de modifier les performances aérodynamiques, en créant des zones d'aspérité [18], ces câbles doivent être fixés à l'aide d'un matériau à la fois robuste et facilement éliminable pour leur permettre de ne pas se détacher en vol et d'être retirés aisément et sans dommage pour la structure. En l'absence d'un tel matériau, les avionneurs ont recours à des structures en aluminium appelés « gloves », dont la forme est parfaitement similaire à celle de l'aile sur laquelle elles sont posées. Les capteurs sont installés sur le glove et les câbles associés sont placés dans l'espace libre entre le glove et l'aile, si bien qu'aucune fixation n'est nécessaire. Cette méthode impose cependant l'ajout d'une structure sur l'aile sous test.

Or, ce dernier aspect est particulièrement contraignant puisqu'il touche à la préoccupation première des développeurs du domaine aéronautique : le poids. En effet, l'augmentation du poids de l'avion entraîne à la fois une surconsommation de carburant [19] et un effort supplémentaire sur les structures. Aussi, l'ajout des gloves associés à une grande quantité de câbles s'accompagne-t-il d'un alourdissement non négligeable de l'avion. En conditions d'exploitation, un avion de ligne est équipé d'environ 500 km de câbles divers, et les moyens d'essai et les systèmes de contrôle associés nécessitent l'ajout de 300 km de câbles supplémentaires. Etant donné qu'un système filaire de mesure de pression impose l'adjonction d'une importante quantité de câbles et donc une augmentation significative du poids de l'appareil, le développement d'un réseau de capteurs sans fil constitue une avancée importante.

De plus, le grand nombre de câbles utilisé (au minimum quatre par capteur) engendre un coût très important. En effet, s'agissant de câbles calibrés de façon extrêmement précise, ces derniers peuvent coûter plusieurs centaines d'euros par mètre linéaire. Et équiper une aile de 30 à 40 mètres d'envergure d'une trentaine de capteur nécessiter plus de 2 km de câbles. Si, dans le contexte satellite, la longueur de câble est moins importante, le nombre de capteurs nécessaires est, lui, plus élevé.

Enfin, un dernier point contribue à rendre ces systèmes particulièrement contraignants et onéreux. Ainsi, un temps de câblage particulièrement long et la nécessité d'effectuer des vérifications poussées, requièrent de recourir à une main d'œuvre nombreuse et coûteuse. En effet, les fils de données de chaque capteur devant être connectés à une prise spécifique du concentrateur, il est important de vérifier avec précision que chaque capteur est placé à l'emplacement qui lui est dédié sur l'aile, et qu'il est effectivement connecté à la prise

correspondante sur le concentrateur. Or, cette opération doit être effectuée deux fois au minimum : une première fois du capteur vers le concentrateur et une seconde fois, pour validation, en partant du concentrateur pour aller vers le capteur. La procédure est ensuite répétée pour chaque capteur, avec des fils pouvant mesurer plusieurs dizaines de mètres et passer dans des espaces peu accessibles (gloves, passage de rivets, ...).

La présente étude trouve ainsi son fondement et sa justification dans les gains potentiellement apportés par une instrumentation sans fil : facilité et rapidité d'installation, absence d'ouvertures à pratiquer dans la structure (perçement de trous, enlèvement de rivets), aucun fil en surface, et enfin une réduction considérable de la complexité du système. La photographie présentée en figure 6 montre un A400M en configuration essais en vol. Cet avion, destiné au transport militaire, a effectué son premier vol en décembre 2009. Les bandes claires, visibles sur la dérive verticale fixe et sur le gouvernail mobile de l'empennage arrière, sont des ceintures de pression « traditionnelles » sur lesquelles sont installés des capteurs de pression. La connexion entre les éléments sensibles et l'intérieur de la cabine est, elle, filaire. On remarque en effet de fines lignes claires reliant les bandes à des ouvertures dans la carlingue permettant au câblage de pénétrer à l'intérieur de la structure de l'avion.



FIGURE 6 : A400M EQUIPE DE CAPTEURS DE MESURE DE PRESSION PENDANT UN VOL D'ESSAI

4 SACER : DEVELOPPEMENT D'UN RESEAU SANS FIL DE CAPTEURS EMBARQUES

L'objectif du projet S.A.C.E.R. (Système Autonome Communiquant En Réseau) est d'apporter des solutions adaptées aux problèmes liés à l'installation d'un réseau de capteurs filaires. Ce projet, lancé en 2007 et labélisé Aerospace Valley est financé par le Fond Unique Interministériel et Oséo. Il émane du LAAS-CNRS, Airbus, Intespace et de quatre PME toulousaines : Datus Sud-Ouest [20], Delta Technologies Sud-Ouest [21], Alyotech [22], et Epsilon Ingénierie [23].

Les deux derniers membres du projet sont Airbus et Intespace, utilisateurs finaux du système.

Après une première phase d'étude de solutions susceptibles de répondre au besoin de communication sans fil, les méthodes de transmission optique (laser, infrarouge, ...) ont été rejetées pour des raisons d'intégration. Deux solutions aux temporalités différentes ont été retenues. La première, permettant à priori un déploiement à moyen terme, est une solution radiofréquence basée sur l'utilisation de capteurs classiques couramment utilisés par les industriels et visant à leur offrir une capacité de communication sans fil. Malgré une apparente simplicité, des contraintes opérationnelles rendent cette solution non triviale. C'est cette solution qui est décrite ici. La seconde solution retenue, étudiée par Franck CHEBILA [24], repose sur l'utilisation de

capteurs complètement passifs. Nécessitant le développement complet d'un nouveau type de capteur ainsi que d'un système de lecture de ce dernier, elle ne pourra faire l'objet d'applications industrielles qu'à long terme.

5 DES CONTRAINTES FORTES LIEES AUX DOMAINES D'APPLICATION

Le système SACER est développé pour deux industries dans lesquelles les systèmes embarqués sont particulièrement réglementés. Bien que, s'agissant de moyens d'essai, les règles soient ici moins strictes que pour des équipements de vol classiques, les normes à appliquer restent très lourdes. Cette partie s'attachera à décrire les contraintes imposées par les utilisateurs finaux du système et développées dans les nombreux cahiers des charges [25], [26], [27], [28], [29], [30] et [31], et en particulier celles qui impactent le développement de la partie radio. La première partie sera dédiée à la partie avionique, et la seconde à la partie satellite. Enfin, la conclusion présentera une synthèse de ces exigences.

5.1 APPLICATION AERONAUTIQUE

5.1.1 CONTRAINTES FONCTIONNELLES ET CONTRAINTES D'INTEGRATION

5.1.1.1 TEMPERATURES ET ENVIRONNEMENT

Enfin, les contraintes en température sont particulièrement importantes. Le système devant avoir un fonctionnement nominal dans une plage de température ambiante allant de -40°C à $+85^{\circ}\text{C}$, le cahier des charges impose une gamme de températures comprises entre -55°C à $+105^{\circ}\text{C}$. La température la plus basse est celle rencontrée par l'appareil à son altitude de croisière, et la limite haute correspond aux conditions imposées par un stationnement prolongé en plein soleil sous un climat quasi désertique ou à une exposition au gaz d'éjection des moteurs. Les variations de température à l'intérieur de ces limites, définies dans le document DO160-E, section 5, catégorie A [32], sont de 10°C minimum par minute.

5.1.1.2 FONCTIONNALITE

La fréquence d'échantillonnage ainsi que la plage de mesure d'un capteur doivent être réglables. De plus, pour chaque capteur, les données TEDS [33] doivent pouvoir être remontées au niveau du concentrateur pour être affichées. Les données TEDS sont définies par le standard IEEE 1451 développé par l'IEEE « instrumentation and measurement society's sensor technology technical comitee ». Elles sont par exemple contenues dans une mémoire intégrée à chaque élément sensible, et incluent des données d'indentification, de calibration, et de correction ainsi que des informations sur le constructeur, pour les capteurs analogiques [34]. La récupération de ces données permet de réaliser une interface type Plug And Play pour tous les capteurs analogiques. L'équipement auquel un capteur TEDS est connecté peut identifier, caractériser et interfacer correctement n'importe quel capteur. Les données TEDS ont une taille de 128 bits et doivent être remontées via le lien radio.

Enfin, les capteurs devant être activables et identifiables individuellement, il est nécessaire de développer un moyen d'identification physique de chacun, par exemple au moyen d'une LED.

5.1.1.3 CONTRAINTES D'INTEGRATION

Afin de ne pas perturber les écoulements aérodynamiques au niveau des ailes de l'appareil, le système développé ne peut excéder une épaisseur d'environ 2 mm. C'est là l'une des contraintes les plus fortes de ce développement, notamment pour le choix des technologies d'alimentation électrique et de stockage de l'énergie ou encore des antennes, dont les dimensions doivent donc être adaptées. En revanche, les dimensions planaires ne sont pas contraintes et ne sont donc limitées que par la surface de l'aile.

5.1.1.4 NOMBRE DE CAPTEURS DE FREQUENCE D'ECHANTILLONNAGE

L'objectif du développement d'un réseau sans fil est d'augmenter le nombre de capteurs déployables dans le cadre des essais en pression. En raison des contraintes décrites précédemment (page 19), le système de mesure de pression actuellement employé n'autorise que le déploiement de moins de 100 capteurs. Or, le système sans fil doit, lui, être capable de gérer 800 capteurs de pression additionnés de 100 capteurs de température nécessaires au recalibrage des mesures. Ces capteurs sont repartis équitablement sur les deux ailes de l'avion et entre l'intrados et l'extrados. Dans le cadre d'essais pression, la fréquence maximale d'échantillonnage du capteur est de 22 kHz et la précision de chaque capteur de pression est de 16 bits. Cette précision élevée permet d'intégrer une possible évolutivité du système au moment de la conception du lien radio. L'association de ces trois paramètres fait de cette configuration le cas le plus contraignant du système en termes de débit de données à transférer.

5.1.1.5 AUTONOMIE

Une campagne d'essais en vol peut durer jusqu'à six mois, avec des vols d'une durée maximale de douze heures, sept jours sur sept. Bien que ces essais ne se déroulent pas vingt-quatre heures sur vingt-quatre, il est important que le système ne nécessite aucune manipulation ou configuration entre le moment de son installation et la fin de la campagne. Il doit par conséquent être totalement autonome en énergie et ne demander aucune intervention humaine au cours d'une campagne d'essais dont la durée cumulée ne dépassera pas 2100 heures.

Pour assurer le bon fonctionnement du système sur toute la durée demandée, ce dernier doit supporter deux états d'alimentation : un premier état « ON » lorsqu'un essai est effectivement en cours, et un second état « OFF » correspondant à une alimentation coupée entre deux essais d'une même campagne. Le système doit enfin passer d'un état à l'autre en moins de 15 secondes et sans qu'une reconfiguration ne soit nécessaire.

Afin de limiter les contraintes liées à l'autonomie des capteurs, il est possible d'utiliser les prises 28 V présentes le long de l'aile. Elles sont cependant en nombre limité et ne peuvent donc pas constituer un point de départ d'un réseau de câble d'alimentation pour tous les éléments du réseau.

5.1.1.6 SYNCHRONISATION DES MESURES

Les données mesurées par les capteurs doivent être affichées en moins de 30 ms sur le concentrateur situé l'intérieur de la cabine afin de permettre à l'ingénieur d'essai de mettre fin à l'essai dans l'éventualité où une anomalie serait détectée.

La référence de temps est donnée par un signal GPS et le concentrateur doit vérifier que toutes les mesures sont datées par rapport à cette référence unique, et éventuellement effectuer un recalage des dates de prise de mesure.

Le système doit également être parfaitement synchrone à $\pm 1\mu\text{s}$, phénomène illustré en figure 7. Dans cette situation, les instants théoriques de prise de mesure sont définis par rapport aux temps GPS de référence, représentés en pointillés. Les instants effectifs de mesure des capteurs sont représentés par la flèche. Les deux capteurs présentés ici sont synchrones car pour chacun d'eux, la mesure s'effectue à $\pm 1\mu\text{s}$ de la date théorique. Ainsi, dans un système synchrone, le délai entre deux impulsions définissant l'instant de prise de mesure, est identique entre tous les éléments.

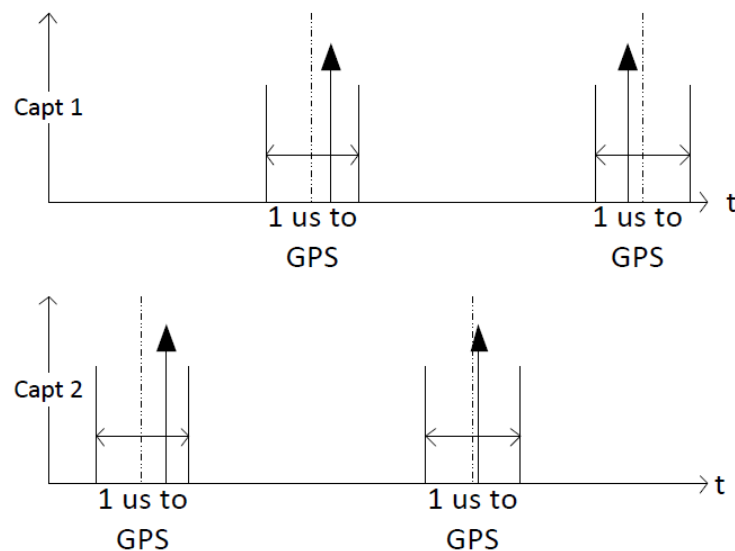


FIGURE 7 : REPRESENTATION DE DEUX CAPTEURS SYNCHRONES

En plus d'être synchrones, les capteurs du réseau de mesure doivent être isosynchrones. Or, les deux capteurs présentés en figure 7 ne sont pas isosynchrones puisque l'instant théorique de prise de mesure n'est pas commun aux deux capteurs. Les capteurs présentés en figure 8 sont, eux, isosynchrones. Toutes les voies du réseau de capteur prennent leurs mesures exactement au même moment et leurs instants de mesure ont la même fréquence. L'erreur d'isosynchronicité doit être inférieure à $1\mu\text{s}$. Il s'agit ici d'une contrainte majeure du développement de réseaux métrologiques pour l'aéronautique car les données collectées sont interprétées par corrélation entre les voies de mesure. Or, ces corrélations n'ont de sens que si les mesures ont été effectuées au même instant sur toutes les voies. S'il existe aujourd'hui des standards filaires (PTP ou IEEE 1588 [35]) permettant d'assurer un tel niveau d'isosynchronicité, aucun protocole radio ne peut actuellement le supporter. En conséquence, il est indispensable que le système de communication sans fil développé pour le réseau de capteurs de pression, soit capable de synchroniser l'ensemble des capteurs à moins de $1\mu\text{s}$.

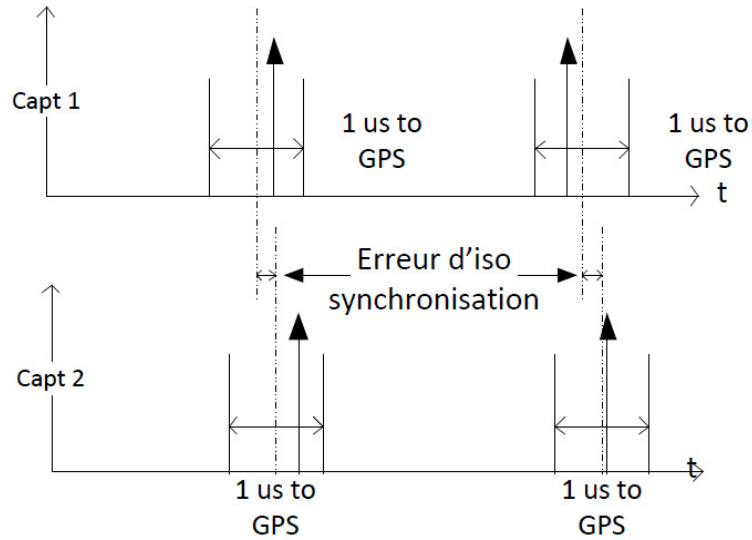


FIGURE 8 : REPRESENTATION DE DEUX CAPTEURS ISOSYNCHRONES

5.1.1.7 FREQUENCES DE COMMUNICATION

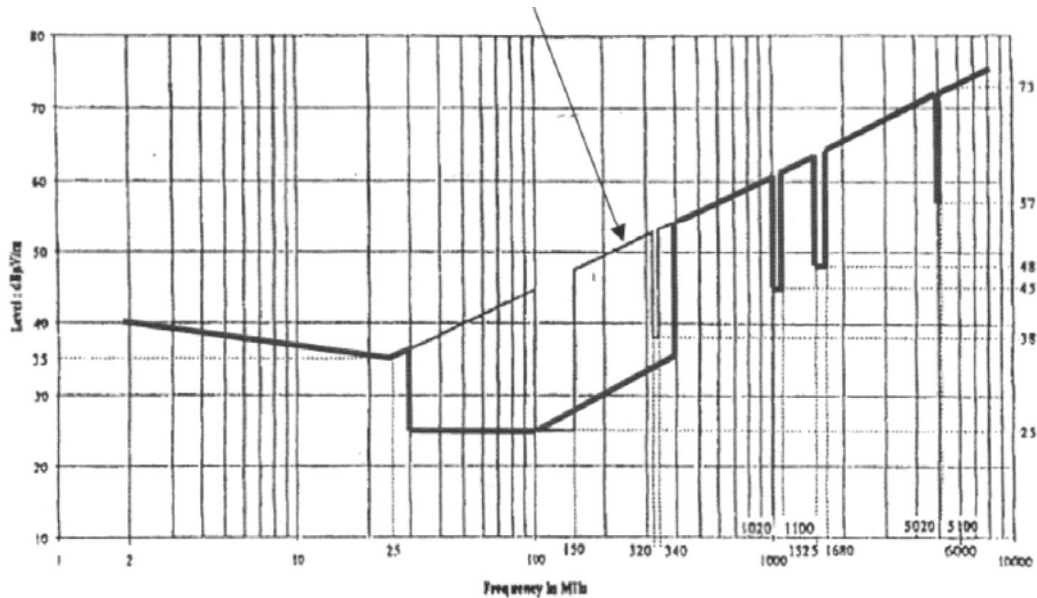


FIGURE 9 : NIVEAU MAXIMUM DE PUISSANCE RAYONNEES (EN DEHORS DE L'AVION)

Les règles liées aux fréquences utilisables impactent fortement les choix de l'interface radio, notamment en interdisant certaines fréquences ou puissances d'émission.

Dans le cadre de l'application visée, les règles de CEM sont définies dans le document RTCA DO160-E section 21 catégorie H [32], pour tous les équipements en vue directe de d'une antenne d'un récepteur radio embarqué sur avion, c'est-à-dire la quasi-totalité des équipements situés à l'extérieur de l'appareil. La figure 9 extraite des normes DO160-E et de la norme MIL-STD-461E RE102-3, décrivent les niveaux maximums de puissance rayonnée sur toute la bande radio dans la cadre d'une application civile et d'une application militaire.

La figure 9 fait apparaître des zones critiques, décrites dans le tableau 1, à l'intérieur desquelles les fréquences ne peuvent être utilisées.

TABLEAU 1 : ZONES CRITIQUES DU SPECTRE AERONAUTIQUE

BANDE DE FREQUENCE INTERDITE	SYSTEMES DE COMMUNICATION CRITIQUES
30 – 400 MHZ	- Système VHF
1020 – 1100 MHZ	- Distance Measuring Equipment : DME - Air Traffic Control : ATC - Traffic Collision Avoidance System : TCAS
1525 – 1680 MHZ	- SAT/COM
5020 – 5100 MHZ	- Microwave Landing System : MLS

On désigne sous le nom de VHF les différents équipements utilisant la bande VHF (entre 30 et 300 MHz) pour communiquer. Cette catégorie inclue notamment les systèmes VOR (VHF Omnidirectionnal Range), le système ILS (Instrument Landing System), ou encore les communications radio entre l'avion et le contrôleur aérien. Le VOR est une aide à la navigation permettant de tracer une route aérienne à partir d'une station sol. L'ILS, lui, est un système d'aide à l'atterrissage qui permet aux appareils de connaître précisément la pente d'atterrissage. Le DME est un équipement radio qui indique la distance séparant un avion d'une station sol en mesurant le temps nécessaire à une impulsion radio pour effectuer un aller-retour. ATC désigne l'ensemble des systèmes liés au contrôle de trafic aérien. Le système TCAS est un instrument de bord destiné à éviter les collisions en vol entre les appareils en interrogeant les avions proches sur une fréquence de 1030 MHz, et en réceptionnant leurs réponses sur une fréquence de 1090 MHz. Enfin, le système radio d'aide à l'atterrissage MLS fonctionne sur la bande des 5GHz. Système actif implanté sur l'aéroport, il envoie plusieurs faisceaux radio qui sont utilisés par l'avion pour définir la meilleure pente d'atterrissage. Initialement destiné à remplacer le système ILS, il est désormais concurrencé par systèmes basés sur le GPS ou Galileo et son avenir est donc très incertain.

Les différents systèmes décrits ici sont tous des équipements extrêmement sensibles qui ont une influence directe sur la sécurité des appareils, ce qui explique qu'il soit interdit d'émettre dans les bandes de fréquence désignées. La figure 9 présente aussi (courbe en gras) les interdictions en vigueur dans le cadre d'applications militaires. Les bandes interdites sont identiques et seuls les niveaux tolérés sont différents.

Les émissions radio dans un contexte aéronautique ne peuvent se faire sans d'autorisation préalable. Les demandes doivent prouver que le système radio déployé ne brouille pas les systèmes existant. La procédure est extrêmement lourde et peut durer plusieurs années. On comprend clairement qu'avec les interdictions présentées, le système à développer ne peut pas disposer d'une bande de fréquence dédiée sur laquelle il lui serait possible d'émettre à n'importe quelle puissance. Les techniques utilisant un très faible niveau de signal comme l'UWB sont donc indispensable. De plus, elles sont parfaitement autorisés dans le contexte avion à partir du moment où elles respectent la réglementation européenne en conservant une puissance d'émission inférieure à -41,3 dBm/MHz.

5.1.2 PROCEDURE DE DEVELOPPEMENT

Cette thèse se concentre sur le développement de la communication entre les capteurs et présente une maquette permettant de valider, au sol sur A340-600, la communication entre capteurs. La transformation de la maquette de validation de concept en prototype aurait nécessité la réalisation d'un ASIC spécifique permettant de réduire sa consommation et sa taille afin de la rendre avionable. De premiers éléments de réalisation sont présentés au chapitre 4. Malheureusement, le prototype ASIC n'a pas pu être fabriqué en raison de contraintes de temps et parce que les partenaires du projet n'ont pas souhaité assumer humainement et financièrement la concrétisation du développement.

5.2 APPLICATION SPATIALE

5.2.1 CONTRAINTES FONCTIONNELLES ET CONTRAINTES D'INTEGRATION

5.2.1.1 TEMPERATURES ET ENVIRONNEMENT

Les jauges de contrainte, ainsi que l'ensemble du système SACER, sont installées sur le satellite à tester au début d'une campagne de tests se déroulant au sol. Le système doit donc être opérationnel dans une plage de température s'échelonnant de 0°C à 30°C. Cependant, la campagne d'essais comprenant de nombreux tests fonctionnels du satellite au cours desquels sont effectués plusieurs cyclages en température, le système doit être capable de fonctionner correctement après une exposition à un environnement thermique évoluant de -200°C à +180°C.

5.2.1.2 FONCTIONNALITES

Le système doit être en capacité de présenter, en temps réel, un état des éléments de mesure, et le concentrateur doit donc être capable d'indiquer si un capteur est défectueux. Il est également recommandé dans les spécifications que chaque nœud puisse établir les causes des problèmes qui pourraient survenir. Enfin, il est nécessaire que le système puisse mesurer l'autonomie de chaque élément susceptible d'être à cours d'énergie, et transmettre l'information en temps réel au concentrateur. L'ensemble de ces données, mesurées au niveau des nœuds, doivent pouvoir être transmises via le lien radio.

Chaque capteur doit être localisable au sein du réseau, et en cas de doute, l'opérateur doit pouvoir vérifier facilement que le capteur affiché sur le concentrateur est bien situé à l'emplacement défini par le plan de câblage. Il est donc nécessaire de développer un moyen d'identification physique de chacun, par exemple au moyen d'une LED et d'offrir, au sein de la trame radio, une possibilité de communication avec le moyen d'identification mis en place.

Les paramètres propres à chaque nœud (fréquence, gain, ...) doivent pouvoir être configurés préalablement au test. Il est nécessaire de pouvoir lire les données TEDS[33] intégrées à chaque élément sensible pour permettre une calibration automatique des mesures. Ces données sont stockées en usine dans chaque élément sensible, et doivent pouvoir être remontées vers le concentrateur via le lien radio.

A la fin de chaque essai, il est demandé que le système produise un rapport présentant les défauts, les avertissements et les erreurs rencontrées au cours de l'essai, y compris au niveau radio. Ce dernier point nécessite donc la mise en place d'un diagnostic de l'état de la communication radio.

5.2.1.3 **GESTION DES DEFAILLANCES**

Le système ne doit poser aucun problème de sécurité des personnes et donc ne permettre aucun branchement erroné. De plus, en cas de défaillance d'un élément, le reste du réseau doit continuer de fonctionner parfaitement. Ainsi, dans l'architecture choisie, si un répéteur ou une branche du réseau cesse de fonctionner, les autres doivent demeurer opérationnels.

5.2.1.4 **CONTRAINTES D'INTEGRATION**

Le système étant destiné à évaluer la réponse mécanique de la structure sur laquelle il est installé, les contraintes en termes de taille et de poids des équipements sont très fortes. Les nœuds directement reliés aux éléments sensibles ne devront ainsi pas dépasser une taille de $10*10*20$ mm³ pour un poids maximum de 20 g. Si le poids de l'élément dépassait cette valeur, la réponse mesurée du satellite ne correspondrait plus à la réponse réelle en l'absence de l'équipement de test. Les systèmes déportés³ peuvent atteindre une taille de $50*50*30$ mm³ et un point de 200 g en raison de leur faible nombre. Enfin, les éléments sensibles pouvant être installés en n'importe quel point à l'intérieur du satellite, il est nécessaire que la longueur du câble reliant le nœud et l'élément sensible puisse être choisie librement par l'opérateur au moment de la pose. La fourchette définie à cet effet s'étend de 3 cm à 3 m.

L'ensemble des matériaux utilisés dans le système développé et destinés à être montés sur la structure du satellite doivent être compatibles avec le standard ECSS-Q-70-71 [36]. Ce point est susceptible d'impacter le choix de la technologie employée pour la réalisation de l'ASIC.

Les jauges de contrainte proprement dites restent installées sur le satellite après l'essai, mais les éléments de type nœud ou répéteur doivent pouvoir être facilement détachés et stockés en vue d'une réutilisation future. Pour autant, aucun élément du système ne doit pouvoir se détacher au cours de l'ensemble des essais réalisés.

5.2.1.5 **NOMBRE DE CAPTEURS ET FREQUENCE D'ECHANTILLONNAGE**

Le nombre de capteurs et la fréquence d'échantillonnage de chacun des essais sont présentés dans le tableau 2. L'essai devant intégrer le plus de capteurs (1000) est aussi celui dont la fréquence d'échantillonnage est la plus faible (1 Hz) et ne constitue donc pas un essai dimensionnant du réseau à développer. L'essai le plus rapide (50 kHz) ne comporte, quant à lui, que 100 capteurs. Aussi, les besoins définis par les applications spatiales sont-ils moins contraignants que pour les applications aéronautiques (800 capteurs pour une fréquence de 22000 Hz).

³ Les systèmes déportés sont nommé « répéteur » dans la suite de cette thèse

TABLEAU 2 : DEFINITION DES CONTRAINTES LIEES AUX CAPTEURS DANS LE CONTEXTE SPATIAL

	DUREE TOTALE (H)	DUREE DE LA PHASE D'ACQUISITION	FREQUENCE D'ECHANTILLONNAGE	NOMBRE DE CAPTEURS
ESSAIS STATIQUES	6	6 heures	1 Hz	2000 jauges de contrainte
ESSAIS DYNAMIQUES EN VIBRATION SUR UN PETIT EQUIPEMENT	8	5 tests de 10 minutes	20 kHz	10 jauges de contrainte et 100 accéléromètres
ESSAIS DYNAMIQUES EN VIBRATION POUR L'ENDURANCE	8	Jusqu'à 5 heures	20 kHz	10 jauges de contrainte et 100 accéléromètres
ESSAIS DYNAMIQUES ACOUSTIQUES	8	5 tests de 1 minute	50 KHz	10 jauges de contrainte et 100 accéléromètres
ESSAIS DYNAMIQUES DE CHOC SUR UN PETIT EQUIPEMENT	8	5 tests de 5 minutes	20 kHz	10 jauges de contrainte et 100 accéléromètres
TEST DE QUALIFICATION VOL	6	6 heures	Quelques Hz	1000 jauges de contrainte

5.2.1.6 AUTONOMIE

La durée des essais réalisés varie fortement en fonction de leur nature. Un essai de structure statique prend ainsi entre une heure et une semaine alors que certains essais de fatigue peuvent durer plusieurs semaines voire une année entière. Les essais dynamiques, quant à eux, sont de plusieurs types ayant chacun une durée assurée. Le tableau 2 résume la durée de chacun des essais. Les essais pouvant avoir lieu dans des enceintes fermées, l'ensemble du système installé à l'intérieur du satellite doit être autonome en énergie et ne pas nécessiter de maintenance physique au cours de la campagne d'essais. S'il s'avère nécessaire de recharger un module, cela ne doit pas demander une intervention physique sur les modules, et sa durée ne doit pas dépasser 6 heures. La consommation du lien radio doit donc être réduite au strict minimum pour éviter de pénaliser l'autonomie du système.

Chaque élément du réseau doit être capable d'indiquer sa durée de vie restante à l'utilisateur. Ainsi, lorsqu'un essai doit être recommencé pour confirmer certaines mesures, l'opérateur peut décider de le réaliser ou non après s'être assuré que les capteurs sans fil ne seront pas défectueux. C'est pourquoi il convient de prévoir un système de mesure de la tension batterie au sein de chaque nœud ainsi qu'un espace dédié à cette remontée d'information dans la trame réseau.

5.2.1.7 SYNCHRONISATION DES MESURES

Le cahier des charges d'Intespace ne précise pas de méthode d'acquisition d'une date de référence. Cependant, le démarrage de l'essai est signalé par un signal TTL émis sur un câble coaxial par le moyen d'essai. Le concentrateur doit être capable de démarrer immédiatement après réception de ce front. Ainsi, le protocole réseau ne devra pas effectuer de phase de découverte du réseau ou de négociation au moment du démarrage de la prise de mesures.

Le cahier des charges du système spatial ne définit aucune contrainte de temps minimum de remontée et d'affichage des données. Ainsi, contrairement au modèle aéronautique, il serait possible d'utiliser une mémorisation des données au niveau de chaque nœud, et de mettre en

place un mécanisme d'accusé de réception pour le contrôle des envois. Dans un souci d'uniformité du développement entre les deux applications, ce procédé ne sera pas pris en compte.

Les mesures doivent être datées avec une précision de $\pm 1\text{ us}$. Les contraintes d'isosynchronicité sont, quant à elles bien plus fortes que pour le système aéronautique. L'isosynchronicité doit être inférieure à 1% pour les fréquences comprises entre 1 Hz et 20 kHz, et de 0,5 us pour les fréquences supérieures à 20 kHz.

5.2.1.8 FREQUENCES DE COMMUNICATION

Le cahier des charges ne donne aucune contrainte sur les fréquences ou les niveaux d'émission utilisables au cours des tests mécaniques qui seront réalisés. Cependant lors d'une campagne complète d'essais satellite, des contraintes s'appliquent sur les émissions à destination, et en provenance du satellite. Les émissions à destination du satellite ne doivent pas dépasser $20\text{ dB}\mu\text{V}\cdot\text{m}^{-1}$ à 1 mètre pour les bandes 290-328, 1626,5 – 1675, 2025 – 2110, 5725 – 7075, 7900 – 8400, 12750 – 14800, 17300 – 18100 et 27000 - 31000 MHz. Les émissions provenant du satellite ne doivent, elles, pas dépasser $5\text{ V}\cdot\text{m}^{-1}$ pour les bandes 1718 - 1759, 2200 – 2290, 2520 – 2670, 3400 – 4200, 4500 – 4800, 7250 – 7750, 10700 – 12750 et 17300 - 22000 MHz. Ces contraintes imposent le développement d'un système de communication à très faible niveau d'émission pour contourner les limites imposées. Cependant dans les niveaux d'émission en provenance de la structure, il convient de tenir compte du fait que le satellite est défini dans le cahier des charges comme une structure métallique presque intégralement fermée. Or, une telle structure forme une cage de Faraday ayant une atténuation de 30 dB. Ainsi, le niveau émis par le module peut être en fait plus élevé que la limitation de niveau mesuré définie à l'extérieur de la structure.

5.2.2 PROCEDURE DE DEVELOPPEMENT

A l'issue des trois années d'étude, un démonstrateur d'émetteurs-récepteurs adapté pouvant être installé à l'intérieur du satellite pour valider les aspects radio a été réalisé. La présente thèse expose la méthode de conception d'une couche physique adaptée à cette application très contraintes et le principe de développement du démonstrateur de concept, mais ne concernera pas l'application de l'ensemble des contraintes associées au système (taille, poids...).

De premiers éléments de réalisation sont présentés au chapitre 4. Malheureusement, le prototype ASIC n'a pas pu être fabriqué en raison de contraintes de temps et parce que les partenaires du projet n'ont pas souhaité assumer humainement et financièrement la concrétisation du développement.

5.3 SYNTHÈSE DES EXIGENCES

Les systèmes à développer sont présentés dans leurs contextes d'utilisation respectifs en figure 10. Sur ces deux figures, les points de mesure sont représentés en vert et le concentrateur en rouge. Les éléments bleus représentent les répéteurs de données.

Pour assurer un développement cohérent, pouvant être appliqué aux deux domaines, une synthèse des exigences établissant un « pire cas », présenté dans le tableau 3, a été établie. La couche physique proposée pourra ainsi s'appliquer indifféremment aux deux domaines. Les contraintes retenues pour le nombre de capteurs, la fréquence d'échantillonnage et les fréquences utilisables, sont celles définies par le projet aéronautique car elles sont les plus exigeantes. En effet, bien que la partie satellite nécessite davantage de flexibilité en raison de la grande variété des essais à réaliser, elle impose des contraintes globalement moins importantes sur la partie communication. En revanche, l'exigence d'isosynchronicité des nœuds est plus importante dans le contexte satellitaire.

Afin que la constitution de ce pire cas ne représente pas un excès d'exigence, certaines exigences n'impactant pas directement la partie communication sans fil ont été volontairement omises malgré leur caractère indispensable pour la réalisation d'un système industrialisable. C'est par exemple le cas de l'accélération, de la température ou de la pression auxquelles les capteurs doivent résister.

Tout système embarqué à bord d'un avion subit nécessairement des contraintes environnementales extrêmement sévères. En opération, le système doit ainsi être capable de fonctionner tout en subissant des accélérations de 8 g dans toutes les directions, ne pas se détacher en cas d'atterrissage d'urgence et doit donc pouvoir supporter un choc de 20 g pendant 11 ms.

L'équipement installé à l'extérieur de l'appareil dans un environnement non pressurisé doit assurer un fonctionnement nominal jusqu'à une altitude de 50 000 pieds (15 240 mètres). A cette altitude maximale de 50 000 pieds, la plus faible pression rencontrée est de 194 hPa. On considère donc que le système doit pouvoir supporter une pression de 100 hPa, correspondant à une altitude de 53 000 pieds (16 154 m). De plus, l'équipement est en contact de l'air extérieur qui peut être un environnement extrêmement humide. Le moment le plus critique intervient à l'occasion du dégivrage ou du nettoyage d'un appareil, lorsque d'importantes quantités de liquide sont projetées à très grande force, empêchant notamment toute communication radio entre les capteurs. C'est pourquoi les émissions radio des nœuds doivent impérativement pouvoir être désactivées pendant ce type d'opération.

Enfin, les contraintes en température sont cruciales. Le système devant avoir un fonctionnement nominal dans une plage de température ambiante allant de -40°C à $+85^{\circ}\text{C}$, le cahier des charges impose une gamme de températures comprises entre -55°C à $+105^{\circ}\text{C}$. La température la plus basse est celle rencontrée par l'appareil à son altitude de croisière, et la limite haute correspond aux conditions imposées par un stationnement prolongé en plein soleil sous un climat quasi désertique ou à une exposition au gaz d'éjection des moteurs. Les variations de température à l'intérieur de ces limites sont de 10°C minimum par minute.

Dans un premier temps, ces contraintes n'impactent pas la partie communication des capteurs. Elles ne constituent un défi technique qu'en ce qui concerne la récupération et le stockage de l'énergie ou le packaging. Il est cependant nécessaire de les prendre en compte lors du choix de la technologie de réalisation de l'ASIC. L'exposition à des températures, des pressions extrêmes ou à des rayonnements cosmiques n'est en effet pas tolérée par toutes les technologies. Si la prise en compte de l'ensemble de ces exigences dès le début du projet peut conduire à un excès d'exigence, les contraintes présentées dans le tableau 3 constituent néanmoins, après examen méticuleux de l'ensemble des documents de spécifications délivrés par les utilisateurs finaux, le

minimum à atteindre pour que le système soit avantageux par rapport aux systèmes filaires existants en regard de l'investissement nécessaire à l'étude.

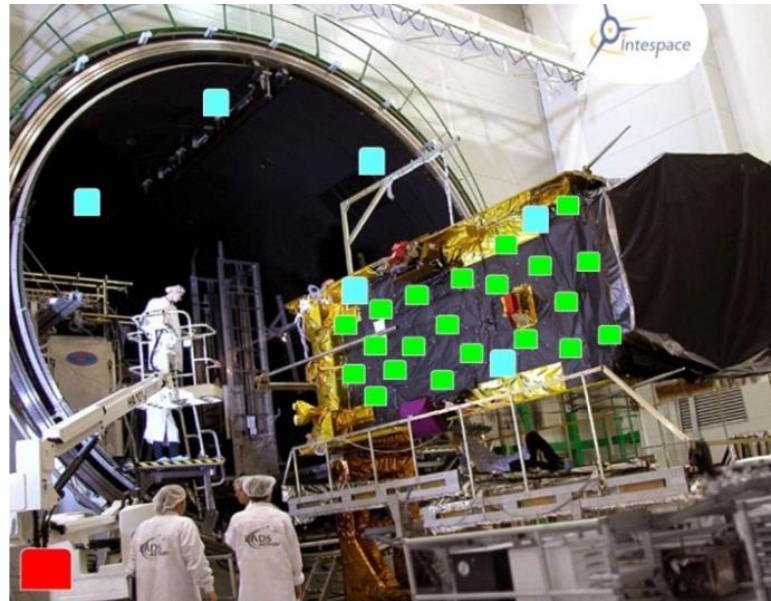


FIGURE 10 : SYSTEME SANS FIL DE MESURE D'UN PROFIL DE PRESSON AUTOUR D'UN AVION ET DE LA REPOSE MECANIQUE D'UN SATELLITE

TABLEAU 3 : SYNTHÈSE DES EXIGENCES DU SYSTÈME

EXIGENCES	VALEURS
NOMBRE DE CAPTEURS	800 répartis sur 2 ailes
FREQUENCE D'ÉCHANTILLONNAGE	22000 Hz
PRECISION DE LA MESURE	16 bits
ISOSYNCHRONICITE	500 ns
BANDE DE FREQUENCE AUTORISEE	Bande ISM ou libre
BANDE DE FREQUENCE INTERDITE	<ul style="list-style-type: none"> - Fréquence des systèmes critiques aéronautiques (ATC 1 GHz, SAT/COM 1.5 GHz et MLS 5 GHz) - Aucune bande large autour de 2,4 GHz et 5 GHz
DISTANCE DE COMMUNICATION	40 mètres
RECONFIGURATION	Gain, tension d'offset, fréquence d'échantillonnage
DIAGNOSTIC	<ul style="list-style-type: none"> - Affichage de l'autonomie restante pour chaque nœud - Affichage des données TEDS - Auto diagnostic de chaque nœud - Repérage d'un capteur après sélection sur l'IHM
AUTONOMIE SOUHAITEE	<ul style="list-style-type: none"> - Jusqu'à 12 heures pour un essai - Campagne d'essais de 6 mois

6 CONCLUSION

La mesure de la pression autour des ailes d'un appareil permet une évaluation précise de son aptitude au vol. Une cartographie à la fois minutieuse et régulière du profil de pression permet d'identifier précisément les zones et les conditions d'apparition de micro-turbulences pouvant conduire au décrochage ou à une surconsommation de carburant. Cette cartographie de l'aile en temps réel permet ainsi de réduire à la fois la consommation énergétique de l'avion, et les vibrations créées par ces micro-décollements du flux d'air qui peuvent être à la fois désagréables pour les passagers et néfastes pour les instruments électroniques embarqués. Dans le monde spatial, une revue de qualification particulièrement rigoureuse est nécessaire pour vérifier que la charge utile d'un satellite ne sera pas endommagée lors du lancement. Cette étape permet de valider l'aptitude d'un satellite à être lancé de façon certaine. Le test des avions ou des satellites ainsi que de toute structure aérodynamique est aujourd'hui une étape extrêmement longue et contraignante, notamment en raison de l'utilisation de systèmes filaires. L'objectif du projet S.A.C.E.R. (Système Autonome Communiquant En Réseau) est donc d'apporter des solutions adaptées aux contraintes liées à l'installation d'un réseau de capteurs filaires.

Le système développé doit intégrer plus de 800 capteurs repartis en deux réseaux distincts, ayant une fréquence d'échantillonnage de 22kHz et pouvant être séparés d'une distance allant jusqu'à 40 mètres. Les mesures, d'une précision de 16 bits, doivent être iso-synchrones à moins de 500 ns. Afin d'éviter toute demande de licence, la communication doit se faire dans un bande libre qui ne perturbe pas les communications aéronautiques critiques. Enfin, pour ne pas pénaliser la durée des essais en vol, le système doit être opérationnel pendant plus de 12 heures, et ce une fois par jour pendant 6 mois.

CHAPITRE II
DES STANDARDS ADAPTES AUX CONTRAINTES DES
RESEAUX METROLOGIQUES ?

Pour répondre à un besoin industriel tel que celui qui nous est présenté ici, il serait contreproductif d'envisager le démarrage du développement à partir d'une page blanche. La problématique des réseaux de capteurs est aujourd'hui un sujet particulièrement populaire [37] et de nombreux standards visant à interconnecter sans fil des appareils autonomes en énergie coexistent déjà. L'objectif de cette partie est d'examiner les plus populaires de ces protocoles afin d'identifier celui qui répondrait au mieux aux besoins exprimés ou à minima, étudier, dans ces différentes techniques, les éléments qui pourraient être utiles dans le cadre de notre développement. Pour autant, on ne prétend pas décrire chaque protocole de façon exhaustive, mais plutôt mettre en lumière les plus importants mécanismes qui les régissent, ainsi que ceux qui seraient susceptibles d'offrir des pistes d'implémentation.

1 DES STANDARDS A FAIBLE CONSOMMATION MAIS AUX DEBITS LIMITES

1.1 L'ORGANISATION DE L'IEEE POUR LA DEFINITION DE STANDARDS

L'Institute of Electrical and Electronics Engineers (IEEE) [38] est un organisme de référence pour la proposition et l'élaboration de standards dans le domaine des systèmes de communication sans fil. Cet organisme établit, via sa branche SA (Standards Association) [39], des standards dans de très nombreux domaines tels que l'énergie, la gestion des risques, et bien entendu, les communications.

Les standards concernant les réseaux locaux ou métropolitains sont regroupés sous l'appellation « 802 ». Au sein de 802 existent de nombreux groupes de travail remplissant chacun des missions spécifiques. Parmi les plus célèbres, on retrouve le groupe 802.11 [40], chargé des réseaux locaux sans fil (Wireless-LAN). Ce dernier établit des standards permettant la création d'un réseau informatique d'échange de données via des connexions sans fil haut débit entre appareils très peu contraints en énergie. Il ne tient par conséquent que peu de cas des contraintes énergétiques, qui sont une préoccupation majeure pour notre application.

Le déploiement de protocoles très économes en énergie est aujourd'hui un enjeu fondamental pour le développement de l'Internet des objets ou des réseaux des capteurs. C'est notamment pour répondre à ce besoin que l'IEEE a créé le groupe 802.15 [41]. Ce groupe a pour objectif la définition de standards permettant la connexion entre des systèmes peu éloignés (distants de quelques mètres) à faible puissance d'émission, constituant des réseaux personnels sans fil (WPAN : Wireless Personal Area Network). Les appareils des réseaux WPAN sont pour la plupart portables, avec une autonomie particulièrement limitée, si bien que les contraintes énergétiques pèsent lourd dans la définition des moyens de d'interconnexion entre les systèmes. Ce groupe est donc celui qui est susceptible de fournir les standards les plus intéressants pour notre étude dont l'objectif est le développement d'une couche physique sans fil pour un réseau de capteurs autonomes en énergie.

Le groupe de travail 802.15 est divisé en sept sous-groupes poursuivant chacun un objectif distinct. Ces objectifs sont détaillés en annexe 1.

Les groupes dont les travaux sont susceptibles de servir de base aux développements visés par le monde aéronautique et spatial, sont ainsi le groupe 802.15.1 avec le standard Bluetooth, et le groupe 802.15.4 avec le standard ZigBee et ses dérivés.

1.2 802.15.1 : BLUETOOTH

Bluetooth⁴ figure parmi les standards de communication les plus populaires dans le domaine des réseaux personnels sans fil (WPAN) et vise à permettre l'interconnexion d'appareils électroniques les plus divers comme des ordinateurs, téléphones portables, claviers, souris, kits main libres etc. Edité par le Bluetooth « Special Interest Group » (SIG) [43], créé en 1999 suite aux travaux initiés par la société Ericsson, il avait pour objectif premier d'offrir une alternative sans fil à la connexion série RS232. Suite à la création du SIG, qui incluait alors, en plus d'Ericsson, des sociétés comme IBM, Intel, Nokia et Toshiba, la première spécification est publiée en juillet 1999. La version actuelle de la norme a été publiée le 30 juin 2010 sous la référence 4.0 [44].

1.2.1 ALLOCATION DE FREQUENCE ET DEBITS [44]

Bluetooth opère dans la bande libre ISM des 2,4 GHz, entre les fréquences de 2,400 GHz et 2,4835 GHz. Cette plage de fréquence est découpée en 79 sous-canaux d'un mégahertz chacun, débutant à la fréquence de 2,402 GHz. Pour des raisons de conformité avec les règles d'émission hors bande définies par certains pays, la bande basse (entre 2,400 et 2,402 GHz) et la bande haute (entre 2,4805 et 2,40835 GHz) ne sont pas utilisées et sont définies comme des bandes de garde.

La modulation standard, définie dans la première version de Bluetooth publiée en 1999, est la modulation GFSK[45] (Gaussian Frequency-Shift Keying). Il s'agit d'une modulation classique de fréquence dans laquelle la valeur du bit 0 est représentée par la fréquence porteuse (f_c) moins une fréquence de déviation (f_d), et où la valeur du bit 1 est représentée par $f_c + f_d$. En GFSK, les valeurs $f_c - f_d$ et $f_c + f_d$ sont, préalablement à l'envoi dans le canal, passées à travers un filtre gaussien afin d'adoucir les transitions entre ces valeurs. En limitant les émissions hors bande, cette opération a pour effet l'adoucissement des variations de fréquence et par conséquent la réduction du spectre utilisé. Cette modulation permet d'atteindre le débit basique (Basic Rate) en Bluetooth, c'est-à-dire 1Mbit/s.

La version 2.0 [46] du standard introduit un mode appelé EDR (Enhanced Data Rate) qui utilise une modulation de phase (Phase Shift Keying PSK) en deux variantes : la modulation $\pi/4$ -DQPSK permettant d'atteindre un débit de 2 Mbits/s, et la modulation 8-DQPSK pour un débit de 3 Mbits/s. Cette augmentation de débit se fait bien entendu au prix d'une complexité accrue de la modulation et donc d'une légère surconsommation électrique. En revanche, à trafic réseau constant, un module en version EDR transmet les données plus rapidement et est donc moins longtemps en fonctionnement, ce qui permet aux concepteurs de la norme d'annoncer une consommation réduite de moitié.

⁴ Le terme Bluetooth provient du surnom du deuxième roi du Danemark, Harald 1er, qui a unifié les états scandinaves au Xème siècle. L'objectif de Bluetooth était d'unifier le monde du PC et le monde des communications sans fil.[42]

La portée radio théorique du protocole dépend de la puissance d'émission du module, qui est découpé en trois classes. Les modules de classe I peuvent émettre jusqu'à 100 mW (20 dBm) et ont une portée théorique de 100 m. Les modules de classe II ont une puissance d'émission limitée à 2,5 mW, ce qui réduit la portée à une dizaine de mètres. Enfin, les modules de classe III ont une portée de quelques mètres seulement à cause de leur puissance d'émission limitée à 1 mW. En raison du meilleur rapport performances/consommation électrique, les produits développés aujourd'hui sont presque exclusivement de classe II.

1.2.2 FHSS [44]

Afin d'éviter le phénomène d'évanouissement de fréquence et de minimiser les interférences avec les autres systèmes coexistant dans cette bande très populaire, Bluetooth utilise une technique de saut de fréquence (Frequency Hopping Spread Spectrum) qui repose sur l'emploi de différentes porteuses utilisées les unes après les autres selon une séquence pseudo aléatoire. Dans le cadre de Bluetooth, le système change de fréquence 1600 fois par seconde (soit un saut toutes les 625 μ s environ). La séquence pseudo aléatoire utilisée étant définie dans la norme et donc connue de tous, elle ne permet pas d'empêcher l'écoute non autorisée des transmissions, mais contribue, en cas de brouillage d'une fréquence précise, à éviter la perte de l'intégralité du message envoyé et ainsi à assurer une très grande robustesse aux interférences.

1.2.3 ARCHITECTURE MAITRE/ESCLAVE ET PICONET [44]

L'ensemble du système Bluetooth repose sur une architecture maître/esclave. Le réseau, appelé piconet, est composé d'un maître qui peut être connecté à un ou plusieurs esclaves, dont le nombre peut aller jusqu'à sept. L'ensemble des esclaves utilise l'horloge du maître. En réalité, chaque nœud Bluetooth utilise son horloge propre qu'il recale avec celle du maître par l'intermédiaire d'un système d'offset calculé à partir de tops d'horloge envoyés toutes les 312,5 μ s par le maître. A partir de cette valeur, un slot est défini comme l'espace compris entre trois tops, c'est-à-dire qu'un slot a une durée de 625 μ s. Enfin, deux slots définissent une paire de slots dont la durée est de 1250 μ s.

Tous les liens Bluetooth sont bidirectionnels et utilisent la technique de partage temporel (TDD : Time Division Duplex) pour la répartition entre émetteur et récepteur. Au sein d'une paire de slots, le maître utilise les slots pairs pour envoyer des informations, et les slots impairs pour en recevoir. Les esclaves, quant à eux, utilisent l'ordre inverse, envoyant leurs informations dans les slots impairs et écoutant dans les slots pairs. Même si l'esclave peut se voir autoriser trois ou cinq slots d'affilée pour envoyer un paquet important, il n'émettra que dans les slots impairs. Cette technique permet d'assurer une synchronisation permanente des données entre le maître et ses esclaves tout en simplifiant les règles d'utilisation du canal. Le maître centralise toutes les demandes et maîtrise ainsi l'ensemble des données échangées dans son piconet.

Bien que le protocole prévoit qu'un nœud maître puisse devenir esclave dans le but de créer une passerelle entre différents piconets, il s'agit d'une démarche extrêmement complexe qui n'est donc que très rarement utilisée dans les réseaux Bluetooth. La connexion de plus de huit éléments

grâce au protocole Bluetooth n'est donc que très rarement envisageable. Ce dernier point constitue un frein majeur à l'utilisation de ce standard dans notre application.

1.2.4 AUGMENTATION DU DEBIT PAR AMP [44]

Bluetooth offre un débit pouvant atteindre 3 Mbits/s, ce qui est relativement élevé pour un protocole sans fil basse consommation utilisé pour le lien entre une oreillette et un smartphone, mais très inférieur à ce qui est nécessaire pour notre application. Afin d'améliorer ce débit, le Bluetooth SIG propose, depuis la version 3.0 du standard publié en 2009, un technique appelée AMP (Alternate MAC/PHY). Cette technique permet au dispositif d'utiliser d'autres couches physiques et couches MAC pour le transport de données. La couche radio Bluetooth précédemment décrite est toujours utilisée pour la découverte du réseau, pour la première connexion entre le maître et l'esclave ainsi que pour la configuration. Lorsqu'une grande quantité de données doit être transférée, un autre protocole radio adapté aux hauts débits est utilisé. Dans la version 3.0, le protocole alternatif utilisé est le Wifi mais la couche AMP permet, théoriquement, d'utiliser n'importe quel autre protocole. L'association du Bluetooth et du Wifi permet d'assurer un lien à basse consommation dans chacune des phases de négociation et d'établissement de connexion, et d'utiliser le lien haut débit pour le transfert de données. Cette idée met en évidence l'intérêt d'un recours à deux technologies distinctes, l'une pour la partie connexion du réseau, et l'autre pour le transfert de données. Cependant le standard utilisé durant le transfert de données n'étant pas originellement économe en énergie, la consommation électrique globale du module est d'autant plus impactée que la quantité de données à échanger est importante.

1.2.5 BLUETOOTH LOW ENERGY [44]

Afin de répondre au besoin croissant de voir diminuer la consommation des produits fonctionnant sur batterie, Bluetooth publie, en juin 2010, la version 4.0 de la norme Bluetooth [44]. Elle intègre une innovation majeure sous la forme d'un mode très faible consommation appelé LE (Low Energy). Cette version, qui n'était pas disponible au lancement de cette étude, n'a pas pu être prise en considération dans les premiers temps du projet.

Pour générer une économie conséquente sur la consommation des modules, les efforts se sont concentrés sur la résolution des problèmes de latence inhérents à la technologie Bluetooth. En effet, les mécanismes de connexion et de découverte de réseaux au sein du standard Bluetooth classique sont très complexes et sont par conséquent de grands consommateurs de temps. Il faut ainsi environ 100 ms pour qu'un module puisse établir une communication. Ce qui empêche, par exemple, la mise en sommeil du nœud entre deux émissions, technique commune visant à réduire la consommation d'un système. Les progrès apportés par la version LE se retrouvent donc principalement dans la gestion protocolaire et permettent à des systèmes ayant un faible rapport cyclique, c'est-à-dire n'ayant que de rares et peu nombreuses données à émettre, de les transmettre efficacement. Selon le Bluetooth SIG, le temps de démarrage à partir d'un état non connecté est ainsi réduit à environ 6 ms. La couche physique utilisée est identique à celle des versions précédentes de Bluetooth et offre toujours un débit d'1 Mbits/s avec une limitation à 8 nœuds par maître.

Comme nous l'avons vu dans le premier chapitre, la fréquence d'échantillonnage et la précision des données à transmettre dans un réseau métrologique pour l'aéronautique et le domaine spatial sont très importantes. Ainsi, le débit de la couche physique doit être particulièrement élevé. Le standard Bluetooth, qui n'offre qu'un nombre de nœuds très limité, n'est donc pas directement applicable dans le cadre de notre étude. En revanche, certaines techniques, comme la gestion centralisée via un maître qui synchronise le réseau, permettant ainsi aux nœuds de recalibrer leurs horloges, l'augmentation du débit par le changement de technique de modulation, ou encore la structure de type TDMA, seront des pistes potentiellement porteuses par la suite.

1.3 802.15.4 : ZIGBEE

Dès la fin des années 1990 et les prémices du déploiement du protocole Bluetooth à grande échelle, nombre d'ingénieurs pointent du doigt les limites de cette solution. De nombreux systèmes, et tout particulièrement les réseaux de capteurs, ne peuvent recourir à la technologie Bluetooth, et ce pour trois raisons principales. D'abord, la consommation des modules Bluetooth, particulièrement importante, est incompatible avec des systèmes de petite taille et autonomes en énergie. Ensuite, la limitation du nombre de nœuds dans un réseau, ainsi que la grande complexité induite par l'association de plusieurs réseaux, sont fortement problématiques. Enfin, les réseaux de capteurs nécessitent un réseau auto organisé qui ne peut pas reposer sur une relation maître-esclave comme le fait Bluetooth.

C'est sur ce triple constat que l'IEEE décide de créer le groupe 802.15.4 et le charge de proposer une solution adaptée.

En mai 2003, le groupe publie le standard 802.15.4-2003 [47]. Mettant alors à profit les apports du groupe de travail IEEE, plusieurs intégrateurs de systèmes de surveillance et développeurs de solutions radio, s'associent au sein de la ZigBee Alliance [48]. L'objectif de cette association à but non lucratif est, selon ses propres termes, d'offrir « une plus grande liberté et flexibilité pour un monde plus durable et plus intelligent »⁵. Cette déclaration ambitieuse est le reflet de l'objectif que se fixe ZigBee : devenir un standard universel dans le domaine des réseaux de mesure ou de capteurs. Nous verrons, dans une description détaillée du standard, comment cette aspiration à l'universalité et à la simplicité se traduit au sein de ZigBee par des mécanismes qui s'avèreront particulièrement utiles dans le développement décrit ici. La ZigBee alliance a présenté son premier standard, connu sous le nom de ZigBee-2004, en juin 2005. Après des améliorations proposées en 2006, le standard ZigBee-2007 est aujourd'hui celui qui fait référence.

Les deux couches les plus basses du protocole ZigBee, c'est-à-dire la couche physique, dont le rôle est d'assurer la transmission des signaux entre les membres du réseau, et la couche de contrôle d'accès au support (MAC), chargée de la détection des erreurs de transmission, de la délimitation des trames envoyées et de la gestion du partage du media physique (quand ce dernier est partagé), sont construites selon les propositions du groupe 802.15.4 de l'IEEE.

1.3.1 ALLOCATION DE FREQUENCE ET DEBITS [50]

Conformément à IEEE 802.15.4, ZigBee est capable de travailler sur trois bandes de fréquence ISM ne nécessitant pas de licence. Pour chacune de ces bandes autorisées, le protocole définit, en

⁵ « Leveraging our global perspective, we work together to develop standards that ultimately deliver greater freedom and flexibility for a smarter, more sustainable world »[49].

fonction de la largeur de la bande, un certain nombre de canaux de communication. Dans la version 2007 du protocole, on trouve un seul canal de communication entre 868 MHz et 868,6 MHz, 30 canaux entre 902 et 928 MHz, et enfin 16 canaux entre 2400 MHz et 2483,5 MHz. Comme présenté dans le tableau 4 extraite de [50], la modulation est toujours une modulation de phase dont l'ordre dépend de la bande de fréquence. Ainsi, pour les bandes basses 868MHz et 915MHz, la modulation de porteuse standard est la modulation BPSK (Binary Phase-Shift Keying). Elle utilise deux états de phase, chacun associé à un bit à transmettre, si bien que chaque symbole transporte un seul bit. Cette modulation, extrêmement robuste, permet d'atteindre un débit de 20 Kbits/s à 868 MHz et de 40 Kbits/s à 915 MHz.

TABLEAU 4 : CARACTERISTIQUES DE LA MODULATION ZIGBEE EN FONCTION DES BANDES DE FREQUENCE UTILISEES[50]

PHY (MHz)	Frequency band (MHz)	Spreading parameters		Data parameters		
		Chip rate (kchip/s)	Modulation	Bit rate (kb/s)	Symbol rate (ksymbol/s)	Symbols
868/915	868–868.6	300	BPSK	20	20	Binary
	902–928	600	BPSK	40	40	Binary
868/915 (optional)	868–868.6	400	ASK	250	12.5	20-bit PSSS
	902–928	1600	ASK	250	50	5-bit PSSS
868/915 (optional)	868–868.6	400	O-QPSK	100	25	16-ary Orthogonal
	902–928	1000	O-QPSK	250	62.5	16-ary Orthogonal
2450	2400–2483.5	2000	O-QPSK	250	62.5	16-ary Orthogonal

O-QPSK (Offset Quadrature Phase-Shift Keying), la modulation utilisée à 2,4 GHz, est directement dérivée de la modulation QPSK (Quadrature Phase-Shift Keying) traditionnelle. Ce type de modulation à quatre états de phase présente l'avantage de transporter deux bits sur chaque symbole, soit un débit doublé par rapport à une modulation BPSK, tout en conservant un taux d'erreur identique. L'émetteur et le récepteur sont certes très légèrement plus complexes en QPSK qu'en BPSK, notamment parce que le signal de sortie nécessite désormais une voie une I et une voie Q, mais la différence est tout à fait négligeable avec les circuits numériques actuels. L'inconvénient majeur de la modulation QPSK est que le changement de phase entre deux symboles successifs peut atteindre 180 degrés. L'O-QPSK décale les deux voies I et Q d'une demi période, comme présenté en figure 11, extraite de [50], si bien qu'elles ne changent plus d'état au même moment, provoquant ainsi une transition de phase de 90 degrés au maximum entre un symbole et le symbole suivant. Enfin, cette technique nécessite une quantité d'énergie de transmission légèrement moindre par rapport au schéma traditionnel de modulation QPSK. La figure 12, extraite de [50], présente les deux voies d'un signal modulé en O-QPSK après mise en forme par un filtre sinusoïdal.

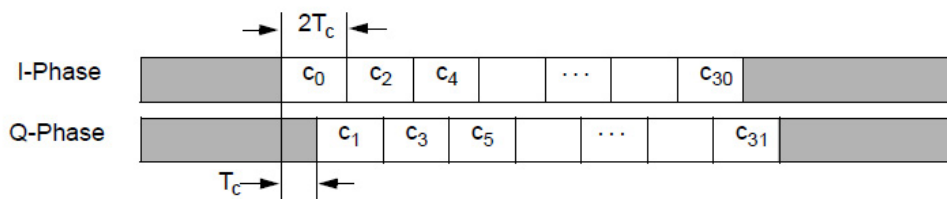


FIGURE 11 : MODULATION O-QPSK [50]

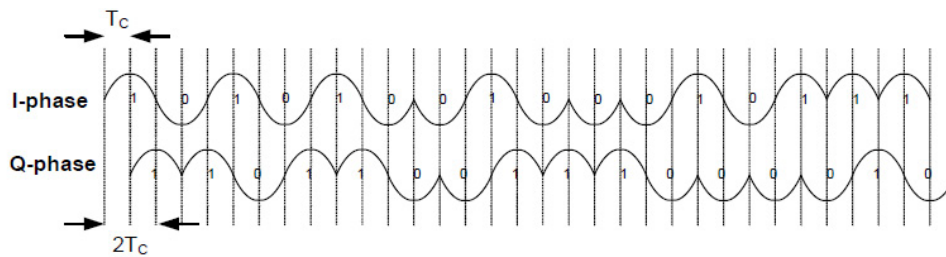


FIGURE 12 : SIGNAL BANDE DE BASE O-QPSK MISE EN FORME PAR UN FILTRE SINUSOIDAL [50]

Ce choix de conception, allié à l'utilisation de canaux de 5 MHz (la bande passante effectivement utilisée étant de 2 Mhz) et à un étalement de spectre (présenté dans la partie suivante), permet aux nœuds d'atteindre une vitesse de transfert allant jusqu'à 250 Kbits/s, pour une consommation énergétique raisonnablement faible. Ce débit, qui est bien entendu une valeur théorique, sera, en pratique, inférieur sur un réseau ZigBee en raison des overheads et des délais de communication. L'objectif fixé par le groupe de travail 802.15.4 est d'atteindre une distance de 10 à 75 mètres entre deux nœuds avec une puissance d'émission de 0dBm (1mW).

1.3.2 DSSS, CSMA-CA ET GTS [50]

Pour obtenir un système relativement résistant aux interférences, qui peuvent être particulièrement importantes dans les bandes ISM du fait de leur grande popularité, le standard a recours à la technique DSSS (Direct Sequence Spread Spectrum) pour moduler l'information avant son envoi. Cette technique dite « d'étalement de spectre à séquence directe », également utilisée dans la technologie Wifi, consiste à multiplier les symboles à transmettre par une séquence pseudo aléatoire appelée « code d'étalement » et dont le débit est supérieur à celui des symboles. Cette opération vise à augmenter la largeur du spectre du signal transmis puisque celui-ci dépend alors directement de la séquence du code et non plus de la séquence des données. L'augmentation de la bande passante utilisée permet à la fois une réduction de la densité spectrale de puissance du signal et une plus grande immunité aux interférences grâce à une augmentation de la diversité spectrale.

Pour assurer une certaine robustesse aux interférences provoquées par l'émission simultanée d'informations émanant de plusieurs utilisateurs différents, 802.15.4 recourt à deux techniques appelées CSMA-CA (Carrier Sense Multiple Access-Collision Avoidance) et GTS (Guaranteed Time Slots).

La technique CSMA-CA est utilisée dans de nombreux systèmes de communication, qu'ils soient filaires ou sans fil. Chaque nœud écoute le canal de communication (dans notre cas l'air) avant de procéder à une émission. Si le niveau d'énergie détecté dans le canal est supérieur à un seuil prédéfini, le nœud attend une durée aléatoire avant de procéder à l'écoute et n'émet ainsi son message que lorsque le canal lui apparaît libre de toute communication. Cette technique est parfaitement adaptée aux systèmes basse consommation car elle est très simple et ne nécessite ni mécanisme complexe, ni échange de données pour opérer une demande d'autorisation d'émission. L'inconvénient de la méthode réside cependant dans l'absence de maîtrise sur le délai entre l'élaboration du message et son envoi effectif. Dans le cadre de systèmes temps réel avec de fortes contraintes, ce qui est le cas de notre application, ce dernier point peut en effet devenir gênant.

Afin de contourner ce problème, 802.15.4 recourt à la technique GTS, qui utilise un nœud coordinateur attribuant des créneaux d'émission à chaque nœud du réseau. Ainsi, chacun doit faire une demande d'émission auprès du coordinateur qui répond en indiquant quel slot lui est réservé. Ce type de technique présente l'inconvénient de nécessiter un échange de données préalable à chaque message, ce qui surcharge inutilement le réseau et réduit par conséquent la durée de vie des nœuds en imposant deux transmissions et une réception pour chaque message à envoyer. En revanche, le nœud central étant arbitre de tous les échanges, cette technique offre l'avantage d'éviter toute collision entre messages de données.

1.3.3 ARCHITECTURE RESEAU ET TYPE DE NŒUDS [50]

Le standard définit deux types de nœuds distincts. Les nœuds FFD (Full Function Device) d'abord, implémentent la totalité de la spécification et peuvent servir de nœuds coordinateurs. Ils sont capables de communiquer avec n'importe quels autres nœuds du réseau et de relayer des messages. Les nœuds RFD (Reduced Function Device) ensuite, constituent, comme leur nom l'indique, une version simplifiée du FFD. Entités allégées visant une diminution de la consommation énergétique et une utilisation réduite de mémoire pour le microcontrôleur, les nœuds RFD n'intègrent que le minimum de fonctions de communication. Ils ne peuvent communiquer qu'avec des nœuds FFD et ne peuvent donc pas servir de coordinateur de réseau. Ainsi, si un nœud FFD n'a que des nœuds de même type à sa portée radio, il lui est impossible de partager un message. Par exemple, un capteur embarqué sera RFD et alimenté sur batteries, alors qu'une unité centrale de traitement, alimentée par une source énergétiquement non contrainte sera FFD et intégrera des fonctions de routage.

Selon la définition établie par l'IEEE, chaque nœud est identifié par une adresse unique codée sur 64 bits pour permettre la coexistence d'un grand nombre de nœuds. Dans certaines conditions, un identifiant court sur 16 bits peut être utilisé pour réduire les volumes de données échangées.

Le standard 802.15.4 ne définissant que les couches physiques et couches de liaison, il n'existe donc pas de mécanisme de saut multi nœud, et seules les communications directes entre deux nœuds sont décrites.

Le réseau constitué par les nœuds peut être construit en étoile (star network) ou en point à point (peer to peer). Le réseau en étoile est le plus structuré. Un nœud central y joue le rôle de coordinateur et centralise ainsi l'ensemble des communications. De ce fait, un nœud ne peut communiquer qu'avec le nœud central qui prend, si nécessaire, la décision de redistribuer les informations vers les autres nœuds. En revanche, dans le cadre des réseaux point à point, les communications peuvent s'effectuer entre deux nœuds quelconques. Le réseau est alors auto-organisé et permet de créer un système ad hoc.

1.3.4 SYSTEME ECONOMIQUE EN ENERGIE ET BAS COUT [50]

La préoccupation principale du groupe 802.15.4 était d'améliorer la durée de vie de systèmes autonomes en énergie, et donc l'établissement d'un système de communication basse consommation. Le faible rapport cyclique, lié au fait que le réseau ZigBee est destiné à des nœuds

n'ayant que de rares et peu nombreuses données à émettre, permet à la puce de rester en veille jusqu'à 99% du temps. Comme dans tout système radio économe en énergie, la fonction d'émission de la puce n'est activée que lorsque des données doivent être transmises.

Cependant, il est généralement nécessaire d'activer en permanence les fonctions de réception afin de recevoir à tout moment les informations transmises par les autres nœuds. Dans le cadre du groupe 802.15.4, la fonction de réception d'un RFD peut être désactivée la plupart du temps et n'être activée qu'à de rares occasions. Si le système utilise un coordinateur (réseau en étoile), le module de réception est réveillé au cours d'un créneau particulier utilisé par le maître pour envoyer des informations. Ensuite, selon la nature des données reçues, le nœud pourra être réveillé pour une durée définie, ou au contraire se remettre en veille. Cette technique sera à la base de l'architecture de la couche de synchronisation du réseau utilisée.

La technologie ZigBee vise à offrir une solution simple et très peu onéreuse. Ainsi, l'hypothèse commune à tous les développements repose sur l'utilisation du plus grand nombre de circuits numériques possible. En effet, la production de circuits numériques spécifiques (ASIC) en très grande série n'engendre qu'un faible coût de revient à la puce. Or, c'est dans le cas où les systèmes sont rendus plus complexes par l'ajout de composants externes analogiques à la puce numérique que leur coût augmente. C'est donc en privilégiant au maximum les composants numériques que l'on se rapproche d'une radio entièrement numérique, c'est-à-dire du moins coûteux des systèmes développables en grande série. Cette idée est similaire à celle revenant à utiliser une technologie FPGA pour le démonstrateur de notre application. Ainsi la réalisation d'ASIC économes en énergie et à faible coût dans le cadre d'une industrialisation de masse sera facilitée.

1.3.5 NŒUDS ZIGBEE

Le réseau ZigBee repose sur l'existence de trois types de nœuds différents :

- Le coordinateur, qui est le maître du réseau, dirige et contrôle l'ensemble des échanges et sert de passerelle avec les autres réseaux (Ethernet par exemple). Un réseau ZigBee ne peut comprendre qu'un seul nœud coordinateur.
- Les routeurs, qui servent au transfert des données entre les différents nœuds. Ces deux premiers types de nœuds exerçant des fonctions majeures au sein du réseau, ils ne peuvent être mis en veille et doivent être alimentés en permanence.
- Enfin, les terminaux sont les nœuds dont les fonctions sont les plus limitées, mais ils présentent l'avantage d'avoir une consommation particulièrement faible. Les terminaux ne peuvent ainsi communiquer qu'avec leur nœud parent, qui peut être soit un routeur, soit le coordinateur. Etant donné qu'ils n'exercent aucune fonction centrale, ils peuvent demeurer en veille durant de longues périodes et ainsi bénéficier d'une durée de vie importante qui fait la force du protocole ZigBee.

Nous verrons dans le chapitre 4 que cette structure, permettant de réduire au maximum la charge au niveau des nœuds terminaux autonomes en énergie, est similaire à celle qui est proposée pour les réseaux métrologiques.

Pour finir, l'une des particularités de ZigBee est de permettre un réveil du module et un rapide accrochage (moins de 30 ms) des nœuds sur le réseau, qui peuvent ainsi se mettre en veille aussi souvent que possible, même lors d'intervalles très courts.

L'examen détaillé des protocoles basse consommation les plus populaires aujourd'hui a permis de mettre en évidence les limites de chacun d'entre eux et de conclure à l'impossibilité d'y recourir pour le développement de notre application. Le défaut majeur de ces solutions réside dans leurs débits très inférieurs aux 100 Mbits/s nécessaires à l'application aux réseaux métrologiques aérospatiaux. Il n'est cependant pas indispensable de partir d'une page blanche, et plusieurs techniques mises en place dans les protocoles décrits, comme l'organisation des réseaux ou encore l'intérêt du tout numérique, sont des bases de travail particulièrement opportunes.

1.4 D'AUTRES STANDARDS POUR LES RESEAUX DE CAPTEURS ET LES RESEAUX METROLOGIQUES

De nombreux autres standards ont été créés, principalement à partir de ZigBee, pour répondre aux besoins particuliers de certaines applications. Nous présenterons ici les protocoles 6LoWPAN et Wireless HART, basés sur 802.15.4, ainsi que les protocoles DASH7 et ANT, qui utilisent une couche physique spécifique. Les solutions propriétaire, pour lesquelles aucune information relative aux choix effectués n'est disponible, ne sont pas présentées.

1.4.1 6LoWPAN : IPv6 POUR RESEAUX DE CAPTEURS

Le protocole 6LoWPAN [51] (IPv6 over Low power Wireless Personal Area Networks) définit les mécanismes d'encapsulation et de compression des entêtes du protocole IPv6 afin que ce dernier puisse être envoyé sur une couche physique de type ZigBee. En effet, le protocole IP est extrêmement utilisé pour la connexion Internet de divers appareils, mais ses entêtes ont une taille de 40 octets auxquelles il convient d'ajouter les entêtes de la couche transport, soit 20 octets pour TCP ou 8 octets pour UDP. Ainsi, comme présenté en figure 13, la longueur de la trame ZigBee étant de 127 octets, la place disponible pour les données n'est que de 33 octets dans le cadre du protocole UDP et de 21 octets pour le protocole TCP.

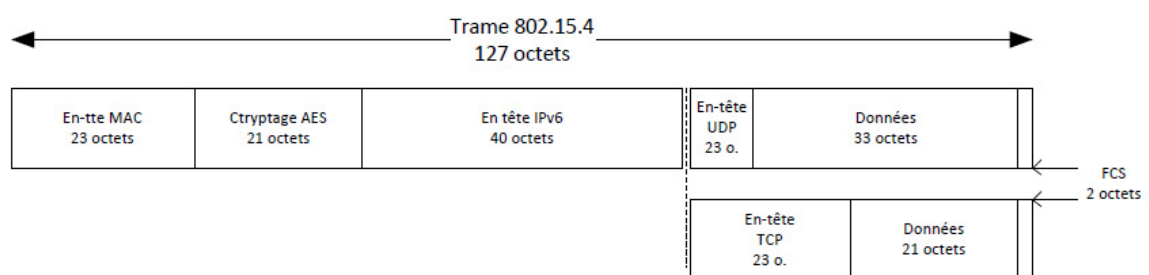


FIGURE 13 : ENCAPSULATION D'UNE TRAME IPv6 SUR UNE TRAME 802.15.4

Pour assurer la transmission d'une trame IPv6, la longueur disponible pour le champ de données doit être au minimum de 1280 octets. Le protocole 6LoWPAN propose des mécanismes de fragmentation/réassemblage, de compression d'entête et d'auto-configuration IP visant à autoriser la transmission des trames IPv6 sur une couche radio de type ZigBee. Cependant, la couche physique utilisée étant de type ZigBee, elle n'offre qu'un débit très inférieur à notre besoin, de l'ordre de 250 Kbits/s.

1.4.2 WIRELESS HART : RESEAUX POUR BUS DE TERRAIN SANS FIL

Le protocole Wireless HART [52] est un protocole sans fil basé sur HART (Highway Addressable Remote Transducer), créé en 2007 dans l'intention de servir au bus de terrain et de remplacer progressivement le protocole HART. WHART se base sur la pile ZigBee pour sa partie radio, mais pour atteindre les objectifs propres au bus de terrain, des modifications ont été effectuées sur celle-ci afin d'assurer davantage de déterminisme et de fiabilité. Le protocole WHART utilise la même bande de fréquence (2,4 GHz) et les mêmes canaux que ZigBee, mais implémente un mécanisme de saut entre les canaux, chaque paquet étant en effet émis sur un canal différent pour gagner en fiabilité. Au niveau de la couche MAC, le protocole WHART utilise un principe TDMA selon lequel un créneau temporel (10 ms) est alloué individuellement à chaque nœud au cours d'une transmission. Ce principe qui, contrairement au CSMA/CA de ZigBee, permet d'assurer le déterminisme des communications, sera repris dans notre développement pour assurer l'isochronicité de tous les nœuds.

Le protocole WHART utilise un réseau complètement maillé au sein duquel chaque nœud est susceptible de devenir un routeur en fonction de l'état des autres nœuds. Ainsi, si un nœud est défaillant, le réseau est en capacité de se réorganiser automatiquement, limitant de ce fait les pertes de données. Pourtant, bien que cette technique soit théoriquement très attrayante, en pratique, le nœud qui devient répéteur voit son temps d'utilisation augmenter, réduisant alors son autonomie. En conséquence, cette méthode n'est pas déployable dans notre réseau de capteurs. De plus, le débit du protocole WHART étant identique à celui de ZigBee (250kbts/s), il ne peut pas être déployé dans le cadre de bus de terrain haut débit comme ceux qui nous intéressent ici.

1.4.3 DASH7 : RESEAUX A BASSES FREQUENCES POUR LES LONGUES DISTANCES

Le standard DASH7 [53] est un protocole de communication open source encore très peu répandu qui utilise la bande de fréquence libre 433 MHz et annonce une portée supérieure à 2 km grâce à une moindre atténuation du signal à cette fréquence. L'utilisation de la bande de fréquence ISM 433 MHz est possible dans le monde entier et présente l'avantage de permettre aux ondes de pénétrer dans l'eau et le béton. Les couches protocolaires sont très simples [54], ce qui engendre une réduction considérable de la consommation. De plus, ce standard propose un mécanisme de réveil radio. Ainsi, contrairement à ce qui se passe pour Zigbee, le récepteur n'a pas à être activé régulièrement mais uniquement lorsqu'une communication doit être établie. Ce mécanisme est particulièrement intéressant pour réduire la consommation globale du système, et permet au concepteur d'annoncer une consommation moyenne d'un nœud située entre 30 et 60 uW, soit dix fois moins que ZigBee. Cependant, cette méthode introduit une latence importante due au temps d'envoi de l'information de réveil au nœud, qui n'est disponible qu'entre 2,5 et 5 secondes après la demande. Dans notre application, où le temps réel constitue une contrainte importante et où les données à transmettre sont disponibles toutes les 45 us, le recours à ce type de mécanisme n'est donc pas envisageable. De plus, le débit annoncé n'est que de 200 Kbits/s. Alors, bien que l'utilisation d'une fréquence basse soit un véritable atout, son mécanisme de réveil lent et son débit trop bas ne permettent pas d'exploiter le standard DASH7.

Néanmoins, ce protocole, créé en janvier 2009 suite à un appel d'offre du département américain de la défense, est appelé à évoluer et pourrait proposer, dans un avenir plus ou moins proche, des versions plus haut débit.

1.4.4 ANT : RESEAUX POUR « HAUTS » DEBITS

ANT [55] est un protocole propriétaire de Dynastream Innovations Inc [56] (filiale de Garmin), exploité par Nordic Semiconductor [57] et Texas Instruments [58] qui fonctionne dans la bande ISM à 2,4 GHz. Les modules ANT se présentent sous la forme d'une boîte noire intégrant les couches protocolaires et attaquée via une liaison UART. ANT vise une réduction de la surcharge protocolaire et donc une plus grande efficacité énergétique. A la manière du standard ZigBee, les modules ANT présentent un état de veille profonde au cours duquel leur consommation peut descendre à moins d'un microampère (500 nA pour la puce nRF24AP2 – 1ch de Nordic Semiconductor). L'état actif n'est enclenché qu'à l'occasion d'une transmission ou d'une réception, et engendre des consommations de l'ordre d'une dizaine de mA (15 mA en Tx et 17 mA en Rx pour le module nRF24AP2 – 1ch). Le débit radio, qui est de l'ordre de 1 mbps est atteint grâce à l'utilisation d'une modulation complexe et à une bande passante de 1 MHz. S'il est ainsi beaucoup plus rapide qu'avec ZigBee, ce débit demeure trop faible pour notre application. Le réseau peut être construit sur une structure maillée, en étoile ou encore en arbre afin d'éviter la sur-utilisation d'un nœud, et des mécanismes d'accusé de réception sont mis en place pour lui assurer une grande robustesse. Mais ces méthodes ne sont utilisables que parce que le débit est relativement faible. Aussi, dans le cadre de notre application, la mise en place d'accusés de réception viendrait briser la chaîne temps réel et ne peut donc pas être envisagée.

Ensuite, contrairement à ZigBee ou à Bluetooth, le protocole ANT utilise un partage temporel du canal. Les messages étant émis en moins de 150 us, chaque transmission utilise un créneau temporel et fréquentiel particulier, ce qui évite les interférences entre les nœuds. Le choix du créneau est laissé à l'initiative de l'émetteur qui envoie les données dans un créneau figé à l'avance et qui, s'il détecte qu'une émission est en cours sur ce créneau, en choisit un autre sur lequel il réitère sa transmission. Ainsi, aucune négociation de créneau n'est nécessaire entre l'émetteur et le récepteur, et le réseau ne peut donc pas être surchargé. Notre développement utilisera ce principe d'attribution statique d'un créneau d'émission pour éviter la surcharge de communication liée à des négociations. Cependant, à la différence du protocole ANT, l'attribution sera parfaitement statique pour que l'ensemble du réseau soit déterministe.

1.5 PLATEFORME POUR LES RESEAUX DE CAPTEURS SANS FIL HAUT DEBIT

De très nombreux travaux de recherche ont été dédiés aux réseaux de capteurs. Ces derniers y sont caractérisés par la gestion d'un très grand nombre de nœuds, un faible coût et une faible consommation ; ces deux derniers points se faisant au prix de la limitation de la capacité de calcul embarqué. Les réseaux de capteurs servent principalement à la détection d'événements (départ d'incendie ou d'intrusion par exemple). Ce type d'activité ne nécessitant un transfert de données qu'à l'occasion d'un événement, il en résulte un débit très faible et des émissions très peu fréquentes.

Les travaux traitant de réseaux de capteurs nécessitant de nombreux transferts de données sont en revanche assez rares. Et l'objectif visé n'est là encore souvent que de quelques Mbits/s, ce qui est très inférieur aux besoins de la présente étude. Ce n'est presque exclusivement que dans le cas où des images doivent être transmises par les nœuds communicants qu'apparaît le besoin de haut débit dans les réseaux de capteurs. Or la prise d'images et leur stockage avant transmission nécessitent souvent une alimentation électrique importante. On a alors souvent recours à des technologies proches du standard 802.11 permettant d'atteindre 11 Mbits/s ou même 54 Mbits/s au prix d'une consommation très importante et d'une distance de communication faible. Parmi les recherches autour des réseaux de capteurs haut débit, il est possible de citer :

- Les modules Cyclops, présentés en 2005 par les équipes de UCLA et permettant de faire de la passerelle entre une caméra et une passerelle sans fil à forte contrainte d'énergie et de débit, sont aujourd'hui très populaires. Ces modules utilisent cependant l'interface de communication Crossbow's MICA2 ou MICAz dont les débits de données sont respectivement de 38,4 kbits/s et 250 kbits/s.
- Afin d'atteindre un débit plus élevé, les modules Intel iMote1 utilisent le protocole Bluetooth qui permet d'atteindre un débit maximum de 3 Mbits/s avec un nombre de nœuds par branche très réduit.
- Les équipes de recherche du département Santé et Science de l'Université de l'Oregon ont développé la plateforme Panoptes, dédiée à la vidéo pour la surveillance de l'environnement, de la santé et la vision par ordinateur, qui utilise un réseau 802.11.
- L'université de Lancaster a elle aussi développé, dans le cadre d'un réseau de surveillance et d'alerte des inondations, une plateforme basée sur le protocole 802.11 permettant d'atteindre jusqu'à 11 Mbits/s.
- Les exemples de plateformes atteignant une dizaine de mégabits par seconde incluent également la plateforme Stargate1 de crossbow et la plateforme SensEye développée par l'Université du Massachusetts.

Même si toutes les plateformes décrites affichent des performances haut débit, les débits effectivement atteints sont encore inférieurs à ceux nécessaires aux réseaux métrologiques pour l'aéronautique et le spatial. Les enjeux des dispositifs de réseaux de capteurs sont plus souvent tournés vers l'augmentation de la durée de vie (récupération d'énergie, optimisation de la communication, ...) que sur la course au débit. Il n'existe donc pas aujourd'hui d'exemple de recherche menée avec ce type de contraintes. Les applications des réseaux métrologiques étant très spécifiques et représentant une très petite niche dans le monde des réseaux de capteurs, il n'est pas étonnant que ce sujet ne soit pas traité massivement. Enfin, les enjeux financiers liés à ces systèmes étant très importants, les éventuelles recherches existantes ne feraient pas l'objet de communications universitaires.

2 UWB ET OFDM : FAIBLE PUISSANCE D'ÉMISSION ET HAUT DÉBIT

Parmi l'ensemble des standards établis pour le réseau de capteurs et présentés jusqu'à présent, aucun n'offre un débit suffisant à notre application. De plus, ils fonctionnent tous dans la bande ISM 2.4 GHz avec une puissance d'émission supérieure aux limites du cahier des charges [29]. Les seules solutions permettant d'allier une faible puissance d'émission et un débit de données important sont les techniques recourant à une bande passante très large (Ultra Wide Band : UWB).

2.1 RÉGLEMENTATIONS UWB

En effet, la formule de Shannon-Hartley, rappelée en équation 2.1 où B est la bande passante du signal, S la puissance reçue, et N le niveau de bruit sur la bande passante, montre que dans le cadre d'un canal à bruit blanc gaussien, la capacité maximale du canal (débit binaire maximal) croît de manière logarithmique avec la puissance transmise, alors qu'elle augmente proportionnellement à la bande passante du signal. Ainsi lorsque, comme dans notre application, la puissance du signal est limitée, l'utilisation d'une bande de fréquence plus large peut permettre une augmentation rapide du débit.

$$C = B * \log_2 \left(1 + \frac{S}{N} \right) \quad (1.4)$$

La définition d'une technique UWB a été proposée pour la première fois par la FCC en avril 2002 [59]. Elle indique qu'un émetteur UWB doit avoir une bande relative minimale de 0.2 ou une bande passante supérieure à 500MHz. La bande relative est définie par l'équation 2.2 où f_H est la fréquence haute du spectre et f_L la fréquence basse. Ces dernières sont définies comme les points ayant une puissance inférieure de 10 dB par rapport à la puissance maximale.

$$B_{rel} = 2 * \frac{f_H - f_L}{f_H + f_L} \quad (1.5)$$

La puissance rayonnée maximale pour un système UWB est elle aussi limitée par la FCC, à -41.3 dBm/MHz en moyenne. Un système respectant l'ensemble de ces règles est alors autorisé à émettre librement dans la bande comprise entre 3.1 GHz et 10.5 GHz.

La réglementation européenne définit l'UWB de façon légèrement différente. La puissance maximale d'émission d'un système UWB doit toujours être inférieure à -41.3 dBm/MHz en moyenne, mais la bande passante du signal peut cette fois atteindre un minimum de 50 MHz. Le respect de ces deux conditions autorise le système à émettre librement dans la bande 6 – 8.5 GHz. Cette dernière est ici bien plus limitée que dans le cadre de la définition de la FCC afin d'éviter que les systèmes UWB ne viennent brouiller les systèmes existants dans les bandes comprises entre 3.1GHz et 6 GHz [60], et tout particulièrement WIMAX, les radars militaires ou encore la bande située autour de 5 GHz utilisée pour les réseaux sans fils. Cependant, afin de ne pas fermer le marché européen aux produits développés selon les règles de la FCC, les émissions sont autorisées à l'intérieur de la bande 3.1 GHz – 4.2 GHz à condition que le rapport cyclique du système soit faible. De même, l'utilisation de cette bande basse est permise lorsque le système

applique des techniques de DAA (Detect And Avoid) qui obligent l'émetteur à examiner l'état de l'environnement radio avant l'envoi de chaque trame, pendant une durée minimum, pour détecter une émission en cours émanant d'un autre système. Se basant sur les résultats du processus de détection, l'émetteur détermine la zone du spectre dans laquelle il peut émettre. Cette technique n'étant pas utilisable dans notre application, nous considérerons que la bande UWB européenne est comprise entre 6 GHz et 8.5 GHz.

Cette bande de 2.5 GHz, à comparer au 1 MHz du standard Bluetooth, permet très largement d'atteindre un débit conséquent et compatible avec notre application. La seule limite au débit sur une bande donnée est alors déterminée par la fréquence maximale de fonctionnement des circuits numériques.

2.2 TECHNIQUES DE MODULATION

Deux principales techniques sont aujourd'hui utilisées pour la création d'un signal ultra large bande: la méthode impulsionnelle et la méthode multi-porteuses.

2.2.1 LA TECHNIQUE IMPULSIONNELLE

La technique impulsionnelle est très simple dans son principe et repose sur la dualité temps-fréquence. En effet, plus un signal est bref dans le domaine temporel, plus son occupation spectrale est importante. Ainsi, pour créer un signal occupant une large bande, il suffit d'effectuer la transmission sous forme d'impulsions radio très courtes [61].

Afin de transporter des informations binaires, chaque impulsion est modulée par l'une des techniques suivantes:

- La modulation PPM (Pulse Position Modulation), où la position temporelle de l'impulsion définit la donnée qu'elle transmet,
- La modulation d'amplitude, où l'amplitude de l'impulsion définit la valeur transmise,
- La modulation de polarité, où la valeur transmise est définie par la polarité de l'impulsion.

Ces méthodes de modulation sont relativement simples et permettent donc aux modulateurs de systèmes impulsionnels d'être particulièrement économes en énergie.

Toute propagation dans un canal entraîne des réflexions du signal émis. Ainsi, le récepteur reçoit de nombreux échos en plus du signal émis. Dans le cadre d'une transmission UWB impulsionnelle, une égalisation du canal complexe n'est pas nécessaire puisque, la largeur de l'impulsion étant extrêmement fine, il est possible de distinguer temporellement l'impulsion principale des impulsions réfléchies en espaçant les impulsions transmises par l'émetteur d'un délai supérieur à l'étalement des échos du canal. Il n'existe ainsi aucun brouillage entre les symboles émis. Cette méthode contraint cependant la durée entre deux impulsions, limitant ainsi la capacité du canal. [62] montre qu'en prenant en compte l'étalement des échos dans la définition de la durée entre impulsions, le débit maximum en fonction de la bande occupée forme une asymptote. Ainsi, la capacité du canal ne peut dépasser 110 Mbits/s même avec une bande passante de 6 GHz. L'utilisation d'une architecture MultiBand IR-UWB (MB-IR-UWB) [62] peut permettre de contourner cette limitation du débit. La complexité d'un tel émetteur est proportionnelle au nombre de bandes utilisées, si bien que la multiplication des voies au sein de

l'émetteur peut rendre le système plus gourmand en énergie. Les avantages liés à la simplicité de l'émission d'impulsion s'en trouvent alors réduits.

De plus, la création d'impulsions de courte durée nécessite une fréquence de fonctionnement des circuits numériques très élevée et des circuits de conversion numérique analogique extrêmement rapides et très difficiles à développer en assurant une consommation réduite.

La technique impulsionnelle présente de très nombreux avantages [63], notamment en termes d'efficacité énergétique et de débit de données, ou par ses capacités de localisation des émetteurs, mais implique d'importantes difficultés de mise en œuvre non compatibles avec les délais initiaux de ce projet.

2.2.2 LA TECHNIQUE MULTI PORTEUSES

La technique multi-porteuses [64] est une autre technologie utilisée pour la réalisation de systèmes UWB.

Cette modulation décompose le train de symboles à émettre à un rythme T_s en N trains parallèles au rythme $N.T_s$ plus lent. Chacun des N trains parallèles est ensuite utilisé pour moduler une porteuse qui lui est propre. Les N porteuses ainsi modulées sont enfin additionnées pour former le signal à émettre sur le canal. A la réception, le processus est identique : le signal reçu est partagé en N trains parallèles qui sont chacun démodulés indépendamment les uns des autres, et les symboles obtenus sur chaque voie sont alors réassemblés pour former le message transmis.

L'intérêt d'une modulation multi-porteuses [65] réside dans le fait que le rythme des symboles transmis est beaucoup plus lent ($1/N.T_s$) que si la transmission se faisait directement au rythme des données ($1/T_s$). Ainsi, dans un canal radio où l'étalement des échos (DS : Delay Spread) est important, les interférences inter symboles sont réduites. En effet, le nombre de symboles en interférence (K) avec le symbole courant dans le cadre d'une technique mono-porteuse est donné par l'équation suivante :

$$K = \frac{DS}{T_s} \quad (1.6)$$

Dans le cadre d'une modulation multi-porteuses, le nombre de symboles en interférence (K') est donné par :

$$K' = \frac{DS}{N.T_s} \quad (1.7)$$

Ainsi, sachant que N est très grand devant 1, K' est très inférieur à K . De plus, si le produit du nombre de porteuses est sensiblement égal à l'étalement des échos maximum du canal, il peut n'y avoir aucune interférence inter symbole.

Afin d'éviter tout brouillage d'une porteuses sur ses voisines, la distance entre les fréquences de chacune d'elles doit être importante, comme présenté en figure 14 gauche. Ainsi, le spectre occupé par les N porteuses est beaucoup plus grand que le spectre qui serait occupé par une seule porteuse modulée plus rapidement. Afin de résoudre ce problème, on utilise la technique OFDM qui consiste à choisir les fréquences porteuses de façon à ce qu'elles soient les plus proches possibles les unes des autres et ainsi transmettre le maximum d'informations sur une portion de fréquence donnée. Le point optimal est obtenu lorsque deux porteuses sont orthogonales, c'est-à-dire si leur produit scalaire, présenté en équation 2.5, est nul.

$$\int_0^{N.T_s} \cos(2.\pi.f_1.t) . \cos(2.\pi.f_2.t) . dt = 0 \quad (1.8)$$

Cette condition est vérifiée si la différence entre les deux fréquences est exactement l'inverse de la période d'un symbole ($\frac{1}{N.T_s}$). Les porteuses se chevauchent, comme présenté en figure 14 droite, mais, grâce à l'orthogonalité, n'interfèrent pas entre elles. Si le spectre est découpé en N sous-porteuses définies telles que l'espacement inter-porteuse soit $\frac{1}{N.T_s}$, la largeur totale du spectre du signal est donc $\frac{N-1}{N.T_s}$, soit environ $\frac{1}{T_s}$ en considérant $N \ll 1$. Le nombre de porteuses utilisables dans une bande passante donnée est donc ici beaucoup plus important qu'en l'absence de technique OFDM.

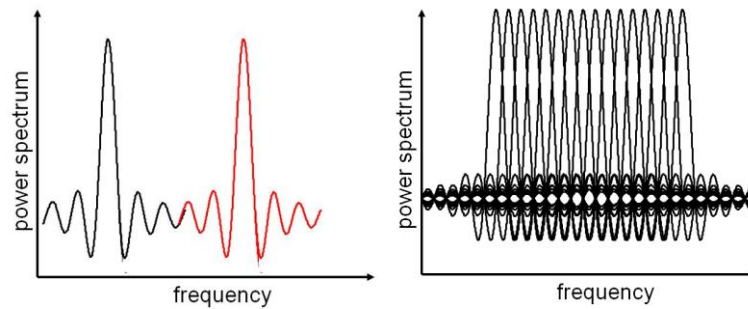


FIGURE 14 : SPECTRE D'UN SIGNAL MULTI-PORTEUSES CLASSIQUE (GAUCHE) ET MULTI-PORTEUSES OFDM (DROITE)

Le système multi-porteuses se comporte donc comme si N modulateurs étaient utilisés en parallèle. Or, un très grand nombre de porteuses peut engendrer un émetteur extrêmement compliqué et donc un circuit numérique complexe et consommateur de ressources. L'intérêt de la technique OFDM ne réside pas uniquement dans sa grande efficacité spectrale et dans le gain en bande passante qu'elle engendre, mais provient principalement du fait qu'il est possible de remplacer les N modulateurs mono-porteuse par un calcul de transformée de Fourier inverse pouvant être réalisé par un circuit numérique. A la réception, les N démodulateurs sont cette fois remplacés par un calcul de transformée de Fourier directe.

En notant z_i la donnée du train binaire à transmettre par la porteuse de fréquence f_i , et N le nombre de porteuses, le signal multi-porteuses $z(t)$ s'écrit :

$$z(t) = \sum_{i=0}^{N-1} z_i(t) . e^{2.j.\pi.f_i.t} \quad (1.9)$$

En posant Δf , l'espace entre deux porteuses, on a alors :

$$f_i = f_0 + i . \Delta f \quad (1.10)$$

L'équation du signal multi-porteuses devient donc :

$$z(t) = \sum_{i=0}^{N-1} z_i(t) . e^{2.j.\pi.(f_0+i.\Delta f).t} = e^{2.j.\pi.(f_0).t} \sum_{i=0}^{N-1} z_i(t) . e^{2.j.\pi.i.\Delta f.t} \quad (1.11)$$

Si le signal est échantillonné à une fréquence d'échantillonnage $f_{ech} = T_s$, alors à l'instant $n.T_s$ le signal s'écrit :

$$z(n.T_s) = K \sum_{i=0}^{N-1} z_i(t) . e^{2.j.\pi.i.\Delta f.n.T_s} \quad (1.12)$$

Enfin, si l'espacement entre deux porteuses est $\Delta f = \frac{1}{N.T_s}$ alors :

$$z(n.T_s) = K \sum_{i=0}^{N-1} z_i(t) . e^{-2.j.\pi.i.n.\frac{T_s}{N.T_s}} \quad (1.13)$$

$$z(n.T_s) = K \sum_{i=0}^{N-1} z_i(t) . e^{-2.j.\pi.\frac{i}{N}.n} \quad (1.14)$$

L'équation 2.11 correspond à la transformée de Fourier inverse sur N points des N symboles z_i . La taille de la transformée de Fourier calculée définit le nombre de porteuses utilisées. Avec la multiplication des circuits numériques programmables intégrant de puissants blocs de calcul optimisés pour le traitement du signal (DSP), le calcul de cette transformée est une opération relativement aisée.

De plus, le rythme de sortie des échantillons du symbole OFDM généré étant le même que celui du train de données à transmettre, les performances des convertisseurs numériques analogiques à utiliser dépendent donc directement du débit à transmettre. Dans notre application, où le débit à transmettre est de l'ordre de 100 Mbits/s, les CNA sont disponibles auprès de nombreux fabricants et offrent de bonnes performances énergétiques.

Outre sa grande efficacité spectrale, l'OFDM présente d'autres avantages tels que la production d'un spectre quasiment plat (typique du bruit blanc), n'entraînant qu'un minimum d'interférences entre les canaux adjacents. Ensuite, dans un canal de transmission à chemins multiples où certaines fréquences sont détruites à cause de la combinaison destructive de chemins, le signal à transmettre étant généralement dupliqué sur plusieurs sous-porteuses, le système reste capable de récupérer l'information perdue.

Enfin, la transmission OFDM est compatible avec des contraintes de basse consommation (relativement au débit) car la transformée de Fourier peut être optimisée pour un calcul rapide et peu gourmand en énergie [66].

Cependant, l'inconvénient de cette technique vient du fait que le décodage OFDM nécessite une synchronisation précise de la fréquence du récepteur avec celle de l'émetteur. En effet, toute déviation de la fréquence de calcul de la FFT en réception entraîne la perte de l'orthogonalité des sous-porteuses, créant ainsi des interférences entre ces dernières. Mais cette synchronisation ne devient difficile à réaliser qu'à partir du moment où le récepteur est en mouvement, et en particulier en cas de variations de vitesse. Par conséquent, dans le cadre de ce développement, les nœuds communicants étant statiques, la synchronisation ne représente pas une contrainte particulière.

L'implémentation UWB de la technologie OFDM [64] est similaire à l'implémentation classique en bande étroite. En OFDM, la largeur du spectre utilisé est en effet égale au rythme du train de symbole binaire à transmettre. Ainsi, si le débit de données est supérieur à 50 MHz, le système

est, selon la réglementation européenne, un système UWB. Dans notre application, où le débit à transmettre est largement supérieur à 100 Mbits/s, la couche physique développée est donc de type UWB-OFDM dès lors que la puissance d'émission est inférieure à -41,3 dBm/MHz.

Le choix de la technologie OFDM est ici considéré comme simple au regard des convertisseurs numérique-analogique et de la tête RF à mettre en place dans les technologies ultra large bande impulsionnel. En effet, la génération d'impulsions de très courte durée nécessite des convertisseurs analogique-numérique particulièrement rapides dont la conception peut s'avérer délicate. Le nombre de bits nécessaire à la conversion optimale du signal en bande de base est limité car 5 à 6 bits suffisent généralement pour des modulations BPSK ou QPSK. Cependant, la fréquence de fonctionnement du convertisseur doit être au moins deux fois plus rapide que la durée de l'impulsion. Le débit maximum atteignable pour un canal donné est dépendant de l'étalement des échos dans ce canal. En effet, pour éviter les interférences inter-symbole, le débit doit être inférieur à l'inverse de la durée de l'impulsion ajouté au temps d'étalement des échos. Ainsi, pour atteindre un débit de 200 Mbits/s (ce qui correspond à une impulsion de 5 ns sans étalement des échos) le convertisseur doit fonctionner à une fréquence au moins égale à 1 GHz. L'impulsion a alors une durée d'1 ns.

La technologie OFDM générant un signal sur une bande de taille modeste (ici environ 200 MHz), la conversion numérique-analogique est beaucoup plus classique. Dans le cadre d'une modulation OFDM, le convertisseur peut fonctionner à fréquence du débit physique à savoir 200MHz. C'est sur ce point que la technique OFDM est décrite comme « plus simple » par les auteurs. Dans le contexte OFDM, les difficultés sont essentiellement reportées sur la mise en forme du signal à l'émission.

Les technologies UWB sont indispensables pour assurer à la fois une faible puissance d'émission et un débit important. La méthode OFDM est celle qui, parmi les techniques existantes, présente le plus d'avantages et de simplicité de mise en œuvre, et sera donc choisie pour notre application.

3 MB-OFDM : WIMEDIA UN STANDARD A L'HISTOIRE PARTICULIERE

Il existe aujourd'hui un standard pour les communications sans fil haut débit à faible consommation utilisant les techniques UWB, mais dont le déploiement s'est trouvé entravé par divers obstacles relevant davantage de décisions politiques que de contraintes techniques. En effet, le standard WiMedia [67], et plus généralement les technologies basées sur l'ultra large bande, sont bien moins courants que des protocoles comme Bluetooth ou ZigBee et souffrent d'un déficit d'image tel qu'ils inspirent rarement confiance. Au cours de ces dernières années, la presse spécialisée s'est fait l'écho de nouvelles parfois alarmantes, incluant l'abandon de ces technologies par de grands groupes comme Intel ou la faillite de startups comptant parmi les plus prometteuses du domaine. Il semble donc primordial, avant de considérer tout développement basé sur ce type de technologie, de s'intéresser à son histoire, aux origines de sa mauvaise image et aux raisons de l'absence de standard IEEE. Afin de permettre au lecteur de se forger un avis sur ce dernier point, nous présentons en détail l'histoire de ce standard en annexe 2. L'histoire particulière des

standards UWB met en exergue les raisons de leur popularité bien moindre par rapport à celle des standards Wifi ou Bluetooth. Ainsi, point de verrous technologiques impossibles à lever ou de contraintes techniques fortes mais avant tout des logiques financières ou de mauvais positionnements sur le marché qui ont conduit à l'échec actuel du standard et à son image peu valorisée. Dans ces conditions, la technologie UWB-OFDM peut alors constituer une piste de travail particulièrement intéressante pour des applications aux industries aéronautiques et spatiales, peu impactées par l'image et demandeuses d'un débit de communication conséquent associé à une faible consommation. Pour autant, compte-tenu du manque de visibilité du standard WiMedia, nous utiliserons les termes « MB-OFDM » ou « UWB-OFDM », termes basés sur la technique de modulation utilisée, pour désigner la couche physique dans la présentation des travaux à venir.

Afin de vérifier si l'implémentation proposée peut être, dans son principe, utilisée dans les conditions particulières des réseaux métrologiques aéronautiques et spatiaux, nous présentons les axes importants de ce standard.

Cette partie aura pour objet la présentation des éléments les plus importants de la couche physique MB-OFDM, qui serviront de base pour les essais de validation et pour le développement d'une couche physique adaptée aux réseaux de capteurs. Le standard ECMA-368 [68] décrit à la fois la couche physique et la couche MAC, avec des mécanismes complexes d'accès au réseau et de réservation des ressources. Cette étude concernant essentiellement la couche physique, nous ne décrirons ici que ses principaux mécanismes.

3.1 DESCRIPTION PHYSIQUE ET REPARTITION DES PORTEUSES DANS LE SPECTRE

Les bases du standard MB-OFDM ont été proposées en novembre 2003 par Anuj BATRA de Texas Instruments dans le cadre du groupe IEEE 802.15.3a [69]. Le standard repose sur l'utilisation de la technique OFDM qui consiste à diviser le signal numérique que l'on souhaite transmettre sur un grand nombre de porteuses. MB-OFDM utilise une transformée de Fourier de taille 128 pour la modulation, fixant à 128 le nombre de porteuses utilisées.

Pour transmettre un symbole, le standard MB-OFDM occupe trois bandes de 528 MHz chacune, utilisées successivement. Le premier symbole est transmis sur la première bande (3168-3696 MHz), le deuxième sur la deuxième bande (3696 – 4224 MHz), le troisième sur la troisième (4224-4752 MHz), le quatrième sur la première et ainsi de suite.

Sur les 128 porteuses d'un symbole, seules 122 véhiculent effectivement de l'énergie. Les 6 porteuses restantes, qui sont laissées à 0 sont :

- La porteuse 0, qui correspond à la composante continue. Elle est supprimée pour éviter les problèmes d'offset au niveau des convertisseurs analogique/numérique et numérique/analogique ainsi que le « carrier feed-through » dans la partie RF,
- Les porteuses 62 à 67 qui correspondent aux porteuses en bord de spectre et constituent des bandes de garde.
- Les 122 porteuses non nulles dont seulement 100 servent à porter des données utiles sont réparties de la manière suivante :
- 100 porteuses pour transporter les données,

- 12 porteuses pour transporter les signaux pilotes : porteuses 5/15/25/35/45/55 et -5/-15/-25/-35/-45/-55. Elles permettent une détection cohérente et robuste aux offsets en fréquence et en bruit de phase.
 - 10 porteuses « de réserve » : porteuses 57/58/59/60/61 et -57/-58/-59/-60/-61. D'après le standard MB-OFDM générique, leur utilisation est laissée au libre choix de l'utilisateur. Elles peuvent ainsi servir à détendre les spécifications sur les filtres en émission ou en réception en élargissant les bandes de gardes. En cas de non utilisation, elles prennent une valeur nulle. C'est ce dernier choix qui a été fait pour les cartes développées par Wisair.
- Le système repose donc sur l'utilisation de 128 porteuses. Le choix des paramètres de transmission OFDM (durée symbole, temps de garde, préfixe) est un compromis complexe entre les performances et la robustesse du système. Le standard MB-OFDM repose sur les paramètres présentés dans le tableau 5 extrait de [68].

TABLEAU 5 : PARAMETRES TEMPORELS DU STANDARD MB-OFDM

Parameter	Description	Value
f_s	Sampling frequency	528 MHz
N_{FFT}	Total number of subcarriers (FFT size)	128
N_D	Number of data subcarriers	100
N_P	Number of pilot subcarriers	12
N_G	Number of guard subcarriers	10
N_T	Total number of subcarriers used	122 ($= N_D + N_P + N_G$)
D_f	Subcarrier frequency spacing	4,125 MHz ($= f_s / N_{FFT}$)
T_{FFT}	IFFT and FFT period	242,42 ns (Δ_f^{-1})
N_{ZPS}	Number of samples in zero-padded suffix	37
T_{ZPS}	Zero-padded suffix duration in time	70,08 ns ($= N_{ZPS} / f_s$)
T_{SYM}	Symbol interval	312,5 ns ($= T_{FFT} + T_{ZPS}$)
F_{SYM}	Symbol rate	3,2 MHz ($= T_{SYM}^{-1}$)
N_{SYM}	Total number of samples per symbol	165 ($= N_{FFT} + N_{ZPS}$)

3.2 TEMPS DE GARDE

Afin de permettre l'utilisation d'une seule chaîne d'émission et de réception pour les trois bandes de fréquence, un temps de garde est ajouté entre deux symboles. Durant ce temps, aucune information n'est transmise, et les synthétiseurs de fréquence du récepteur et de l'émetteur ont le temps de commuter vers la bande de fréquence suivante. Le délai de changement de la fréquence centrale sur les synthétiseurs n'étant pas négligeable dans le cadre du développement de synthétiseurs faible coût, des simulations de niveau système ont été réalisées lors de la définition du standard [70], et montrent qu'un temps de commutation d'environ 2 ns est facilement conciliable avec les contraintes de coût et de complexité nécessaires au système grand public. Le temps de garde entre deux symboles MB-OFDM est donc fixé à 9.5 ns, ce qui correspond à cinq échantillons environ.

3.3 CODAGE EN FONCTION DES DEBITS

D'après les paramètres présentés dans le tableau 6, le symbole MB-OFDM a une durée de 312,5 ns et contient 100 porteuses de données utiles, et donc 100 échantillons. Ces échantillons contiennent 2 bits puisque la modulation utilisée est de type QPSK. Le débit brut de données dans le canal est donc de $\frac{100 \times 2}{312,5 \text{ ns}} = 640 \text{ Mbits.s}^{-1}$. Le canal étant imparfait, des codes correcteurs d'erreurs sont utilisés pour assurer une importante immunité au bruit. Les codes utilisés par le standard sont de type convolutionnels, avec des taux de codages variables en fonction de la performance désirée. En effet, le principe du codage repose sur l'ajout d'informations dans le symbole transmis pour permettre de détecter et de corriger des inversions de bits liées au bruit. Ainsi, plus le taux de codage est important, plus le pouvoir de correction sera fort, mais moins le symbole pourra contenir de données utiles. Le débit utilisateur maximal dans le codage MB-OFDM est de 480 Mbits.s⁻¹ et correspond à un codage de rapport 3/4. Ainsi, sur les 200 bits d'un message, seuls 150 bits utilisateur peuvent être placés. L'augmentation du taux de codage à 1/2 réduit quant à lui le nombre de bits utiles à 100 toutes les 312,5 ns et limite donc le débit à 320 Mbits.s⁻¹. Un taux de codage supérieur à 1/2 ne saurait être performant car il reviendrait à transporter plus de bits de codage que de bits utiles dans le message. Le système utilise donc une redondance en fréquence et en temps en plus du codage correcteur. Le principe de la redondance temporelle, mise en place consiste simplement à dupliquer deux fois de suite l'information à transmettre. Ainsi, avec un taux de codage à 1/2, le débit est divisé par deux pour passer de 320 Mbits.s⁻¹ à 160 Mbits.s⁻¹.

La redondance en fréquence est assez similaire et consiste à envoyer les mêmes données sur deux bandes de fréquences différentes. Comme le système repose sur l'utilisation d'un synthétiseur de fréquence unique, les données sont émises sur ces deux bandes à des instants différents. Le détail des paramètres est présenté dans le tableau 6. Grâce à l'utilisation de ces paramètres, il devient possible de modifier le degré de fiabilité de la liaison entre deux cartes MB-OFDM en jouant sur le réglage des débits proposés. En fait, le débit physique de données sur le canal reste identique, et seules la redondance ou la puissance du code correcteur d'erreur sont modifiées.

TABLEAU 6 : PARAMETRES SYSTEME MB-OFDM, EXTRAIT DE [68]

Info. Data Rate	55 Mb/s	80 Mb/s	110 Mb/s	160 Mb/s	200 Mb/s	320 Mb/s	480 Mb/s
Constellation	QPSK	QPSK	QPSK	QPSK	QPSK	QPSK	QPSK
FFT Size	128	128	128	128	128	128	128
Coding Rate (K=7)	R = 11/32	R = 1/2	R = 11/32	R = 1/2	R = 5/8	R = 1/2	R = 3/4
Frequency-domain Spreading	Yes	Yes	No	No	No	No	No
Time-domain Spreading	Yes	Yes	Yes	Yes	Yes	No	No
Data Tones	100	100	100	100	100	100	100
Prefix Length	60.6 ns	60.6 ns	60.6 ns	60.6 ns	60.6 ns	60.6 ns	60.6 ns
Guard Interval	9.5 ns	9.5 ns	9.5 ns	9.5 ns	9.5 ns	9.5 ns	9.5 ns
Symbol Length	312.5 ns	312.5 ns	312.5 ns	312.5 ns	312.5 ns	312.5 ns	312.5 ns
Channel Bit Rate	640 Mbps	640 Mbps	640 Mbps	640 Mbps	640 Mbps	640 Mbps	640 Mbps
Multi-path Tolerance	60.6 ns	60.6 ns	60.6 ns	60.6 ns	60.6 ns	60.6 ns	60.6 ns

3.4 PREFIXE CYCLIQUE

La durée du préfixe cyclique est liée à la robustesse vis-à-vis des multi-trajets. En effet, un système OFDM possédant un préfixe présente l'avantage d'être intrinsèquement robuste à la présence de multi-trajets sans qu'un récepteur complexe ne soit nécessaire. La durée du préfixe détermine directement la quantité d'énergie de multi-trajet capturée. Plus le préfixe est long, plus l'énergie des multi-trajets capturée est importante. Ainsi, elle n'ira pas perturber le symbole en créant une ICI (Inter-Carrier-Interference). Cependant, le préfixe ne transportant pas d'information utile, il s'agit d'un élément dégradant les performances de transmission. Il convient donc d'arriver à un compromis entre ces deux points ; le préfixe doit être suffisamment long pour éviter les ICI, mais suffisant court pour limiter les temps pendant lesquels le canal ne véhicule pas de données.

Les canaux ultra large bande sont extrêmement dispersifs. Le delay spread atteint une valeur moyenne de 14 ns pour un canal de propagation entre 4 et 10 m sans ligne directe, tandis qu'il peut atteindre une valeur de 25 ns dans le pire des cas. Ces données ont été établies par l'IEEE en préambule de la définition des standards dans le cadre du groupe 802.15.3 [71]. On voit ici qu'ils sont indispensables à la définition de paramètres comme le préfixe cyclique. En comparant l'énergie capturée et l'interférence inter-porteuse pour plusieurs valeurs de préfixe dans le canal, il a été conclu que la valeur optimale se situe aux environs de 60 ns, et la valeur choisie dans la norme est de 60.61 ns. On considère souvent que pour la réalisation d'un système OFDM efficace, la durée du préfixe doit être comprise entre 2 et 4 fois le delay spread. Ainsi, avec un delay spread moyen de 14 ns et une valeur maximale de 25 ns, la valeur du CP doit être comprise entre 50 ns et 56 ns, ce qui correspond à la valeur choisie.

4 EVALUATION DES PERFORMANCES D'UN STANDARD MB-OFDM EN CONDITIONS REELLES

Le standard MB-OFDM qui vient d'être présenté permet d'atteindre des débits supérieurs à 100 Mbits/s et prend en compte de nombreux mécanismes permettant d'assurer une grande robustesse de la transmission radio en minimisant la consommation électrique. Afin de vérifier si ce standard peut effectivement être utilisé dans les conditions particulières des réseaux métrologiques, aéronautiques et spatiaux, de nombreux tests visant à mesurer le taux d'erreur paquet (PER : Packet Error Rate) sur une liaison radio ont été effectués, d'abord en laboratoire, puis en conditions réelles d'implémentation dans le contexte aéronautique et spatial, et sont présentés dans cette partie.

4.1 MODULE WISAIR DV9110M

L'une des rares puces commercialement disponibles utilisant une technique UWB-OFDM est proposée par la société Wisair [72], entreprise israélienne développant des solutions autour de la technique Ultra Large Bande multi-porteuses pour des liaisons vidéo haute définition entre appareils. Dans le cadre de ce développement, les contraintes de calendrier étant particulièrement fortes, les performances de cette puce ont été évaluées afin de déterminer si elle pouvait être utilisée telle quelle pour notre projet, ce qui permettrait de se focaliser sur le développement des

couches MAC et supérieures en utilisant la couche physique offerte. Ces cartes ont également permis de réaliser rapidement les premières mesures, le prototypage ainsi que le dimensionnement système indispensables à la réussite de la conception de la couche physique.

4.1.1 CARTE

Le kit d'évaluation utilisé, commercialisé par Wisair, est principalement destiné à l'interconnexion vidéo entre un ordinateur et un vidéoprojecteur. Le flux à transmettre étant au format haute-définition, le débit est par conséquent très important. Le kit de développement, référencé DV9110M dans le catalogue, est destiné à faire appel aux technologies développées pour du transfert de données sur un lien Ethernet. Acheté en 2008, il était l'un des premiers systèmes disponibles dans le commerce capables de fournir une modulation MB-OFDM proche du standard établi par ECMA [68]. Le fabricant annonce les performances suivantes : débit de 480 Mbits/s à une distance de 4 m.

Le kit, présenté en figure 15, comporte deux cartes composées de trois parties distinctes : un module Emission/Réception UWB, une carte mère porteuse, et une antenne. Le module UWB intègre la couche MAC (appelée Mini-Mac, version allégée de la couche définie par la WiMedia Alliance), le traitement du signal bande de base et sa conversion radio fréquence.

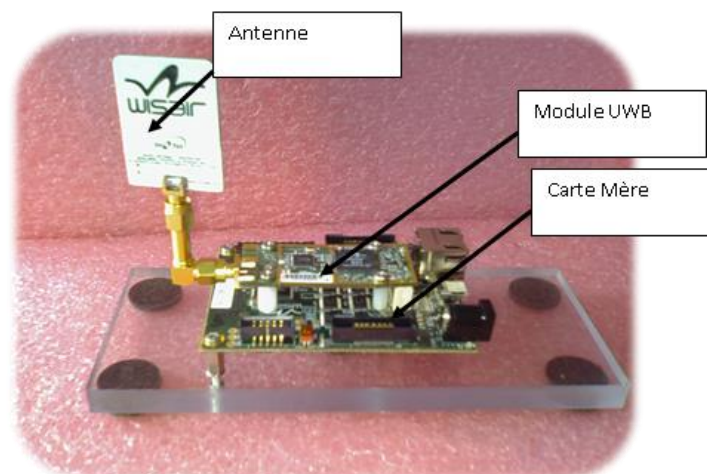


FIGURE 15 : CARTE DU KIT DV9110M DE WISAIR

Les couches MAC et bande de base sont incluses dans une puce CMOS portant la référence 531. La conversion radio et les sauts entre les bandes de fréquence sont assurés par le module 502 en technologie SiGe. La carte UWB opère dans le spectre sans licence 3.1 à 10.6 GHz, autorisé par la Federal Communication Commission (FCC) en Février 2002 [59]. Afin de réduire la complexité des premiers développements, seules les trois premières sous-bandes (3,168 GHz à 4,752 GHz) sont utilisées. Chaque bande a une largeur spectrale de 528 MHz. Comme l'exige la FCC, la puissance de sortie moyenne mesurée sur le kit est de -41,3 dBm/MHz. Les sauts entre fréquences sont définis par la séquence f_1, f_2, f_3 , où f_1 est la fréquence centrale de la première sous-bande (3,423 GHz), et où f_2 et f_3 sont les fréquences centrales des deuxième (3,960 GHz) et troisième (4.488 GHz) sous-bandes.

La carte mère assure l'alimentation électrique de la carte UWB et assure le lien entre les couches de traitement de signal (MAC/PHY) de la carte UWB et le monde extérieur. Les ports d'entrée-sortie sont :

- Un port Ethernet RJ45 100Mbps/s reliant la carte à un ordinateur hôte pour la transmission de données via un lien Ethernet. Les deux cartes apparaissent alors comme un lien Ethernet sans fil. Il est important de noter que sur le kit 9110M, le lien Ethernet n'est cadencé qu'à 100 Mbps/s. Alors, malgré des réglages permettant théoriquement d'atteindre un débit de 480 Mbps/s, il est impossible de dépasser un débit de données de 100 Mbps/s entre les ordinateurs générant et recevant les données.
- Un port USB reliant la carte à un ordinateur via un connecteur Mini-USB permettant d'assurer le paramétrage des options de transmission.

Enfin, le kit comprend également une antenne UWB externe brevetée par Wisair et présentée en figure 15. Cette antenne de dimension 5x3x0.15cm a une polarisation horizontale et un diagramme de rayonnement omnidirectionnel.

4.1.2 ARCHITECTURE RESEAU

4.1.2.1 WISAIR MINI MAC LAYER

La couche physique implémentée par Wisair est très proche du standard MB-OFDM tel que défini par ECMA. Cependant, afin de simplifier le développement et en l'absence d'obligation d'interconnectabilité avec d'autres appareils, la partie réseau s'éloigne assez fortement du standard. La couche MAC déployée par Wisair porte le nom de « Wisair Mini MAC ».

La structure classique de la trame WiMedia dans un mode maître-esclave est présentée en figure 16. Dans cette organisation, le maître transmet régulièrement une balise à tous les membres du réseau, que les esclaves utilisent pour resynchroniser les horloges. On retrouve l'organisation maître-esclave dans laquelle il est possible aux esclaves de réserver dynamiquement leurs slots, un esclave pouvant ainsi utiliser plusieurs slots disponibles (c'est-à-dire non réservés par les autres esclaves) pour émettre une plus grande quantité de données. De plus, dans cette organisation, les esclaves peuvent communiquer directement entre eux et il est possible d'insérer automatiquement un accusé de réception pour chaque esclave dans la portion de trame du maître. La taille de la super trame et des slots pour la réservation (DRP) sont réglables dynamiquement.

Contrairement à ce que propose le standard WiMedia, la couche Wisair Mini-Mac repose sur un couple maître-esclave figé. Le maître est également utilisé pour synchroniser le réseau, mais les nœuds ne peuvent pas réserver de ressources dynamiquement, et la structure est imposée par le maître. La trame prévoit une portion de temps pour les émissions du maître (réception de données pour les esclaves), et le reste du temps de la trame pour les émissions des esclaves (réception du maître). Ainsi, il est possible de programmer un paramètre $\frac{Rx}{Rx+Tx}$, nommé Rapport Emission Réception (RER) par la suite, et définissant cette proportion de temps. Ce principe ne permet pas de faire communiquer plus d'un maître et un esclave car il n'est pas prévu de temps d'émission pour chacun des esclaves. C'est cependant possible en reprogrammant certains registres internes de la puce numérique des cartes pour définir trois zones dans la trame, la première étant réservée aux émissions du maître, la deuxième aux émissions d'un premier esclave, et la troisième aux émissions du second esclave. Mais cette opération très lourde ne permet pas l'arrivée dynamique d'un nœud dans le réseau, et cette organisation figée n'autorise qu'une portion limitée du temps d'une trame pour la transmission effective des données. Ainsi, si le paramètre est réglé sur 50%, le débit effectif sur un lien ne sera que de la moitié du débit

spécifié par le standard. L'ensemble des essais utilisera cette couche MAC non représentative du véritable standard WiMedia.

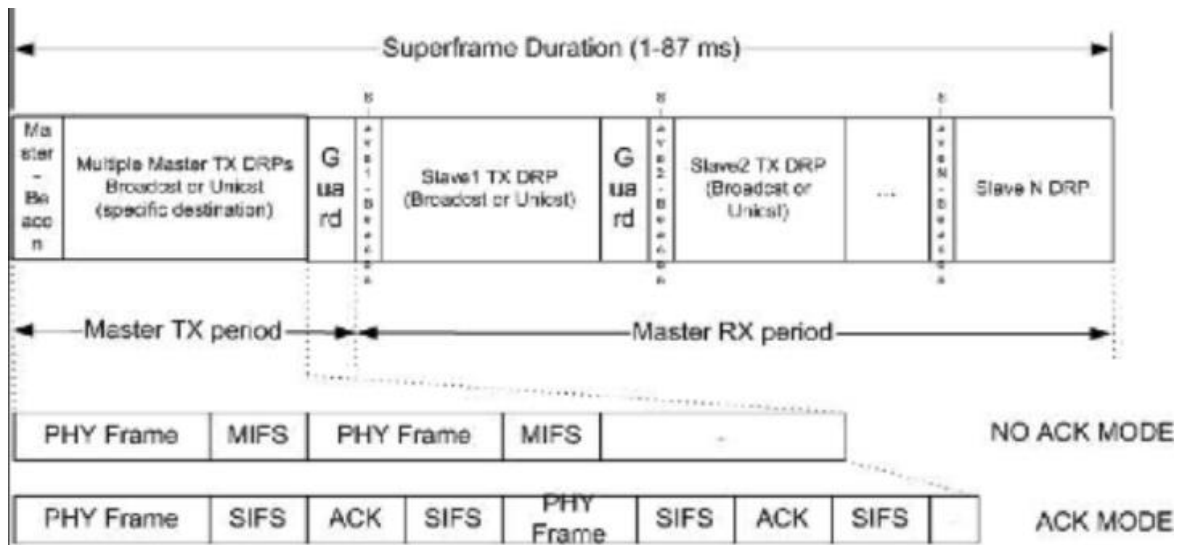


FIGURE 16 : TRAME DE NIVEAU MAC DU STANDARD WiMEDIA

4.1.2.2 SCHEMA DE L'ARCHITECTURE RESEAU

Deux ordinateurs sont utilisés pour générer des données à transmettre sur le lien établi entre les cartes UWB et définir le taux d'erreur de la liaison. Le logiciel IPerf [73], permettant notamment la mesure du débit et du taux d'erreur paquet UDP ou TCP d'une liaison, est utilisé pour générer les paquets de données. Basé sur une architecture client/serveur, il est compatible avec différents systèmes d'exploitation (Windows, Unix,...). Il est configuré pour travailler en ligne de commande mais peut également être utilisé avec un logiciel fournissant une interface graphique. Dans le cas présent, c'est JPerf qui est utilisé. De nombreux paramètres tels que la taille des paquets, la taille du buffer de réception ou encore le débit à transmettre, sont configurables. Nous reviendrons par la suite sur le réglage de ces paramètres.

Une fois des données générées, celles-ci sont d'abord encapsulées dans un protocole de niveau transport. Deux types de protocoles peuvent être utilisés : le protocole UDP et le protocole TCP.

Ce dernier est un protocole orienté connexion, c'est-à-dire qu'il permet à deux machines qui communiquent de contrôler l'état de la transmission. Lors d'une communication utilisant le protocole TCP, les deux machines doivent établir une connexion préalablement à la phase de transfert de données durant laquelle certains mécanismes clés permettent d'assurer la robustesse et la fiabilité de l'échange. Parmi ces mécanismes on utilise notamment des numéros de séquence afin d'ordonner les segments TCP reçus et de détecter les données perdues. On recourt également à des acquittements qui permettent la détection des segments perdus ou retardés et, le cas échéant, de demander leur re-transfert.

Le protocole UDP permet, quant à lui, une transmission très simple de paquets entre deux entités. Contrairement au protocole TCP, il travaille en mode non-connecté si bien qu'il est impossible de vérifier si tous les paquets envoyés sont arrivés à destination ou s'ils y sont arrivés dans le bon ordre. Aucun contrôle de flux ou contrôle de congestion n'est prévu. C'est pourquoi il est souvent décrit comme non fiable. C'est pourtant le protocole UDP qui sera utilisé pour l'ensemble des mesures. En effet, avec le protocole TCP, les nombreux accusés de réception

encombrant la liaison, quantités de retransmissions sont effectuées en cas de problème, et le débit atteint sur la liaison est alors loin d'être optimal. En UDP, aucun accusé n'étant renvoyé, il est possible de mesurer le débit et le nombre de paquets perdus. Les paquets UDP sont alors transmis à la carte réseau qui les encapsule sous forme de trame Ethernet avant de les transmettre à la carte Wisair. Cette configuration fait intervenir les interfaces réseau décrites en figure 17. En raison de la succession d'interfaces réseau et afin d'éviter une segmentation des trames lors du passage d'une interface réseau à l'autre, la taille des paquets UDP générés avec Iperf est fixée à 1480 octets, soit la taille maximale de paquet autorisant la traversée d'une couche Ethernet sans segmentation.

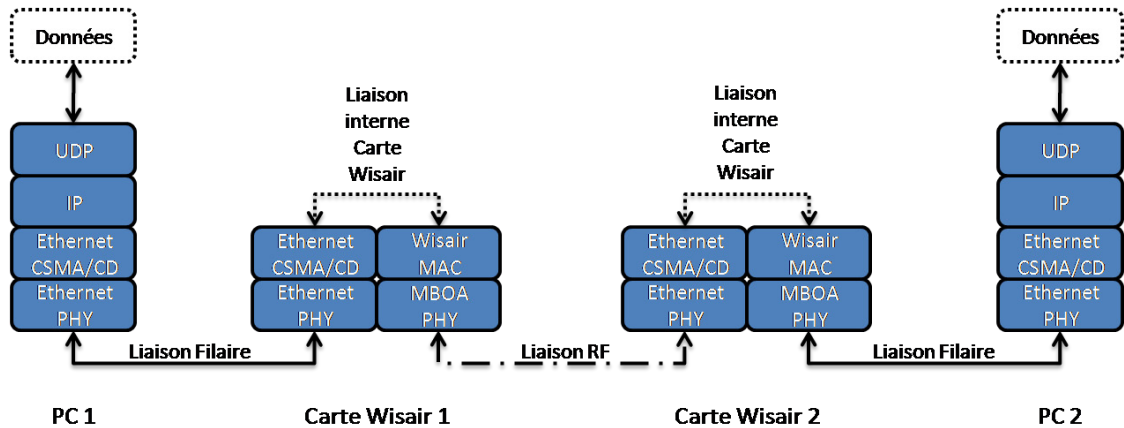


FIGURE 17 : INTERFACE RESEAU TRAVERSEE PAR LES DONNEES.

(MBOA=THE MULTIBAND-OFDM ALLIANCE PHYSICAL LAYER)

La description physique des essais impliquant les deux ordinateurs reliés aux cartes, et séparés d'une distance r .

L'implémentation des cartes Wisair ne permet pas de connaître précisément le nombre de bits erronés reçus. En effet, les trames qui arrivent au niveau de la puce bande de base de réception sont analysées et sont rejetées dans le cas où le nombre d'erreurs serait trop important, rendant la trame non corrigeable. La trame n'étant pas stockée sur la carte, elle ne peut donc pas être récupérée pour analyse. Les mesures de taux d'erreur sur la liaison ne peuvent donc se faire que par comparaison entre le nombre de paquets envoyés et le nombre de paquets correctement reçus au niveau des ordinateurs d'interface. Les mesures présentées dans ce document correspondent ainsi à des taux d'erreur paquet. Il est cependant possible, de façon indicative, de relier le taux d'erreur paquet au taux d'erreur bit de la manière suivante :

- Pour un BER donné, la probabilité de recevoir un bit correct est :

$$P = 1 - BER \quad (1.15)$$

- Sachant qu'un paquet contient 1518 octets (longueur trame Ethernet envoyée), on obtient une probabilité d'avoir un paquet sans erreur de :

$$P = (1 - BER)^{1518.8} \quad (1.16)$$

- Le taux d'erreur paquet est donc :

$$PER = 1 - (1 - BER)^{1518.8} \quad (1.17)$$

Si l'on considère un BER de 10^{-5} , on obtient un PER de 11.4%. C'est pourquoi on considèrera, dans l'ensemble du document, que la limite entre une bonne et une mauvaise transmission se situe autour d'un PER de 10%.

4.2 VALIDATION EN LABORATOIRE : ENVIRONNEMENT BUREAU

4.2.1 OCCUPATION SPECTRALE ET TEMPORELLE

Comme exposé précédemment, le standard MB-OFDM utilise trois bandes de fréquence de 528MHz de large réparties entre 3,168 GHz et 4,752 GHz. Afin de s'assurer que les conclusions tirées des mesures effectuées avec le kit Wisair peuvent être extrapolées dans un contexte MB-OFDM et non dans le simple cadre des kits utilisés, il convient de vérifier que le signal généré respecte cette répartition spectrale.

La figure 18 présente la valeur moyenne sur 1 seconde du spectre du signal généré par le kit DV9110M. On peut clairement identifier les trois bandes utilisées ainsi que les bandes de garde entre chacune d'elles. La largeur mesurée est bien de 528 MHz et le niveau de signal est de -40dBm/MHz.

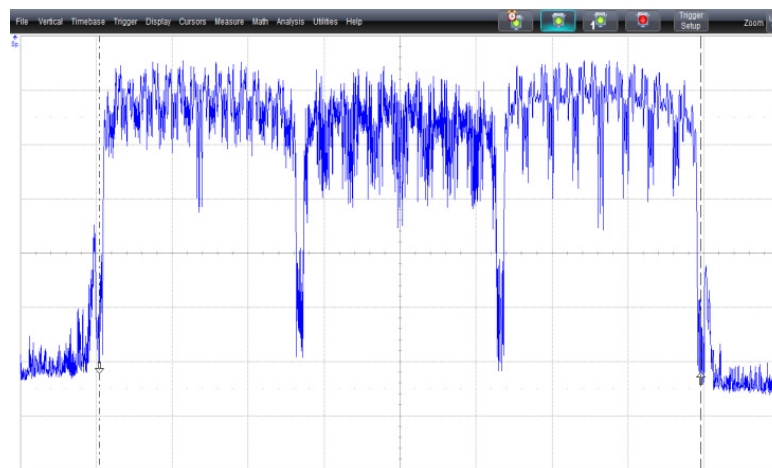


FIGURE 18 : SPECTRE DU SIGNAL GENERE PAR LES CARTES.
MESURE MOYENNE SUR UNE SECONDE EFFECTUEE SUR UN LECROY SDA 813

4.2.2 TAUX D'ERREUR MESURE EN ENVIRONNEMENT FERME

Le standard MB-OFDM a été développé pour la connexion d'appareils grand public comme un lecteur DVD, une télévision ou un vidéoprojecteur. Il a donc été pensé pour fonctionner en environnement fermé de type bureau. Les premières validations sont par conséquent effectuées dans ce type d'environnement afin de vérifier la cohérence des valeurs annoncées par le standard. L'environnement est une salle d'expérimentation du laboratoire, de forme carrée et d'environ

cinq mètres de côté. Le taux d'erreur est mesuré à l'aide des techniques précédemment présentées, en espaçant les deux éléments communicants d'1 m, 2 m, 2,5 m puis 3 m.

Le tableau 7 présente les résultats de la série de mesures. Le lien est excellent (moins de 1% de PER) pour des débits inférieurs à 400 Mbits/s entre 1 m et 3 m. Pour 480 Mbits/s, le lien est parfait pour une distance inférieure à 2,5 m.

TABLEAU 7 : TAUX D'ERREUR EN FONCTION DE LA DISTANCE MESUREE EN ENVIRONNEMENT BUREAU

DEBIT PROGRAMME SUR LA CARTE	DISTANCE ENTRE RX ET TX (M)	NB DE MESURES POUR EFFECTUER LA MOYENNE	TAUX D'ERREUR PAQUETS (MOYENNE)	ECART TYPE
53,5 Mbits/s – 320 Mbits/s	1	10	< 0,1%	0,0
	2	10	< 0,1%	0,0
	2,5	10	< 0,1%	0,0
	3	10	< 0,1%	0,0
400 Mbits/s	1	11	< 0,1%	0,0
	2	6	< 0,1%	0,0
	3	12	1%	0,1
480 Mbits/s	1	15	1%	0,1
	2	10	2%	0,1
	2,5	9	4%	0,0
	3	17	82%	0,1

L'environnement de mesure présenté ici correspond au modèle de canal 1 de l'IEEE 802.15.3a [71] (visibilité directe et moins de 4 m entre les éléments de la communication). Dans les publications liées à la norme MB-OFDM, les distances maximales de communication en fonction des paramètres sont définies comme présenté dans le tableau 8.

Les mesures effectuées avec les kits Wisair sont parfaitement cohérentes avec les performances annoncées par la norme pour le modèle de canal 1 [69]. En effet, au-delà de la limite théorique située à 2,9 m, le lien n'est plus fiable, avec un taux d'erreur de plus de 80% (mesure à 3 m).

TABLEAU 8 : RESULTATS THEORIQUES EN FONCTION DU TYPE DE CANAL

DATA RATE	AWGN	CM1	CM2
110 Mbits/s	20.5 m	11.4 m	10.7 m
200 Mbits/s	14.1 m	6.9 m	6.3 m
480 Mbits/s	7.8 m	2.9 m	6.6 m

4.3 VALIDATION EN CHAMBRE ANECHOÏDE : ENVIRONNEMENT AERONAUTIQUE RECREE

4.3.1 MODELE A UN RAYON

Dans le cas du déploiement aéronautique, le lien est établi entre un capteur collé sur une aile d'avion et un concentrateur de données placé à l'intérieur de la cabine pendant le vol. Dans cette situation, aucun obstacle ne se trouvant autour de l'avion, le canal de propagation est ouvert et aucune réflexion du signal n'est possible. Par conséquent, il n'existe aucun multi-trajet. Cette situation est résumée en figure 19.

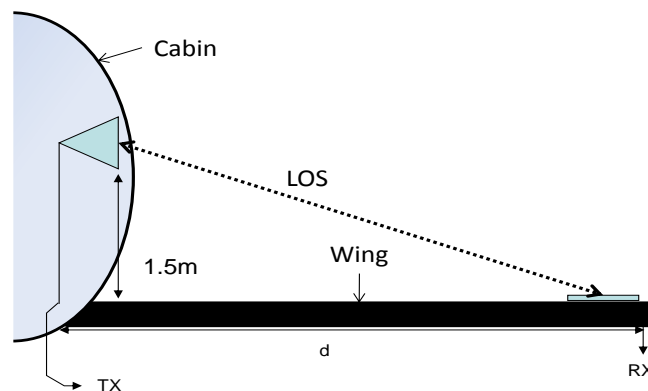


FIGURE 19 : CONDITIONS DE PROPAGATION SUR UNE AILE.

Afin de valider l'hypothèse de l'absence de multi-trajets, des mesures de perte de propagation ont été réalisées en conditions réelles sur une aile d'A340. La puissance reçue par une antenne cornet située à l'intérieur de la cabine a été comparée à la puissance émise par un dispositif utilisant une antenne patch collée sur l'aile dans une situation proche de celle présentée en figure 19. Après avoir retiré, grâce aux mesures effectuées, les gains d'antenne, les pertes des câbles et les pertes dues à la désadaptation d'impédance entre les antennes, on compare les pertes mesurées ainsi que les valeurs théoriques. Les valeurs théoriques des pertes en espace libre sont définies par l'équation (2.15).

$$L_{Free_Space} = \left(\frac{\lambda}{4 \cdot \pi \cdot d} \right)^2 \quad (1.18)$$

Les deux tracés présentant respectivement les valeurs de perte mesurées et les valeurs théoriques de perte en espace libre ont exactement la même allure. L'unique variation est liée au niveau de signal mesuré qui est inférieur d'environ 1 dB pour la valeur théorique par rapport à la valeur mesurée. Cette différence est quasiment constante quelle que soit la distance, et peut donc s'expliquer par les incertitudes de mesure. Cette mesure valide donc l'hypothèse selon laquelle, dans le cadre du déploiement avion, la propagation est directe.

Afin de limiter le recours aux lourdes procédures nécessaires pour accéder à un avion et y effectuer des mesures, il est possible, en se basant sur cette hypothèse, de réaliser des mesures réalistes soit en recourant à une chambre anéchoïde, soit en établissant un lien, en extérieur, entre un module posé au sol agissant comme un conducteur et une antenne placée à une hauteur d'environ 1,50 m dans un environnement dégagé, comme présenté en figure 20. Cette dernière

solution a été préférée car la chambre anéchoïde devrait alors mesurer 20 mètres de long au minimum.

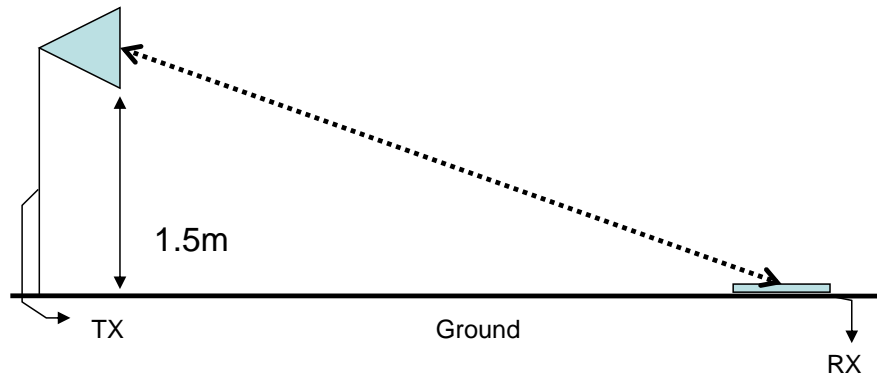


FIGURE 20 : CONDITIONS DE MESURE « AU SOL » PERMETTANT DE RECREER LES CONDITIONS DE PROPAGATION SUR UNE AILE

4.3.2 RESULTATS

Cette campagne de mesures a été conduite en extérieur, dans un environnement relativement dégagé et aussi éloigné des bâtiments que possible afin de recréer des conditions de propagation aéronautique, c'est-à-dire sans réflexion.

L'émetteur et le récepteur ont été progressivement éloignés jusqu'à atteindre une distance de 15 m.

Quels que soient les paramètres de débit choisis, les taux d'erreur mesurés sont toujours très faibles pour les distances inférieures à 5 m. A partir de 7 m, il n'est plus possible d'utiliser que les débits inférieurs à 200 Mbits/s. Cette étape correspond au moment où une redondance temporelle est ajoutée. La carte est alors capable de réparer une partie des erreurs de transmission. A 15 m, seuls les débits les plus bas donnent un taux d'erreur faible. Sur cette première série de mesures, on observe un taux d'erreur particulièrement important et ce quels que soient le codage et la redondance à une distance de 10 m. Ce phénomène peut être lié à un brouillage dû à des interférences destructives provoquées par les multi trajets causés par la présence de bâtiments à une distance éloignée mais non négligeable. Des mesures plus fines seront menées en déplaçant légèrement l'émetteur et le récepteur.

Les conditions de propagation sans réflexion sont très proches d'un canal de type gaussien (AWGN) qui est souvent utilisé pour caractériser les systèmes radio dans un cas idéal. Le document établi par Anuj Batra en 2003 [69], présente des simulations du standard MB-OFDM réalisé pour ce type de canal en fonction du codage, des redondances et de la distance entre éléments. Une comparaison entre ces simulations et nos résultats est présentée dans le tableau 9.

TABLEAU 9 : COMPARAISON DES DISTANCES MAXIMALES DE COMMUNICATION ENTRE LES SIMULATIONS ET LES MESURES

PARAMETRES DEBIT	RESULTATS DE SIMULATION PRESENTES PAR [69]	MESURES EN EXTERIEUR
110 Mbits/s	20.5 m	> 15 m
200 Mbits/s	14.1 m	12-13 m
480 Mbits/s	7.8 m	6 - 7 m (400 Mbits/s)

Ce tableau montre que les résultats obtenus sont proches des valeurs sur lesquelles se base le standard.

La figure 21 présente les résultats sous forme de graphique avec le taux de perte en ordonnée et le paramètre débit en abscisse pour toutes les distances. Les mesures effectuées entre 1 et 5 mètres montre un taux d'erreur inférieur à 0,5% quelques soit le débit et ne sont donc pas représentées ici.

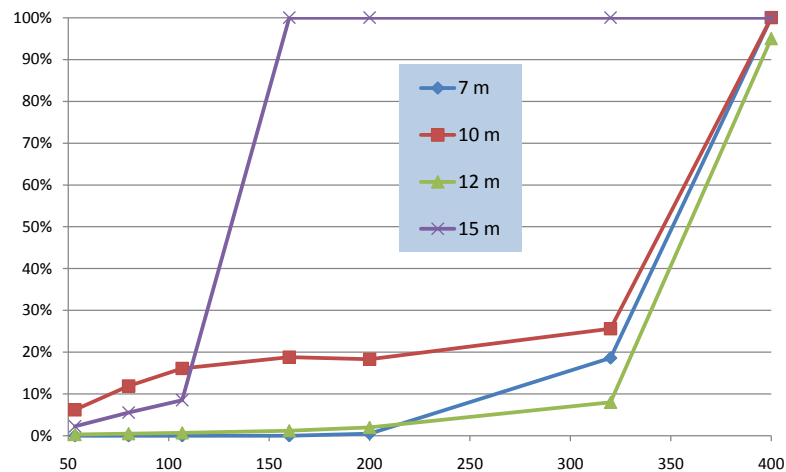


FIGURE 21 : TAUX D'ERREUR PAQUET EN FONCTION DU PARAMETRE DEBIT POUR LES DISTANCES DE 7 A 15 METRES

Afin d'obtenir des résultats plus précis et d'expliquer la présence d'un taux de perte important à 10 m, des mesures ont été effectuées tous les 0,5 m pour un débit fixe de 200 Mbits/s. En tenant compte du paramètre RER réglé à 50%, ce débit nous permet d'obtenir un débit effectif d'environ 100 Mbits/s sur la liaison. Les résultats sont présentés en figure 22. On observe que le taux d'erreur est très faible jusqu'à 10 m. En revanche, l'émetteur et le récepteur ayant été légèrement déplacés pour éliminer la zone d'interférences destructives précédemment présente autour de 10 m, la zone de pertes importantes se situe cette fois aux alentours de 9 m. Des mesures à l'analyseur de spectre n'ont pas permis de mettre en évidence un brouilleur à fort niveau de signal dans cette zone. Au cours des différentes campagnes de mesure menées dans des conditions similaires, une forte variance des taux d'erreur mesurés en fonction de la distance a pu être constatée. Si les taux d'erreur n'ont jamais dépassé 8% pour les débits inférieurs à 200 Mbits/s, ils ont tout de même pu atteindre 1 à 3%. Le standard, tel qu'implémenté dans les cartes, présente donc de fortes variabilités en fonction des conditions environnementales.

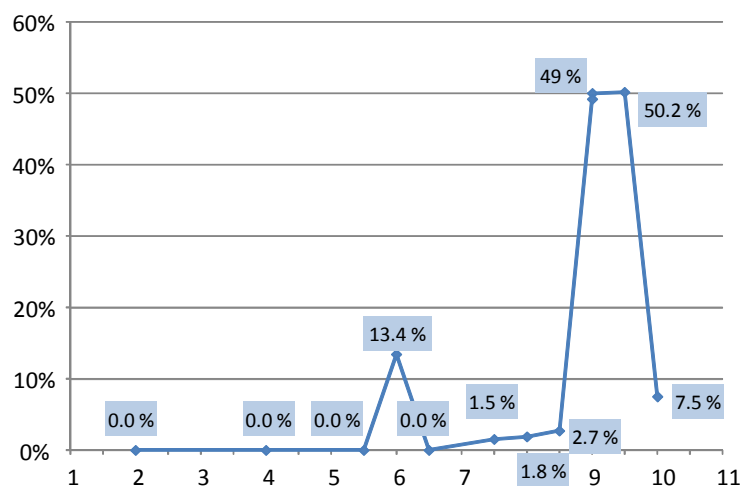


FIGURE 22 : TAUX D'ERREUR PAQUET EN FONCTION DE LA DISTANCE POUR UN PARAMETRE A 200 MBITS/S

Ces mesures permettent cependant de confirmer que le modèle sans réflexion dans le cadre de l'application aéronautique peut être recréé en extérieur et que, dans ces conditions, une communication sans perte excessive est possible via un lien UWB entre deux cartes distantes d'une dizaine de mètres pour les paramètres correspondant à un débit de 200 Mbits/s.

4.4 VALIDATION EN CONDITIONS REELLES SUR AVION AU SOL

Cette partie présente les résultats obtenus dans le contexte aéronautique de l'étude. L'objectif est de vérifier si la couche physique de type MB-OFDM répond aux contraintes de notre projet. Différents essais ont ainsi été réalisés sur la voilure d'un avion A340-600, en différents points sur l'extrados de l'aile et à l'intérieur du fuselage. Les premiers essais ont permis d'évaluer la liaison entre deux nœuds, tous deux situés sur la voilure. Ce type de liaison sera utilisé pour la communication nœud-routeur, présentée dans la partie IV. La suite de la campagne d'essais a porté sur l'évaluation d'une liaison entre un élément situé sur l'extrados et un élément situé à l'intérieur de l'avion au travers d'un hublot. Cette liaison sera utilisée pour la communication routeur-concentrateur.

4.4.1 LIAISON ENTRE DEUX ELEMENTS POSES SUR UNE AILE

La première configuration de mesure a pour objectif l'évaluation de la qualité de la liaison radio point à point sur une voilure. La finalité d'une telle configuration est d'évaluer la qualité d'une liaison radio en deux points extérieurs au fuselage d'un avion. Cette configuration est représentative de la communication entre un nœud et un routeur. Deux cartes Wisair en configuration émetteur (E) et récepteur (R) ont été posées sur l'extrados de l'aile à une distance variable. Le récepteur a été disposé à une distance d'environ 2 m de la paroi du fuselage.

4.4.1.1 MESURES AVEC ANTENNES WISAIR DROITES

Le premier test a été effectué avec les antennes fournies avec les kits Wisair. Les valeurs de gain maximum de ces antennes sont faibles, c'est-à-dire autour de 0 dB. Le rayonnement se fait des deux côtés du plan défini par l'antenne avec une direction privilégiée perpendiculaire à l'antenne. Ces antennes se positionnent verticalement.

Cette mesure montre qu'une telle liaison radio est rendue impossible par la direction de polarisation du champ horizontal. La présence d'un plan conducteur de même direction que la polarisation (voilure avion) neutralise en effet le champ électrique. Le vecteur champ magnétique qui doit être normal au plan de la voilure est également fortement atténué par l'importante conductivité de la voilure. La puissance rayonnée, qui est proportionnelle au produit des modules des champs électriques et magnétiques sous la forme d'un produit vectoriel, est donc très faible. Il est par conséquent indispensable de prendre en compte ce phénomène lors du choix des antennes utilisées pour les nœuds de notre réseau.

4.4.1.2 MESURES AVEC ANTENNES WISAIR COUCHEES

Dans le cas d'une direction de polarisation du champ normale au plan de la voilure, le champ électrique n'est que légèrement atténué par la voilure. Le champ magnétique, qui est alors tangent à la surface de la voilure, est en revanche fortement atténué par l'induction de courants de Foucault. L'impédance d'onde est alors faible, mais le produit des modules des champs électriques et magnétiques permet d'obtenir un niveau supérieur au cas précédent.

Pour valider cette hypothèse, des essais ont été réalisés en modifiant la direction de polarisation du champ rayonné par les antennes Wisair. Afin d'assurer une direction de polarisation verticale, les antennes planaires Wisair ont été pivotées d'un angle de 90°. La polarisation du champ est alors normale à la surface de la voilure.

Dans cette configuration, quelques trames ont été reçues au niveau du maître, mais elles ont été si peu nombreuses, y compris pour de faibles distances, que l'on peut conclure que la communication est impossible même lorsque la polarisation du champ est normale à la voilure. Il est donc indispensable de noter que l'utilisation d'une direction de polarisation horizontale s'avère préjudiciable au bilan de liaison.

4.4.1.3 MESURES AVEC ANTENNES LAAS EN POSITION HORIZONTALE

Dans cette configuration représentative de l'application finale, on utilise des antennes pouvant être positionnées parallèlement à la surface de la voilure. Ces antennes sont planaires et à large bande. Leur bande de fonctionnement est de 3.2-4.8 GHz avec un gain de 6 dB dans la direction de rayonnement maximum de l'antenne. Elles ont été développées au LAAS et sont présentées dans la publication [74]. Les diagrammes de rayonnement de ces antennes sont de forme patatoïde avec une directivité maximale dans une direction perpendiculaire au plan que définit l'antenne. Elles sont de dimension 5x5x2 cm³.

Les conditions d'utilisation de ces antennes ne sont évidemment pas optimales pour le bilan de liaison radio, notamment en raison de leur diagramme de rayonnement dont le maximum est

normal à l'antenne. En position horizontale, l'essentiel de l'énergie est donc rayonné vers le ciel et la contribution en gain des antennes sur le bilan de puissance dans les conditions de déploiement est défavorable compte tenu des positions respectives des antennes. La figure 23 montre une photo de l'antenne et de la carte Wisair posées sur la voilure d'un avion.



FIGURE 23 : CARTE WISAIR AVEC ANTENNE LAAS SUR LA VOILURE D'UN A340-600

La figure 24 donne le taux d'erreur dans le transfert de données en fonction de la distance d'éloignement (en mètres) des sources d'émission et de réception radio. L'essai a été effectué avec différents paramètres de vitesse de transmission des données, correspondant au changement du taux de codage (53,3 Mbits/s ; 106 Mbits/s; 200 Mbits/s et 400 Mbits/s).

Ces essais (figure 25) montrent que la qualité de réception du signal radio se dégrade rapidement avec la distance. Au-delà de 4 m, le taux d'erreur dans le transfert de données dépasse les 15 %, y compris avec un fort taux de codage correcteur d'erreur et de redondance (paramètre débit utile : 53.3 Mbits/s). Si l'on considère que la valeur de 10 % est, dans le domaine des réseaux grand public, la valeur limite au-delà de laquelle une liaison radio fiable n'est plus possible, et compte tenu du fait que dans notre application beaucoup plus contrainte, cette valeur est un seuil très largement intolérable, la communication entre les modules est impossible dans ces conditions au-delà de 4 m.

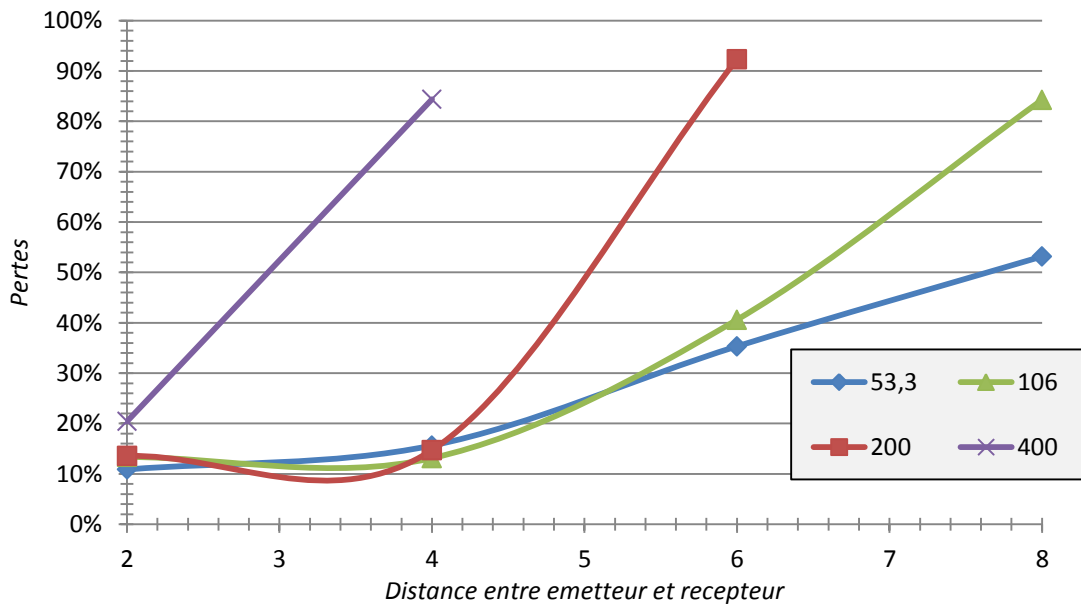


FIGURE 24 : COURBE DE TAUX D'ERREUR EN FONCTION DE L'ÉLOIGNEMENT E/R SUR LA VOILURE

Cette performance très moyenne pourrait être considérablement améliorée par l'utilisation d'une antenne dont le diagramme de rayonnement présenterait un maximum de directivité dans la direction qui lie émetteur et récepteur et contribuerait à améliorer le bilan de liaison radio. Des antennes dont les diagrammes sont inclinés par rapport à la surface de la voilure seraient un plus. Enfin, le cas idéal, mais impossible à atteindre, est celui d'une directivité maximale dans une direction parfaitement colinéaire au plan de la voilure.

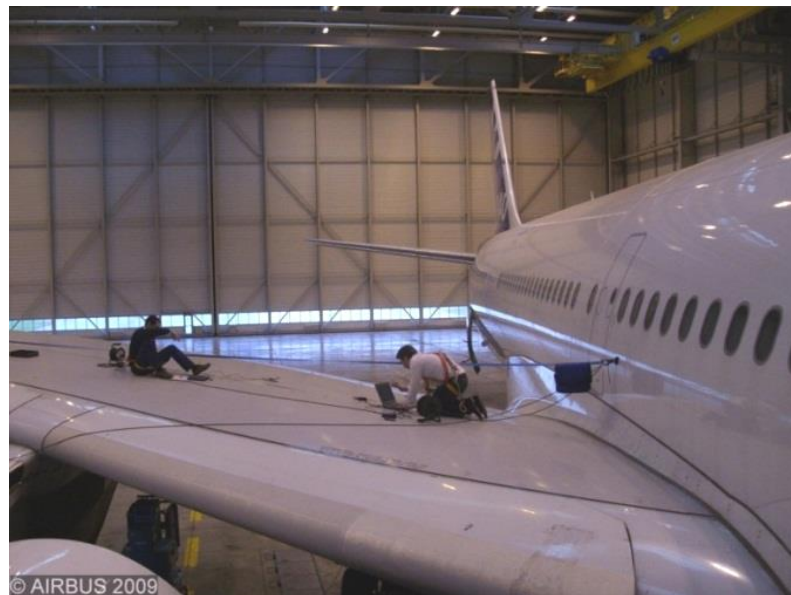


FIGURE 25 : PHOTOGRAPHIE DE L'ESSAI AVEC LES ANTENNES POSEES SUR LA VOILURE

4.4.1.4 MESURES AVEC ANTENNES LAAS EN POSITION VERTICALE

Cette variante consiste à positionner les deux antennes planaires de telle manière que les deux plans d'antennes soient perpendiculaires au plan de la voilure. On recrée ainsi une situation où le

diagramme de rayonnement serait couché. Le récepteur est toujours positionné à 2 m de la paroi du fuselage.



FIGURE 26 : PHOTOGRAPHIE DE LA CONFIGURATION AVEC LES ANTENNES VERTICALES

Dans cette configuration, en supposant que le diagramme de rayonnement reste inchangé, la direction du rayonnement maximum devrait être rasante à la surface de la voilure. Cependant, dans ces conditions d'utilisation non conformes, le diagramme de rayonnement est déformé par la présence de l'aile métallique mais reste malgré tout significatif le long de la voilure. La quantification de la variation des caractéristiques de l'antenne planaire n'a pas été effectuée. Les résultats obtenus donnent toutefois une bonne idée de ce qui pourrait être obtenu si une antenne planaire au diagramme incliné était utilisée.

Pour une vitesse de transmission des données de 53,3 Mbits/s, les distances d'éloignement entre émetteur et récepteur ainsi que le nombre de paquets de données envoyés et reçus correctement sont reportés. Le taux d'erreur moyen ainsi qu'une évaluation de sa dispersion sont également donnés.

Pour des distances présentant un taux d'erreur faible à 53,3 Mbits/s (16 et 18 m), les mesures ont été réitérées pour une vitesse de transfert des données de 106 Mbits/s.

Les taux d'erreur en fonction de la distance d'éloignement des modules pour les paramètres 53,3 Mbits/s et 106 Mbits/s sont présentés en figure 27.

Exception faite du pic d'erreur enregistré à 16 m et qui provient d'interférences destructrices semblables à celles rencontrées précédemment, dans cette configuration la liaison est bonne jusqu'à 19 m. Le taux d'erreur bit se situe autour de 10^{-6} pour les faibles distances ($d < 14$ m). On observe une nette amélioration par rapport à la configuration précédente, ce qui est dû à l'augmentation du gain de l'antenne dans la direction de rayonnement.

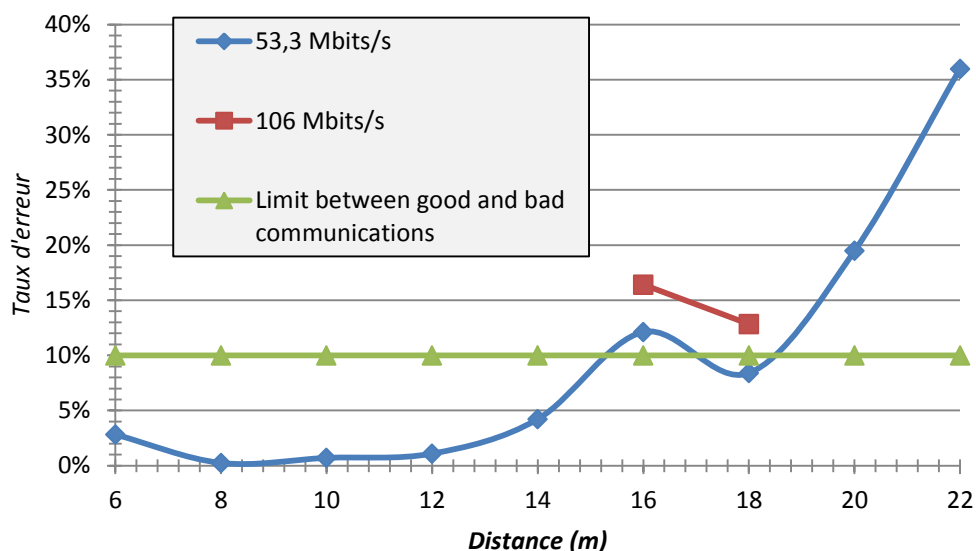


FIGURE 27 : TAUX D'ERREUR EN FONCTION DE L'ÉLOIGNEMENT E/R SUR LA VOILURE.

Les distances obtenues avec des taux d'erreur faibles sont compatibles avec les contraintes de l'application visée (~10 m) et permettent de réaliser la quasi-totalité d'une liaison d'un bout à l'autre de l'aile. Cependant, on observe que si le taux d'erreur est faible, c'est en raison d'un taux de codage correcteur d'erreur très important et d'un double niveau de redondance temporelle et fréquentielle. Le débit utile du lien n'est plus alors que de 53,3 Mbits/s, ce qui est très faible comparativement au débit physique de données (640 Mbits/s). Ici, le débit n'est donc pas compatible avec l'application visée. De plus, des interférences destructives ont été observées à deux reprises, provoquant une remontée d'erreur importante pour une distance donnée. S'il est possible de valider le choix de l'UWB-OFDM pour la communication entre nœud et routeur dans le contexte aéronautique, les cartes munies de puces Wisair ne peuvent pas être utilisées en l'état.

4.4.2 LIAISON ENTRE UN ÉLÉMENT POSE SUR UNE AILE ET UN ÉLÉMENT SITUÉ À L'INTÉRIEUR DE LA CABINE

Cette partie aborde la validation de l'utilisation des cartes OFDM pour la liaison entre un nœud situé sur l'aile de l'avion (nœud ou routeur) et le concentrateur placé à l'intérieur de la cabine, derrière un hublot. L'objectif du concentrateur est de centraliser l'ensemble des informations du réseau pour les afficher sur la console de l'ingénieur chargé du suivi de l'essai en vol. Dans ce cas de figure, en raison des différents problèmes de polarisation décrits précédemment, seules les antennes planaires développées par le LAAS sont utilisées pour l'émetteur placé sur l'aile. Un cornet large bande est utilisé pour le récepteur en cabine, ce qui permet d'avoir un gain très fort et une antenne directive au niveau du nœud central. En effet, l'élément situé à l'intérieur de la cabine ne communique qu'avec des modules placés sur une zone réduite de l'aile. Il n'est donc nécessaire d'éclairer que cette zone, ce qui justifie l'emploi d'une antenne directive. De dimension 14x20x10 cm³, cette antenne présente un gain de l'ordre de 12 dB.

4.4.2.1 MESURES AVEC ANTENNE LAAS HORIZONTALE

La première configuration vise à positionner l'antenne directive (cornet large bande) contre un hublot de cabine au niveau de l'aile de l'avion (figure 28). Ce point constitue la zone de réception des données. Le point d'émission est positionné sur la voilure à différentes distances d'éloignement. L'antenne utilisée au point d'émission est une antenne planaire large bande.

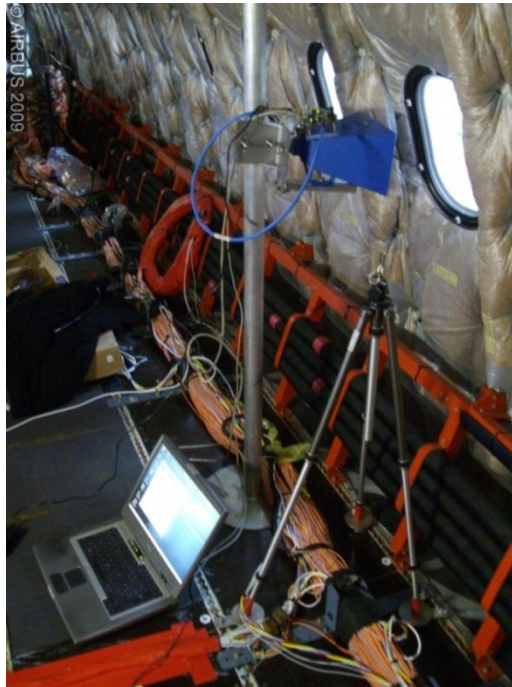


FIGURE 28 : POSITIONNEMENT DU CORNET DERRIERE UN HUBLLOT DANS LA CABINE.

Les résultats de ces essais donnent, en fonction de l'éloignement des cartes émission et réception, le nombre de paquets de données envoyés et reçus correctement, ainsi que le taux d'erreur. La courbe du taux d'erreur en fonction de la distance de communication, est reportée sur la figure 29.

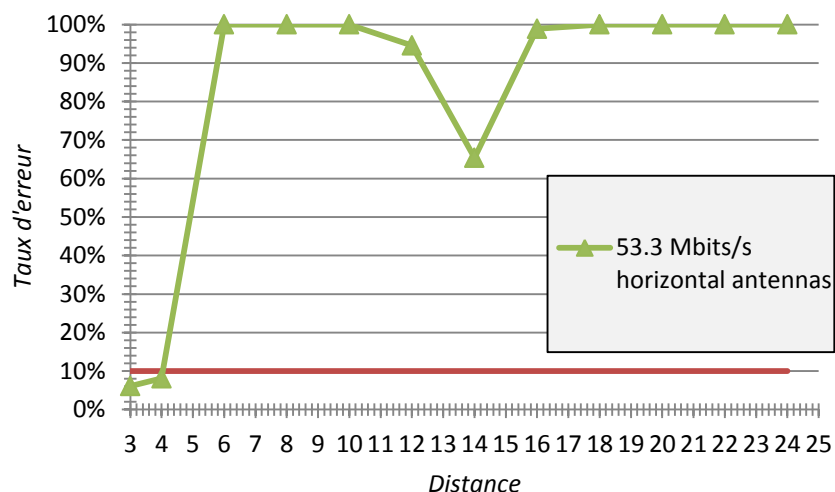


FIGURE 29 : TAUX D'ERREUR EN FONCTION DE LA DISTANCE DE COMMUNICATION

Cette courbe montre que la communication radio n'est opérationnelle qu'à très courte distance. En effet, près du fuselage, l'aile n'est pas perpendiculaire à la cabine. L'antenne qui est collée sur

l'aile n'est alors plus perpendiculaire au cornet, mais présente au contraire un angle important. Ainsi, l'angle d'incidence de la propagation des ondes est alors supérieur à 25° . La direction du rayonnement maximal de l'antenne planaire positionnée sur la voilure avion est donc suffisamment proche de la direction d'incidence des ondes pour permettre d'obtenir un gain effectif d'antenne non négligeable (supérieur à 0 dB). Dans le cas contraire, la contribution en gain de l'antenne planaire (très inférieure à 0 dB) est telle que la liaison radio est impossible.

Ce problème de direction de rayonnement des antennes planaires a déjà été évoqué dans les paragraphes précédents. L'étude d'une antenne dont la direction de rayonnement est oblique par rapport à la normale au plan de la voilure est indispensable pour la quasi-totalité de la surface de l'aile. Mais cet essai a mis en évidence le problème de la courbure en bout d'aile et donc la nécessité d'utiliser une antenne ayant un diagramme de rayonnement proche de la normale, spécialement conçue pour cet endroit précis. Mais cette zone étant généralement peu instrumentée, elle sera donc négligée à ce stade de l'étude.

Afin d'évaluer les niveaux minimum de taux d'erreur auxquels il faudra s'attendre avec l'antenne au diagramme de rayonnement couché, ces essais ont été répétés en positionnant l'antenne planaire verticalement. Le rayonnement maximum des antennes doit alors être beaucoup plus proche de la direction d'incidence des ondes radio.

4.4.2.2 MESURES AVEC ANTENNE LAAS VERTICALE

Comme indiqué précédemment, il s'agit ici de placer l'antenne verticalement. On obtient ainsi une direction de propagation privilégiée puisque le gain maximum de l'antenne se situe dans la direction de propagation. Les positions de l'antenne planaire (émetteur) sont les mêmes que pour la configuration précédente.

Le niveau de taux d'erreur de transmission de données, en fonction de l'éloignement de la carte de réception, est reporté sur la courbe présentée en figure 30.

Cette courbe montre que la contribution en gain de l'antenne planaire sur le bilan de liaison est significative. Le phénomène inverse à celui mis en évidence en figure 29 est observé sur les faibles distances. En effet, la communication est désormais opérationnelle loin du fuselage de l'avion, sur une plage d'éloignement importante. La forme bosselée de cette courbe s'explique également par le comportement en rayonnement de l'antenne directive placée à l'intérieur de l'avion. Le gain du cornet étant important (environ 12 dB), l'angle d'ouverture à 3 dB est faible. Pour un gain de 12 dB, cet angle est de l'ordre de 64° sur les 2 plans (azimutal et longitudinal).

A proximité du fuselage, l'angle d'incidence de la propagation radio s'éloigne de la direction où le gain de l'antenne planaire est maximal. Ceci explique pourquoi la communication à courte distance est désormais inopérante.

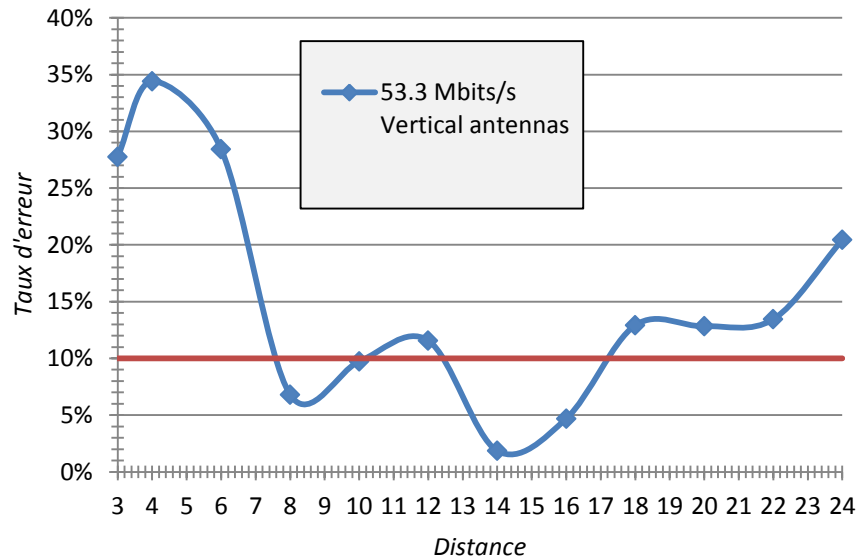


FIGURE 30 : TAUX D'ERREUR EN FONCTION DE LA DISTANCE DE COMMUNICATION

Loin du fuselage, la direction d'incidence de la propagation se rapproche de la direction du rayonnement maximum de l'antenne planaire, améliorant ainsi la communication.

En revanche, lorsque l'antenne est éloignée davantage, elle quitte la zone d'éclairement maximum du cornet. La contribution en gain de l'antenne planaire est alors annulée par celle du cornet qui devient très faible hors de sa zone d'éclairement maximum. Un calcul rapide permet d'estimer la variation de l'angle d'incidence de la propagation radio à une dizaine de degrés le long de la voilure. La variation de gain du cornet devient alors conséquente. S'ajoutent enfin à cet effet les pertes par désadaptation de polarisation, qui sont très importantes dans le cas d'une antenne directive. Cet effet, cumulé à celui des variations de gain en puissance des antennes, explique les bornes d'éclairement observées.

Dans une telle situation, il est donc possible d'utiliser un lien UWB-OFDM tout en obtenant de bonnes performances sur la liaison. Il est cependant crucial d'apporter une attention toute particulière aux antennes utilisées. Ainsi, le rayonnement des nœuds placés près du fuselage doit être perpendiculaire à la voilure, et le rayonnement d'un nœud placé loin du fuselage doit, quant à lui, être parallèle à la voilure.

Enfin, il convient de choisir l'angle d'ouverture du cornet de manière à ce que sa zone maximale d'éclairement couvre l'ensemble de la voilure. Ce dernier point nécessite un réglage statique très précis du cornet contre le hublot en fonction de la zone d'installation des capteurs.

4.5 VALIDATION EN CONDITIONS REELLES SUR SATELLITE AU SOL

Cette partie présente les résultats obtenus dans le contexte satellite de l'étude. Comme pour la validation dans le contexte aéronautique, l'objectif est de vérifier que la couche physique MB-OFDM répond aux contraintes de l'application satellite. Nous présentons ici les matériels utilisés et le contexte des essais, avant d'exposer les résultats.

4.5.1 CONTEXTE ET MATERIELS SPECIFIQUES AU DOMAINE SATELLITE

4.5.1.1 PRESENTATION DE LA MAQUETTE SATELLITE

Pour valider le déploiement dans un contexte satellite, deux maquettes de satellite ont été utilisées. La première a été développée en laboratoire pour recréer au mieux les conditions réelles, l'accès à un véritable satellite pour y faire des essais radio étant en effet une démarche particulièrement délicate. Le rôle de cette maquette, nommée LAAS-Sat et présentée en figure 31, est de servir de support à des premières validations. La structure est une boîte métallique entièrement fermée et étanche du point de vue des radiofréquences. Seule une très petite ouverture a été percée sur l'avant de la structure afin d'y insérer le répéteur passif qui sera présenté dans la partie suivante.



FIGURE 31 : MAQUETTE UTILISEE POUR LA VALIDATION : LAAS-SAT

La maquette LAAS-Sat est un outil satisfaisant pour de premières validations mais ne permet pas de rendre compte de la propagation à l'intérieur d'un véritable satellite, de dimensions bien plus importantes et composé de nombreux compartiments. Des essais complémentaires ont donc été réalisés sur une véritable structure Eurostar-3000, vide de tout équipement électronique, en salle blanche dans les locaux d'Intespace à Toulouse. Un schéma et une photographie sont présentés en figure 32. La maquette, habituellement utilisée par Intespace pour des tests mécaniques, est un cube d'environ deux mètres de côté, avec des murs métalliques à l'extérieur et à l'intérieur, comme figuré sur le schéma. Plusieurs ouvertures sur les parois extérieures permettent une communication entre les capteurs placés à l'intérieur de la structure et le récepteur situé, lui, à l'extérieur.

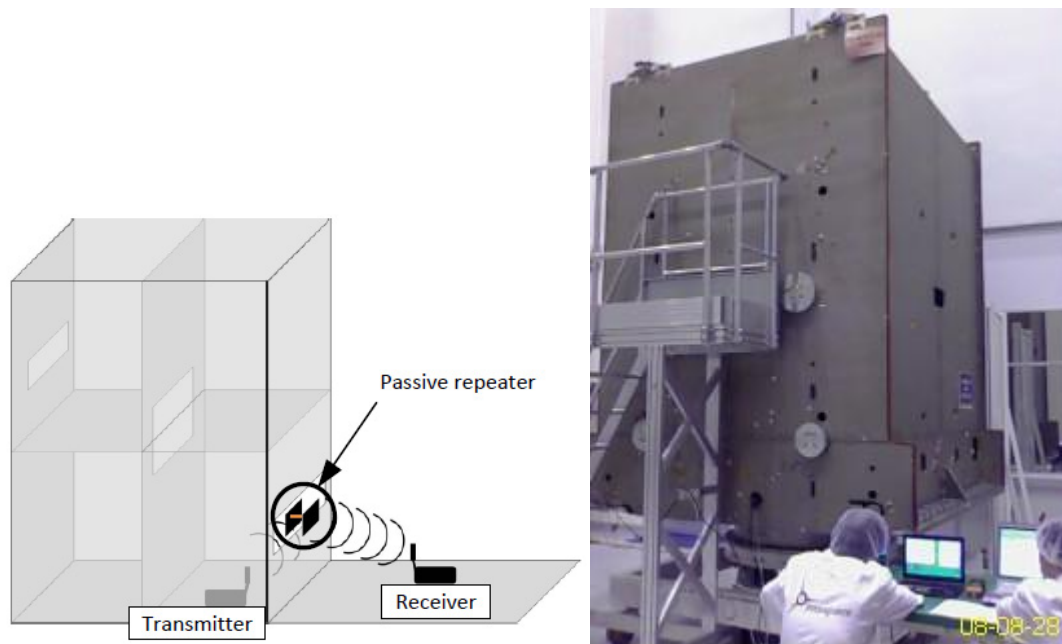


FIGURE 32 : REPRESENTATION SCHEMATIQUE (GAUCHE)
ET PHOTOGRAPHIE (DROITE) DE LA STRUCTURE EUROSTAR 3000

4.5.1.2 ANTENNES

Deux antennes différentes seront utilisées pour la validation satellite. Les antennes fournies avec le kit Wisair, présenté précédemment, ont été brevetées par l'entreprise, si bien que peu d'informations sont disponibles à leur sujet. Elles ont un diagramme de rayonnement quasi-omnidirectionnel entre 3 GHz et 5 GHz. Leur gain est faible comparativement à celui des antennes Vivaldi qui seront également utilisées. Ces dernières, présentées en partie droite de la figure 33, ont été développées par « l'Institut für Hochfrequenztechnik » [75] de l'Université de Stuttgart en Allemagne, et présentent un gain de 4 à 8 dB entre 3 GHz et 10 GHz. Ces antennes nous permettront d'étudier le comportement d'une antenne à gain important dans une cavité comme le satellite.

4.5.1.3 REPETEURS PASSIFS

La structure mécanique de base d'un satellite est métallique, et forme donc une cage de Faraday [76]. Les capteurs développés devant être installés à l'intérieur de cette cage, il est nécessaire de concevoir un système permettant au signal radio de « sortir » de la partie interne du satellite. Ce système doit être à la fois autonome en énergie et extrêmement léger afin de ne pas modifier la réponse du satellite lors des essais mécaniques. Il sera par conséquent très basse consommation et idéalement passif. Des travaux menés dans ce sens par Ahmed Ali, Antony Coustou et Hervé Aubert [74] ont montré qu'il était possible de concevoir des répéteurs totalement passifs qui permettent la transmission d'un rayonnement électromagnétique à travers un mur métallique, à condition qu'il soit percé d'une ouverture d'environ 4 mm de diamètre. Nous testerons ici les deux répéteurs basés sur des antennes patch développées spécialement pour cette application ainsi que sur les antennes Vivaldi précédemment décrites et présentées en figure 33.

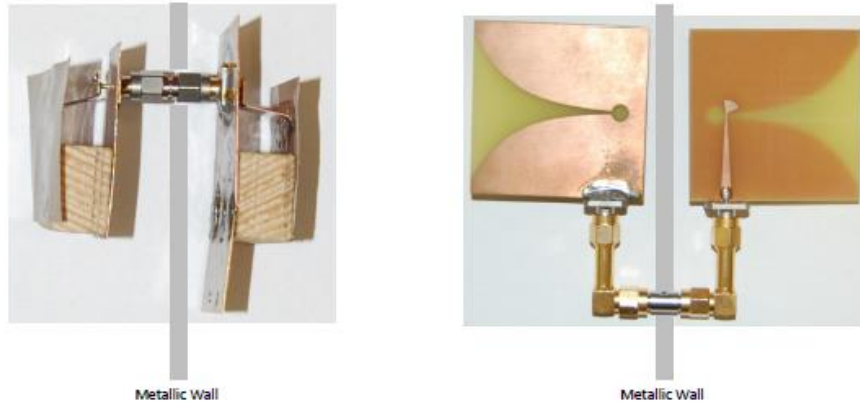


FIGURE 33 : REPETEURS PASSIFS [74] UTILISES POUR LA VALIDATION DES PUCES RADIO WISAIR.

Le premier répéteur (figure 33 à gauche) est composé de deux antennes « patch » développées spécifiquement pour cette application au LAAS-CNRS et qui présentent l'avantage d'utiliser le mur métallique du satellite comme plan de masse. Leur conception très fine leur permet de tenir très facilement contre la structure.

Le second répéteur (figure 33 à droite) utilise les antennes Vivaldi et présente donc une directivité importante. Il est cependant beaucoup plus volumineux et tient de ce fait plus difficilement en place. La figure 31 et la figure 32, montrent le répéteur passif en place sur la structure du satellite.

4.5.2 LOGICIELS D'ETUDE

Afin d'éviter un travail fastidieux consistant à tester tous les jeux de paramètres envisageables pour les cartes Wisair, comme cela a été fait pour le contexte avion, un programme spécifique a été développé pour les tests satellite par Florian Perget. Le standard MB-OFDM offre plusieurs configurations de débit de données. Ainsi, plus le débit est faible, plus le taux d'erreur sur la liaison sera réduit lui aussi. En effet, on a vu que lorsque le débit de données utilisateur est réduit, l'échange de données radio s'effectue, lui, toujours à la même vitesse. Un simple ajout de redondance et de codage d'erreur vient réduire le débit utilisateur. L'objectif du programme est de systématiser les tests pour évaluer automatiquement les meilleurs paramètres. Les détails de ce programme sont décrits en annexe 3.

4.5.3 RESULTATS

L'étude du système dans le contexte satellite a été divisée en deux étapes successives. D'abord, des tests ont été menés sur la maquette LAAS-Sat. Dans un second temps, des tests de validation ont été effectués sur une structure Eurostar-3000 pour confirmer les résultats obtenus en laboratoire. Des essais complémentaires ont également été effectués afin d'affiner les résultats obtenus et d'atteindre la performance maximale théorique définie par la norme. Pour chaque mesure, le lien est considéré comme bon quand le taux d'erreur paquet (c'est-à-dire la différence entre le nombre de paquets envoyés et le nombre de paquets reçus) est inférieur à 8%. Cette valeur de 8% a été choisie parce qu'elle correspond à une erreur binaire acceptable d'environ 10^{-5} .

4.5.3.1 PERFORMANCES SUR LA MAQUETTE LAAS-SAT

Quatre essais ont été effectués sur la maquette LAAS-Sat. Tout d’abord, le débit de données entrainant moins de 8% de taux d’erreur paquet est mesuré à l’aide de deux cartes Wisair placées en vision directe (Line Of Sight), à 1 m de distance, en dehors de l’enceinte du satellite. Ce premier essai permet d’établir une valeur de référence dans une situation idéale.

Ensuite, des mesures ont été effectuées en disposant une carte à l’intérieur de la structure métallique et une autre à l’extérieur, d’abord sans répéteur passif, puis avec un répéteur utilisant les antennes patch présentées, et enfin avec un répéteur utilisant les antennes Vivaldi.

Tous les tests ont été réalisés à l’aide des antennes Wisair sur les kits, et leurs résultats sont présentés dans la figure 34.

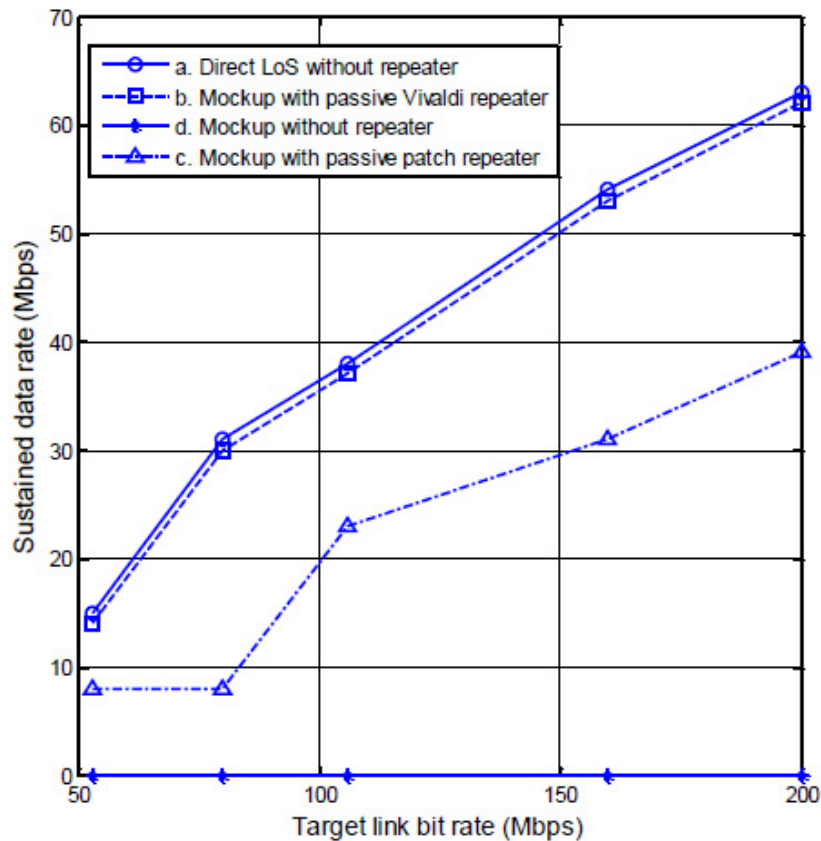


FIGURE 34 : DEBIT DE DONNEES MAXIMUM POUR LA MAQUETTE LAAS-SAT

Le test de référence hors de la structure établit le débit de données de référence à un peu moins de 70 Mbit/s (courbe a. de la figure 34). En raison de la nature métallique de la structure du satellite et de l’absence d’ouverture dans cette dernière, aucune donnée radio n’est transmise en l’absence de répéteur passif (courbe d. de la figure 34). Le répéteur utilisant les antennes Vivaldi permet de retrouver les mesures obtenues hors du satellite (courbe c. de la figure 34). Enfin, le répéteur utilisant les antennes Patches montre des résultats inférieurs de 15 à 20 Mbits/s (courbe b. de la figure 34) par rapport à la valeur de référence.

En conclusion, cette campagne de mesures, basée sur une maquette de satellite construite en laboratoire, montre que le meilleur débit de données est de 70 Mbits/s et qu’il est obtenu pour un répéteur Vivaldi, un paramètre de débit MB-OFDM de 200 Mbits/s et un paramètre $R_x/(R_x + T_x)$ de 50%.

4.5.3.2 PERFORMANCES SUR LA MAQUETTE EUROSTAR 3000

L'objectif de cette campagne est de comparer les résultats recueillis sur la maquette LAAS-Sat avec les résultats obtenus sur une structure réelle de satellite Eurostar-3000 avec le même jeu de paramètres. Ces résultats sont présentés en figure 35. La distance entre l'émetteur, situé à l'intérieur de la structure, et le récepteur, placé à l'extérieur, est de 3 m environ.

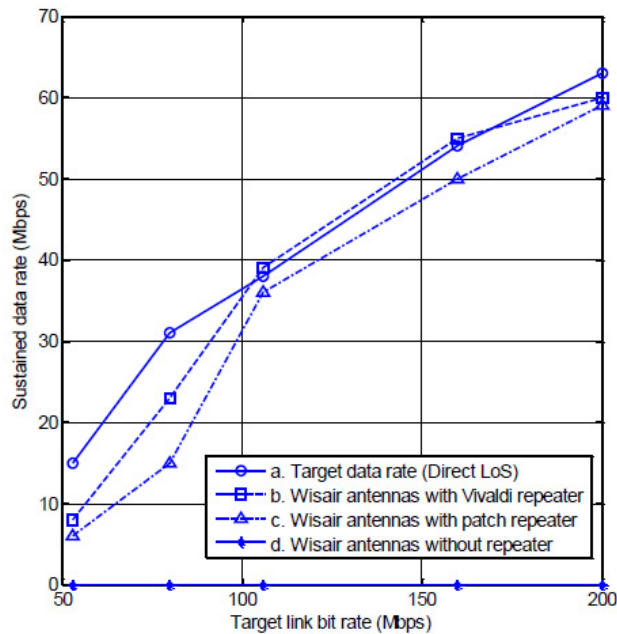


FIGURE 35 : DEBIT DE DONNEES MAXIMUM POUR LA STRUCTURE EUROSTAR 3000

Comme sur la maquette laboratoire, aucune communication n'est possible en l'absence de répéteur (courbe d. de la figure 35). Grâce aux répéteurs (courbe b. et c. de la figure 35), des performances comparables à la liaison directe (courbe a. de la figure 35) peuvent être obtenus.

L'augmentation des performances du répéteur patch entre la maquette et la structure Eurostar peut s'expliquer par le fait que ce répéteur a été spécialement optimisé pour l'épaisseur des parois métalliques de la structure Eurostar-3000. Le répéteur utilise ainsi le mur métallique comme plan de masse. Or, les parois de la maquette LAAS-Sat étant beaucoup plus fines, l'efficacité du répéteur se trouve réduite.

L'essai sur la structure Eurostar 3000 est une première étape vers l'objectif de 100 Mb/s avec un taux de perte paquet de 8%, puisque nous obtenons ici 62 Mb/s sans dépasser le seuil de perte de données.

La figure 35 met en évidence les importantes similitudes avec les résultats obtenus en laboratoire, notamment en ce qui concerne l'impact non linéaire du taux de données utiles, et la relation entre le gain du répéteur et les performances. A l'occasion des mesures, plusieurs points clés devant nécessairement être améliorés pour atteindre un niveau satisfaisant de confiance dans les résultats ont été identifiés.

D'abord, la mesure effectuée montre une très grande sensibilité des résultats aux perturbations externes (déplacement d'objets dans la pièce par exemple). Ce phénomène s'explique principalement par un temps de mesure relativement court, et donc une moyenne calculée à partir d'un faible nombre de points de mesure. En effet, le débit est calculé à partir d'un ensemble de données envoyées par le maître pendant 30 s seulement. Cette durée avait été choisie pour pouvoir tester un grand nombre de paramètres dans un délai très court. Des mesures

plus longues, de quelques minutes, ont été effectuées en réduisant le nombre de jeux de paramètres. Enfin, ces nouveaux tests sont également l'occasion de vérifier si le choix d'un « Target Link Data Rate » plus élevé pourrait autoriser l'augmentation du débit effectif atteignable.

Une nouvelle série d'essais a donc été effectuée sur la structure Eurostar 3000. Lors de ces tests, nous avons tenté d'atteindre une performance maximale en combinant les jeux de paramètres qui avaient présenté le lien le plus fiable au cours de la précédente campagne d'essais, tout en augmentant le niveau de confiance dans les résultats. Afin d'obtenir un niveau maximum de puissance rayonnée, les antennes Vivaldi ont été utilisées sur les cartes avec le répéteur composé de ces mêmes antennes. Le paramètre débit utile de données a été testé jusqu'à 480 Mbits/s. De plus, la bande passante disponible a été doublée grâce à un réglage du paramètre « Rx Rx + Tx » à 100% dans le sens de communication. Les résultats obtenus sont présentés en figure 36.

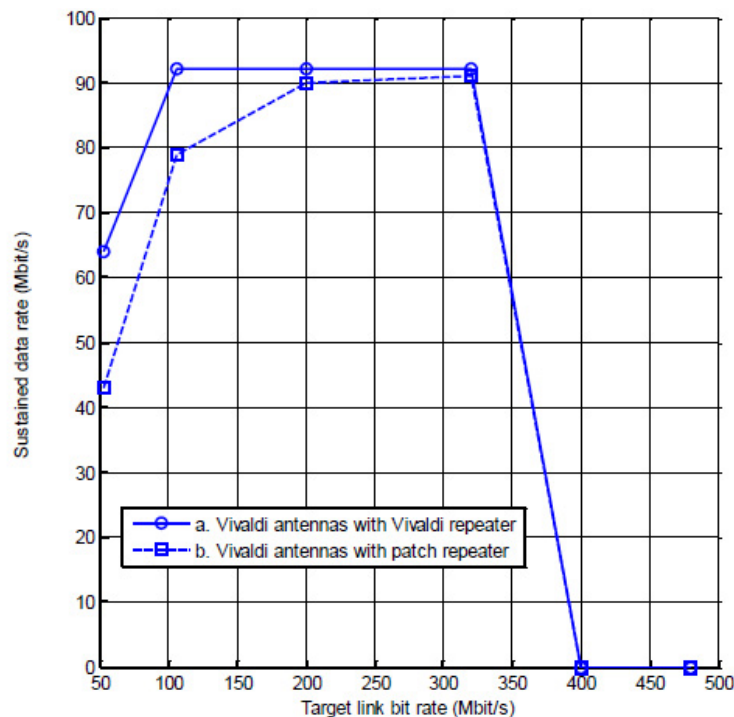


FIGURE 36 : DEBIT DE DONNEES MAXIMUM POUR LA STRUCTURE EUROSTAR 3000 :
MESURES AFFINEES ET LIEN MONO DIRECTIONNEL 100%

La figure 36, montre clairement que le test avec un paramètre de débit dépassant 200 Mbits/s n'offre pas des performances accrues. Au contraire, étant donné que dans ces modes, le codage correcteur d'erreur est réduit, il est impossible d'atteindre un taux d'erreur inférieur à 8%. En revanche, la courbe indique explicitement que l'utilisation simultanée des antennes Vivaldi et du paramètre Rx/Rx+TX à 98%, permet au débit d'atteindre la limite de l'interface Ethernet 100 Mbits/s. Avec un paramètre « Target Link Data Rate » réglé à 200 ou 300 Mbits/s, il est possible d'atteindre un débit d'environ 92 Mbits/s tout en conservant un taux d'erreur inférieur à 8%.

L'ensemble des essais menés dans le contexte satellite montre ainsi qu'il est possible d'atteindre un débit proche de 100 Mbits/s en utilisant des antennes à fort gain de type Vivaldi, un répéteur passif composé soit des antennes patch, soit des antennes Vivaldi, un réglage du « Target Link Data Rate » à 200 Mbits/s, et un ratio sur le lien de 98% dans une direction.

5 ETAT DE L'ART DES MODULATEUR MB-OFDM

5.1 CONSOMMATION ELECTRIQUES SUR LES KIT WISAIR

La partie précédente a montré que l'alliance UWB et OFDM pouvait être utilisée dans un contexte aéronautique et spatial dès lors que des précautions étaient prises concernant le choix des types d'antennes ou des répéteurs passifs utilisés, mais aussi sur les paramètres du standard. Cependant, avec l'implémentation proposée par Wisair, les débits maximum atteignables sur le lien n'approchent les 100 Mbits/s qu'avec un système monodirectionnel interdisant l'utilisation d'un système de configuration des nœuds et de synchronisation centralisée par le concentrateur. Ainsi, même si les débits atteignables pourraient être rendus compatibles avec les exigences du cahier des charges par l'optimisation des échanges réseau, les cartes utilisant le standard UWB ont aujourd'hui une consommation bien trop élevée pour être utilisées en l'état. Le tableau 10 montre les valeurs de consommation électrique mesurées sur les kits Wisair lors de l'établissement de la communication et au moment de la communication proprement dite, ainsi que l'augmentation de la puissance au cours de la configuration des registres. Les valeurs présentées démontrent clairement l'inconvénient de ces kits qui ne peuvent donc pas être utilisés pour des réseaux de capteurs autoalimentés. L'importante différence entre les valeurs du tableau 10 et la norme initialement décrite par Texas Instruments [69] ($\sim 100\text{mW}$ en Tx et $\sim 100\text{mW}$ en Rx) trouve en partie son fondement dans l'architecture matérielle des kits. Wisair utilise en effet une carte mère polyvalente pour le paramétrage du réseau ou pour effectuer la conversion Ethernet. Or, cette carte mère est une grande consommatrice de puissance. Cette consommation importante est la conséquence de deux autres aspects liés au standard. D'abord, l'obtention d'une consommation aussi faible que possible au niveau des circuits numériques n'étant pas un besoin primaire, aucun effort particulier n'a été fait en ce sens à la conception. Mais surtout, de nombreux mécanismes extrêmement complexes, et donc énergivores, sont utilisés pour assurer l'interconnexion des appareils. Dans notre cas, cette consommation électrique nettement supérieure à 1W pour le seul module radio est totalement inenvisageable.

TABLEAU 10 : CONSOMMATION DU MODULE WISAIR

	COURANT	PUISSANCE
Etablissement de la communication	432mA	1.42W
Communication	393mA	1.30W

5.2 CONSOMMATION DES SYSTEMES MB-OFDM PRESENTES DANS LA LITTERATURE

Malgré la mesure d'une consommation élevée sur un produit commercial, le recours à une technologie alliant UWB et OFDM n'est pas à remettre en cause. Les nombreuses publications concernant les modulateurs MB-OFDM, dont les principales sont détaillées dans le tableau 11, affichent des consommations électriques compatibles avec le déploiement de réseaux de capteurs.

L'ensemble de ces publications date de 2005 et 2006, époque où ce standard était particulièrement populaire. On distingue trois types d'implémentations dans la littérature:

- Etage RF pour le récepteur, incluant une amplification faible bruit, un mélangeur de réception, des filtres, un amplificateur à gain variable, et un oscillateur local (VCO, diviseur de fréquence et synthétiseur)
- Etage RF complet comprenant l'étage RF de réception tel que décrit précédemment, et un étage RF d'émission (filtres, mélangeur d'émission et amplificateur de puissance)
- Transceiver complet incluant les étages radio d'émission et de réception, ainsi que la partie numérique de traitement de signal (FFT/IFFT, modulateur, codeur correcteur d'erreur) et les convertisseurs analogique/numérique et numérique/analogique.

La publication [77] n'est pas suffisamment détaillée pour permettre de différencier le courant d'émission du courant de réception. De plus, étant donné qu'elle présente un courant deux fois plus faible que les autres références, il est possible de mettre en doute la précision des données mesurées. C'est pourquoi l'analyse présentée n'en tiendra pas compte.

Le meilleur des développements proposés utilise une technologie CMOS 65 nm et présente une consommation électrique de l'ordre de 100 mW pendant l'émission et la réception. Ces valeurs, qui sont particulièrement faibles en comparaison de consommations pouvant atteindre plusieurs watts dans le cadre de protocoles comme Wifi ou des mesures effectuées sur les kits WISAIR, montrent qu'il est possible d'envisager le développement d'un module radio complet intégrant une technologie OFDM, tout en assurant une consommation électrique compatible avec une auto-alimentation. En effet, la consommation des puces présentées dans ces publications pourra être encore réduite grâce à certains choix architecturaux de traitement de signal et notamment la simplification des mécanismes définis par le protocole WiMedia, prévus pour assurer une interopérabilité et une flexibilité importantes, et qui ne sont pas nécessaires à notre développement.

TABLEAU 11 : ETAT DE L'ART DES MODULES MB-OFDM DANS LA LITTERATURE

AUTEURS	LEENAERTS ET AL.	ISMAIL ET AL.	LOU ET AL.	RANJAN ET AL.	AYTUR ET AL.	TANAKA ET AL.	BERGERVOET ET AL.	RAZAVI ET AL.
REFERENCE	[78]	[79]	[80]	[81]	[82]	[83]	[84]	[77]
ANNEE DE PUBLICATION	2005	2005	2006	2006	2006	2006	2007	2005
STANDARD	ECMA MB-OFDM 3.1-10 GHz	ECMA MB-OFDM 3.1-8.2 GHz	ECMA MB-OFDM 3.1-8 GHz	ECMA MB-OFDM 3.1-8 GHz	ECMA MB-OFDM 3.1-4.8 GHz	ECMA MB-OFDM 3.1-9.5 GHz	ECMA MB-OFDM 3.1-4.8 GHz 6 - 8.1 GHz	ECMA MB-OFDM 3.1-4.8 GHz
TYPE	Etage RF	Etage RF	Etage RF	Etage RF	Etage RF complet	Transceiver complet	Transceiver complet	Transceiver complet
TENSION D'ALIMENTATION	2.7 V	2.7 V	1.5 V	2.3 V	3.3 V/1.5 V	1.1 V	1.2 V	1.5 V
COURANT POUR TX	47 mA 127 mW	22 mA 59 mW	22.5 mA 34 mW	19.5 mA 45 mW	100 mA	161 mA 177 mW	43 mA 52 mW	40 mA 60 mW
COURANT POUR RX					70 mA	76.4 mA 84 mW	38 mA 46 mW	
SYNTHETISEUR DE FREQUENCE	27 mA 73 mW	66 mA 179 mW	59 mA 89 mW	N/A	N/A	43 mA 47 mW	LO : 52 mA Without PLL 62 mW	LO : 30 mA 45 mW with PLL
PUISSANCE CONSOMMEE RX/TX	200 mW	238 mW	123 mW	N/A	N/A	224 mW / 131 mW	114 mW / 108 mW	105 mW
TECHNOLOGIE	QUBIC4G SiGe	0.18 um SiGe BICMOS	0.18 um CMOS	0.18 um CMOS	0.13 um CMOS	90 nm CMOS	65 nm CMOS	65 nm CMOS

6 SYNCHRONISATION VIA UN LIEN UWB-OFDM

En plus du développement d'une couche physique basse consommation et haut débit, la conception d'un moyen d'iso synchronisation des données demeure l'un des points durs à lever dans le cadre du projet SACER. Des précisions compatibles avec les exigences du cahier des charges peuvent être aujourd'hui atteintes grâce à un calibrage très précis de la longueur des fils reliant chaque capteur au concentrateur. Mais cette technique extrêmement contraignante ne peut pas être appliquée à un système sans fil. Dans le cadre d'un réseau de données, le standard IEEE 1588 [35] permet de synchroniser plusieurs éléments de manière très précise. Mais ce standard ne fonctionne que sur un lien Ethernet et donc filaire. Le kit Wisair utilisé pour la validation du choix de la couche physique se comportant comme une passerelle Ethernet sans fil transparente pour les ordinateurs connectés, une étude, ayant pour objectif de vérifier si le standard 1588 est utilisable via le lien radio, a été menée.

Deux cartes compatibles avec le protocole IEEE1588 sont placées dans les deux ordinateurs utilisés dans le cadre des tests radio. Ces cartes possèdent une sortie analogique reprenant un signal d'horloge créneau censé être synchronisé entre toutes les cartes. En observant ce signal provenant de deux cartes connectées entre elles, il est possible, à l'aide d'un oscilloscope, de mesurer l'erreur de synchronisation [26].

Un premier test est réalisé avec un lien Ethernet filaire direct entre les deux cartes. Le délai moyen entre deux occurrences du front montant de l'horloge des deux cartes est compris entre 8 et 20 ns, valeurs parfaitement compatibles avec les performances souhaitées par le cahier des charges (500 ns).

Afin de vérifier l'impact du lien radio sur cette synchronisation, on effectue un second test en remplaçant le lien Ethernet par un lien UWB-OFDM utilisant les cartes Wisair. Dans cette situation, l'erreur moyenne de synchronisation est comprise entre 100 et 400 us, valeurs très éloignées du standard 1588 (50 ns) et des spécifications demandées pour les réseaux métrologiques.

Pour expliciter les raisons de cette différence, une série d'études détaillées sur le protocole 1588 et son utilisation avec une carte de type Wimedia a été menée par Roxana Albu [85], d'abord en conditions réelles avec les cartes Wisair, puis via des simulations Matlab. Pour l'analyse utilisant les cartes Wisair, une application recréant un trafic (paquets et intervalles) similaire à celui généré par IEEE1588 a été développée dans le but d'étudier le délai à travers le réseau. Ces mesures ont montré que le protocole utilisé au sein des cartes Wisair n'est pas compatible avec IEEE 1588. Ainsi, ce standard fait par exemple l'hypothèse d'un lien symétrique entre les deux éléments communicants, absents de l'implémentation MAC de Wisair. L'asymétrie mesurée est ainsi de l'ordre de 6 ms pour un lien Wisair alors qu'elle n'est que de 100 us pour un lien Ethernet [86].

WiMedia prévoit, dans son principe théorique, des mécanismes nécessaires à la création d'un lien synchrone (réduction de la gigue par exemple), mais qui n'ont pas été implémentés par Wisair.

Il n'est donc pas possible d'implémenter les puces Wisair pour assurer une communication isosynchrone à 500 ns à partir de protocoles de synchronisation existants. Ce constat met en exergue la nécessité d'établir un protocole MAC possédant une gigue très faible (inférieure à 100 us), ou de développer un système de synchronisation propriétaire. C'est cette dernière solution qui sera choisie. En effet, une co-conception de la couche physique et de la couche de synchronisation, simplifie le développement d'un mécanisme de synchronisation performant.

7 CONCLUSION

Ce chapitre a permis de montrer qu'aucun standard habituellement utilisé dans le contexte des réseaux de capteurs ne permet d'atteindre un débit supérieur à 100 Mbits/s, condition pourtant nécessaire au déploiement des réseaux de capteurs dans le contexte aéronautique et spatial. Cependant, des techniques mises en place dans des standards aujourd'hui populaires, comme Zigbee par exemple, sont particulièrement intéressantes et peuvent contribuer à l'amélioration des performances de notre déploiement.

De plus, les techniques ultra large bande sont indispensables pour répondre aux contraintes liées à la faible puissance d'émission autorisée. En combinant ces techniques avec la modulation OFDM, il est possible d'assurer le débit nécessaire à l'application. Alors, malgré une image parfois négative, cette combinaison est aujourd'hui déployée au sein d'ECMA-368, de WiMedia ou de Multi-Band OFDM. Enfin, bien que les cartes disponibles sur le marché ne respectent pas parfaitement la norme établie par ECMA, il est possible d'y recourir pour valider l'utilisation de la modulation MB-OFDM dans notre contexte d'application particulier.

Dans le contexte aéronautique, l'emploi de cette technique montre des variabilités très importantes et ne permet pas d'atteindre les débits nécessaires. Cependant, le taux d'erreur sur la liaison est satisfaisant pour le lien entre les nœuds et le concentrateur, même si des précautions particulières doivent être prises quant au diagramme de rayonnement et à la polarisation des antennes.

Dans le contexte satellite, un débit proche de 100 Mbits/s peut être atteint grâce à l'utilisation des antennes à fort gain de type Vivaldi, d'un répéteur passif composé soit des antennes patch soit des antennes Vivaldi, d'un réglage du « Target Link Data Rate » à 200 Mbits/s et d'un ratio sur le lien de 98% dans une direction.

Le kit évalué ne peut pas être directement utilisé dans le cadre du développement présenté en raison de sa consommation électrique supérieure à 1W, du recours à une bande de fréquence américaine interdite en Europe et aux problèmes de synchronisation. Cependant, les publications traitant de modulateurs complets compatibles avec WiMedia montrent qu'il est envisageable de concevoir des émetteurs/récepteurs UWB et OFDM tout en assurant une consommation électrique inférieure à 100 mW.

En conséquence, ce choix technique de modulation sera retenu pour la suite de l'étude mais sous une forme différente de l'implémentation proposée par WiMedia.

CHAPITRE III
SYNTHESE HAUT NIVEAU ET EXPLORATION
ARCHITECTURALE

Les caractéristiques nécessaires au déploiement d'un réseau de capteurs métrologiques pour l'aéronautique et le spatial ne peuvent pas être satisfaites par un produit existant, et nécessitent le développement d'une nouvelle couche physique complexe de type UWB-OFDM.

Ainsi, même dans le présent contexte de recherche, les contraintes liées au caractère industriel du projet s'avèrent très fortes. Elles imposent en effet un développement rapide qui minimise les risques d'erreur de conception et permet de présenter, au plus tôt, des démonstrateurs de concept et de justifier ainsi de la levée des points durs identifiés. Or, lors du développement d'un nouveau circuit de traitement du signal, le délai séparant la définition de l'architecture de traitement du signal, de sa concrétisation au sein d'un circuit numérique est particulièrement long. Les contraintes industrielles impliquent donc l'identification d'un moyen de réduction des délais de développement permettant d'assurer un lien très étroit au sein du cycle de développement, entre l'étape de définition de l'architecture et les validations en condition réelles.

L'objectif de ce chapitre est donc de présenter, dans un premier temps, les raisons du choix d'outils de synthèse haut niveau permettant une génération de code automatique. Un second temps sera consacré à la description de l'outil sélectionné et de ses spécificités, ainsi que du flot de conception associé. Enfin, nous décrirons les résultats de l'exploration architecturale menant à la définition précoce d'une plateforme de développement.

1 UN ENVIRONNEMENT DE DEVELOPPEMENT ADAPTE

La définition d'une méthodologie de conception optimisée débute par l'identification des étapes clés du développement d'un circuit de communication, et l'élaboration d'une méthode d'optimisation.

1.1 CALCUL NUMERIQUE POUR LA CONCEPTION ET LA VALIDATION ALGORITHMIQUE

La définition d'un algorithme de mise en forme des données numériques constitue la base du développement d'une couche physique pour un système de communication. Cet algorithme représente la colonne vertébrale sur laquelle l'architecture de traitement du signal est construite et optimisée en fonction des spécificités propres à chaque développement.

Un algorithme est défini comme un automate déterministe créé pour l'accomplissement d'un but qui, à partir d'un état initial donné, s'achève dans un état final [87]. Pour l'émetteur développé ici, les données d'entrée sont les données utilisateur à transmettre, alors que les données de sortie de l'automate sont les signaux électriques radio. L'automate ajoute aux données d'entrée les informations indispensables à la transmission radio, comme la modulation, les données de synchronisation, ou encore les données de gestion des erreurs. Les signaux radio sont ensuite transmis via un canal de communication, après conversion par une tête radiofréquence.

La définition de cet algorithme est une étape complexe nécessitant de nombreuses simulations destinées à valider les choix technologiques et à ajuster l'ensemble des paramètres. En fonction du niveau initial de connaissance sur le comportement des signaux modulés dans le canal radio, le nombre d'itérations entre la définition et les simulations peut varier de façon importante.

Cette étape, souvent très longue, doit cependant être réalisée avec précision car c'est sur elle que repose la conception des circuits [88].

L'ensemble des simulations est effectué par le biais de programmes de calcul numérique. Dans le cadre d'une démarche de réduction du temps de développement, le choix du programme peut avoir un impact important sur les délais de conception. En effet, la rapidité et la fiabilité de la validation des caractéristiques de l'algorithme dépendent des possibilités offertes par l'outil, de sa puissance de calcul, ou encore de sa simplicité d'utilisation.

Bien que le marché du calcul numérique soit relativement vaste, et les éditeurs de logiciels nombreux, tous ne répondent pas aux besoins inhérents au développement d'algorithmes de traitement de signal. Ainsi, des programmes comme Mathematica [89] ou Maple [90], spécialisés dans le calcul formel ou la modélisation mathématique, sont particulièrement adaptés à la validation théorique (notamment du concept physique), mais ne conviennent pas à la manipulation de données numériques, pourtant indispensable au traitement du signal. En revanche, des programmes de calcul numérique, comme GNU Octave [91], Sysquake [92], MATLAB [93] ou Scilab [94], peuvent être utilisés, les deux derniers comptant parmi les plus populaires.

Le programme Scilab [94] est un logiciel libre et multiplateforme développé depuis 1990 par l'INRIA et l'ENPC. Bien que ses dernières éditions, publiées depuis 2003 avec la création du consortium Scilab, soient nettement plus stables et performantes que les précédentes, Scilab n'a pas été retenu car plus complexe et moins accessible que la plateforme MATLAB développée par MathWorks [93]. Les principaux défauts de ce programme se retrouvent ainsi au niveau de l'affichage de données, de la prise en main peu intuitive de certaines fonctions, du manque de cohérence global de l'application du fait de son développement « code source libre » (Open Source), ou encore de l'absence d'une aide efficace. De plus, le développement d'un modèle de traitement de signal avec la plateforme de modélisation XCOS [90] s'est révélé quasiment impossible. Enfin, compte-tenu de la popularité de MATLAB, l'ensemble des outils de synthèse de code automatique, éléments clés de la réduction du temps et des risques de développement, est basé sur cette plateforme.

Le programme MATLAB [93], édité par la société MathWorks et très utilisé pour le calcul numérique. Il s'agit d'un environnement de programmation de quatrième génération (4GL), à la fois langage de programmation et environnement graphique de développement.

Depuis sa première édition publiée en 1984, le logiciel, qui présente la particularité d'être basé, comme son nom l'indique⁶, sur les manipulations de matrices, a séduit les ingénieurs spécialisés dans le domaine du traitement du signal. En effet, les optimisations offertes par ces manipulations lui confèrent une très grande puissance de calcul. Du fait de sa grande popularité, ce programme est aujourd'hui un standard de fait [95], et toutes les validations algorithmiques de traitement du signal sont basées sur les outils de la plateforme MATLAB.

Le programme MATLAB à proprement parler présente néanmoins deux inconvénients importants pour la simulation précise d'algorithmes embarqués :

- Tout d'abord, dans un souci de simplicité d'utilisation et afin d'offrir à l'utilisateur un niveau élevé d'abstraction, le langage réalise, en une seule expression, des transformations du signal très complexes. L'exemple le plus parlant est celui de la transformée de Fourier, calculée par la commande « *fft(signal, paramètres)* » [96].

En effet, quelle que soit la taille du signal sur lequel le calcul est effectué, l'obtention du résultat est immédiate pour l'ensemble des points du signal passé en paramètre. Or, dans le cadre d'un algorithme de traitement embarqué synchrone où une fréquence d'échantillonnage cadence

⁶ La dénomination « MATLAB » provient de la contraction de « Matrix Laboratory »

l'ensemble du système, cette opération peut s'effectuer en plusieurs cycles d'horloge. Il en résulte une latence entre entrée et sortie dépendant à la fois du nombre d'échantillons du signal en paramètre, et du nombre de points sur lequel est calculée la transformée.

L'existence d'une fréquence d'échantillonnage et d'une fréquence de cadencement du cœur numérique n'est donc pas retranscrite directement par MATLAB.

- Le second inconvénient de l'outil MATLAB est qu'il a été optimisé pour des nombres réels en virgule flottante qui permettent de rendre compte, avec la meilleure précision possible, du calcul d'opérations ou de fonctions mathématiques. Cependant, tous les circuits numériques fonctionnent avec une arithmétique à virgule fixe. Or, ce type d'architecture engendre, lors de calcul, de possibles débordements qui ne sont pas directement retranscrits au sein de l'outil. La simulation d'algorithmes ne rend alors pas compte du comportement réel d'un circuit numérique.

Le travail sur des nombres à virgules fixes peut s'effectuer par l'intermédiaire de boîtes à outils ajoutées au programme. Cependant, lorsque l'on cherche à retranscrire fidèlement le comportement des architectures de traitement du signal, il est peu naturel d'ajouter des structures supplémentaires pour compenser le fait que le programme effectue les calculs en virgule flottante. En effet, les boîtes à outils mentionnées ne modifient pas la manière dont l'outil calcule les résultats des différentes fonctions implémentées, mais ajoutent des structures de contrôle du débordement des retenues, ainsi que des structures de désactivation de la gestion des arrondis. De plus, l'adjonction de ces structures de contrôle ralentit considérablement le fonctionnement de l'outil, et MATLAB perd alors beaucoup de son efficacité.

Afin de répondre à ces limitations et d'offrir une plateforme adaptée à la simulation d'algorithmes de traitement du signal et un outil spécialisé dans la simulation de systèmes de communication, MathWorks introduit en 2002 l'outil Simulink [93] dans sa version 6.5 de MATLAB. Cet outil, initialement conçu pour le traitement du signal, a beaucoup évolué depuis et est aujourd'hui utilisé pour la simulation multi physique de systèmes complets.

Simulink, totalement intégré à la plateforme MATLAB, peut fonctionner de façon native en virgule fixe avec une précision définie par l'utilisateur. Il est aussi capable de propager automatiquement les variations de taille des données à travers l'ensemble d'un modèle afin d'informer le concepteur d'une perte de précision si la représentation en virgule fixe choisie est insuffisante.

L'outil fonctionne également de manière échantillonnée et permet de retranscrire les délais de calcul propres à un système à une fréquence d'échantillonnage précise. Enfin, il peut propager les variations de taux d'échantillonnage à travers l'ensemble d'un modèle. Ces deux derniers aspects permettent la simulation réaliste d'un système de communication implémenté sur un circuit numérique.

Le programme offre également la possibilité de segmenter un modèle en plusieurs niveaux hiérarchiques, permettant ainsi la conception d'une couche complète de communication (couche physique et couche réseau) malgré la complexité, le grand nombre de fonctions, et les approches différentes entre le traitement du signal pur pour la couche physique et l'aspect programmation et traitement de données sous forme de flot pour les couches réseau.

Enfin, grâce à sa conception totalement intégrée, Simulink ouvre l'accès à toute la puissance de calcul du langage MATLAB, notamment en ce qui concerne le tracé et l'analyse de résultats.

L'outil Simulink, qui est le seul à offrir ce type de services indispensables au design d'un système de communication⁷, permet donc de définir, de rendre compte et finalement de valider précisément les choix d'algorithmes lors de la phase de conception système. L'intégration de blocs analogiques ou de calculs de comportement d'un canal de communication permettront également une validation complète à l'échelle de l'ensemble du couple émetteur/récepteur.

1.2 LA GENERATION DE CODE AU SERVICE DE LA RAPIDITE ET DE LA PRECISION DE CONCEPTION

Aujourd'hui, tout système de communication est, dans un premier temps, validé à un niveau élevé d'abstraction par une implémentation réalisée au moyen d'un outil de calcul numérique (Simulink dans notre développement). Une fois la description et la validation du système effectuées, le flot classique de conception consiste en une synthèse de l'algorithme. Au cours de cette seconde étape, qui va donner vie au circuit, l'algorithme est retranscrit à la main dans un langage de description matériel (VHDL ou Verilog) pour produire un code synthétisable et embarquable dans une puce de calcul. Ce code pourra alors être synthétisé puis placé et routé sur une puce de traitement numérique de type FPGA ou ASIC.

Ce processus classique de conception, appelé « description – synthèse » [97], présente quatre inconvénients principaux.

- D'abord, l'étape de codage étant opérée par des spécialistes des langages RTL (Register Transfer Level) qui ne sont donc que très rarement les concepteurs de la partie algorithme, la retranscription des algorithmes peut représenter une importante source d'erreurs.
- De plus, le temps nécessaire au codage manuel d'un système complet est très long.
- Ensuite le code, produit manuellement et implémenté dans le circuit, n'ayant aucun lien direct avec le modèle, les choix opérés lors des simulations ne tiennent pas compte des spécificités liées à l'implémentation choisie.
- Enfin, lorsque des anomalies liées aux choix algorithmiques sont rencontrées avec le circuit numérique testé en conditions réelles, il est difficile de revenir sur les simulations effectuées afin d'identifier la cause, de tenter d'y apporter des solutions, et de reprendre l'ensemble de la phase de codage manuelle. De même, s'il s'avère que l'architecture retenue est fonctionnelle mais non optimale, on ne cherchera pas à l'améliorer en raison des importants délais inhérents à un recodage manuel.

Afin de tirer le meilleur parti de la puissance des outils de calcul numérique et de faciliter le lien entre modèle et implémentation, il convient d'identifier un moyen de corréler le modèle au code effectivement embarqué dans la puce de calcul. Cette démarche, qui porte le nom de « Spécification – Exploration – Amélioration » [98], vise à créer un processus circulaire permettant l'obtention rapide d'une implémentation matérielle de l'algorithme spécifié, et un retour sur la pertinence des choix algorithmiques et d'architecture au cours de mesures en conditions réelles. Ce dernier point, envisageable dès les premières étapes de conception, permet une exploration complète des architectures de traitement du signal et donc une amélioration constante du système développé.

⁷ Le programme XCOS ayant été éliminé en raison de sa complexité et de ses performances

Cette approche est à rapprocher du processus connu sous le nom générique de processus Electronic System Level (ESL). Apparue au début des années 2000 dans un document édité par la société Gartner Datasuest, l'ESL est défini [99] comme l'utilisation d'un niveau d'abstraction approprié, permettant à la fois la compréhension complète d'un système et l'amélioration de la probabilité d'aboutir à des implémentations réussies et rentables.

Les langages de calcul numérique comme MATLAB rencontrent des limitations importantes pour les branches les plus hautes du traditionnel cycle en V, comme lors des spécifications ou de l'analyse du besoin. De nouveaux langages de conception système parfaitement adaptés à ces étapes, comme SysML ou UML, ont été développés. Mais ils n'offrent pas aujourd'hui un niveau de détail suffisant pour atteindre de façon directe et automatique la conception détaillée (aujourd'hui réalisée via un programme de calcul numérique), ou la phase de codage. Or, comme nous l'avons déjà mentionné, cette dernière étape manuelle est particulièrement longue et donc source d'erreur. Dès lors, le principal atout d'une approche haut niveau de type ESL serait la possibilité de générer une implémentation certifiée dite « correcte par construction », directement à partir du modèle.

Les langages UML ou SysML ne permettant pas de décrire efficacement les architectures de traitement du signal nécessaires au développement d'un système de communication, une approche basée sur un modèle haut niveau réalisé sous Simulink est choisie ici.

Une étape de transcription automatique du modèle haut niveau en code est essentielle à la réduction du temps de développement et à la réalisation effective d'un processus Spécification – Exploration – Amélioration. Un programme HLS [88] (High Level Synthesis) analyse alors le modèle Simulink défini par les algorithmiciens, applique les contraintes architecturales liées à la destination visée ainsi que les contraintes temporelles, et crée une implémentation au niveau RTL. Les fichiers de données ainsi générés peuvent alors être synthétisés et placés/routés par les outils classiques de synthèse logique. Le lien entre définition et exploration est alors simple et immédiat.

Il est important de préciser que stricto sensu, la notion de HLS fait référence à une conception à un niveau très élevé d'abstraction dans laquelle le concepteur ne se préoccupe pas des aspects liés à l'implémentation (système avec une horloge par exemple). Le langage de conception des outils HLS est souvent le langage C/C++. Ici nous utilisons un langage m et un design sous Simulink. La notion de système « cadencé » est effectivement présente dès la phase de conception haut niveau. Nous le considérons cependant tout de même comme HLS dans le sens où le transfert du modèle au RTL est automatique et que comme il a été mentionné il est très délicate de définir une architecture de traitement du signal sans notion de cadencement par exemple.

1.3 EXEMPLE DE LA PROBLEMATIQUE DE LA CONNAISSANCE DU CANAL DE COMMUNICATION

L'intérêt d'outils de synthèse haut niveau (HLS) visant à réduire les temps de développement est alors évident dans un contexte industriel.

Dans notre application où la démarche de recherche prédomine sur les aspects industriels, l'utilisation d'un outil optimisant les temps de développement peut d'abord sembler superflue. Pourtant, la mise en place de la méthode Spécification – Exploration – Amélioration permet d'accéder, très tôt dans le développement, à un niveau important de connaissance sur le comportement de l'architecture envisagée, notamment en fonction du canal de communication et en particulier quand il est, comme ici, très spécifique.

La recherche d'une solution physique de communication entre deux éléments implique le recours à des modèles de canaux de propagation basés sur des statistiques obtenues à partir de mesures en environnement réel. Mais ces dernières n'ont qu'une valeur statistique, et ne rendent pas parfaitement compte de la réalité complexe de l'environnement de propagation. Dans le contexte du développement d'un produit à l'environnement très spécifique (environnement fermé, dans un tunnel ou le long d'une aile d'avion), il n'existe généralement aucun modèle, et un travail long et minutieux est nécessaire pour les déterminer. Dans le cas présent, l'élaboration théorique d'un tel modèle aurait ainsi nécessité l'intégralité du temps dédié à la présente thèse et n'aurait donc pas permis d'aboutir à la proposition d'une couche physique adaptée.

Le resserrement du délai séparant les étapes de conception de l'algorithme au niveau fonctionnel, du test en conditions réelles, permet au concepteur de valider le comportement du signal directement dans le medium de communication, si bien qu'un modèle précis de canal n'est plus indispensable pendant les simulations. Le concepteur peut optimiser certains paramètres et ainsi développer plus rapidement un algorithme adapté à un contexte particulier, tout en se concentrant sur sa conception.

Le chapitre précédant montre que des essais en conditions réelles réalisés avec une carte commerciale peuvent éclairer le comportement du système en conditions d'installation mais n'offrent la possibilité de modifier ni l'architecture de traitement ni la modulation utilisée, empêchant ainsi l'étape d'exploration.

Le flot de conception basé sur une méthode HLS permet de résoudre ce problème par l'implémentation matérielle simple et rapide des choix architecturaux.

1.4 UNE PLATEFORME NUMERIQUE PROGRAMMABLE

La méthode HLS utilisant un logiciel de calcul numérique permet donc d'obtenir rapidement des implémentations du système sous forme d'un code RTL. Il est alors indispensable d'identifier une plateforme matérielle de destination pour concrétiser le circuit.

Deux types de circuits programmables permettent aujourd'hui de réaliser des fonctions de traitement du signal : les circuits DSP (Digital Signal Processors) et les FPGA (Field Programmable Gate Array).

L'utilisation de circuits numériques de type FPGA pour la réalisation d'opérations de traitement du signal est relativement récente. En effet, au moment de leur apparition sur le marché, les FPGA étaient relativement petits et peu puissants et n'ont donc longtemps été utilisés que pour remplir le rôle de « glue » logique entre puces [100]. Pour les opérations de traitement du signal, on leur préférait alors des processeurs spécialisés de type DSP. Néanmoins, les FPGA intègrent aujourd'hui suffisamment de portes logiques, et même des blocs de type DSP pour les plus puissants.

En 2007, le Berkeley Design Technology Inc (BDTI) [101], publie un rapport sur l'utilisation des FPGA pour le traitement du signal, démontrant que les performances avec un FPGA peuvent être jusqu'à 100 fois supérieures à celles d'un DSP et que le coût de revient du système peut être divisé par 30 [102].

De plus, dans notre application, un circuit numérique spécialisé (ASIC) est nécessaire à l'atteinte des objectifs de consommation et de coût en grande série. Or, l'utilisation d'un FPGA comme plateforme de prototypage permet de recourir à un code RTL quasi-identique pour le prototype et l'ASIC final.

C'est pourquoi, l'association de la méthode Spécification – Exploration – Amélioration, utilisant une génération automatique de code, et d'un FPGA comme plateforme de prototypage, est la combinaison la plus judicieuse.

1.5 DES OUTILS AUX PERFORMANCES VARIABLES ET LONGTEMPS INSUFFISANTES

Etant établi que l’outil de modélisation Simulink, la méthode de conception Spécification – Exploration – Amélioration, et l’utilisation d’un programme HLS sont les choix les plus adaptés à notre développement, il convient désormais d’identifier le programme HLS le plus pertinent.

L’histoire des programmes de HLS est relativement ancienne [103] et l’idée de simplifier le passage de la définition d’un algorithme à un code embarqué intéresse depuis longtemps les ingénieurs spécialisés dans le traitement de signal.

Ce type de programme connaît un succès grandissant avec les années et la multiplication des offres des fabricants. Et bien que souffrant encore d’une mauvaise réputation liée à la qualité du code obtenu, ils sont de plus en plus utilisés [103] car ils allègent considérablement l’étape de codage manuel et l’optimisation de l’algorithme de traitement grâce à des méthodes de type Spécification – Exploration – Amélioration. Cette mauvaise réputation est le fruit de l’histoire de ces programmes, présentée en annexe 4. En 2009, la diversité des offres et la place de choix occupée par ces programmes dans le monde du design microélectronique amène le Berkeley Design Technology Inc (BDTI), considéré comme un organe de référence pour l’évaluation des solutions pour le traitement du signal, à créer un programme de certification des outils HLS⁸ [104]. De nombreux comparatifs précis de ces outils ont été publiés depuis lors [105].

Les programmes de HLS identifiés en 2007 au démarrage de notre projet sont Xilinx System Generator [101], Mathworks Simulink HDL coder [101] ou Synopsys/Synplicity Synplify DSP [101] (aujourd’hui Symphony ModelCompiler).

2 DES OUTILS DE SYNTHÈSE HLS

2.1 PRÉSENTATION GÉNÉRALE

Les travaux présentés dans cette thèse, et dans ce chapitre en particulier, n’ont pas vocation à produire un comparatif précis des outils de synthèse haut niveau disponibles sur le marché, mais visent plutôt à démontrer l’intérêt de la génération de code automatique pour la levée des points durs au sein d’un projet de recherche industriel.

Les publications parues sur ce sujet au cours des années passées offrent une base de travail intéressante. L’article [98] propose une comparaison objective des outils de Synopsys, Mathworks et Xilinx, mais n’aboutit à aucune conclusion tranchée quant à la supériorité de l’un d’entre eux. Il montre que les performances sont très dépendantes des conditions d’utilisation et surtout du niveau de connaissance et de maîtrise des options appliquées lors de la génération. De même, les choix d’architecture de traitement du signal effectués par le concepteur de l’algorithme au niveau du modèle influencent la bonne optimisation du code. Cependant, [98] pointe les limites importantes de l’outil de Xilinx qui ne peut générer un code qu’à destination des FPGA de la marque. Le code RTL généré utilise des bibliothèques spécifiques aux FPGA Xilinx, et bien qu’il soit possible de les modifier en vue de la conception d’ASIC,

⁸ BDTI High-Level Synthesis Tool Certification Program (HLSTCP) : A methodology to demonstrate the design productivity of high-level synthesis tools [23]

cette étape très chronophage éclipse les bénéfices liées à la génération automatique de code. Il n'est ainsi pas envisageable de générer un code adapté à la spécificité de la conception d'ASIC numériques ou de réaliser une exploration architecturale basée sur l'ensemble des FPGA disponibles sur le marché afin d'étudier, par exemple, l'opportunité de recourir à des FPGA ultra basse consommation (comme la gamme Igloo d'Actel).

Les outils permettant la génération d'un code utilisable sur l'ensemble des FPGA et sur ASIC sont Simulink HDL coder et Synopsys Synphony Model Compiler. Aucune spécificité ou différence entre les deux outils n'est identifiée dans [98].

2.2 FLOT DE CONCEPTION

Le flot de conception basé sur la démarche Spécification – Exploration – Amélioration dans le contexte de ce développement est décrit en figure 37.

La conception débute par l'analyse des spécifications du système, établies par les utilisateurs finaux, et présentées dans le chapitre I. Cette étape permet d'extraire les contraintes et, dans le meilleur des cas, d'identifier un standard existant ou comme ici, une technique de modulation (UWB-OFDM).

De premiers modèles simples basés sur l'outil de conception d'algorithme de traitement Simulink sont établis. Ces modèles sont d'abord établis en représentation en virgule flottante ou en virgule fixe, mais avec des précisions de données autorisées bien supérieures à ce qui est réalisable dans un circuit numérique, de manière à appréhender et à valider les principes généraux des modulations utilisables.

Une fois l'ensemble des principes généraux validés, la conception algorithmique et architecturale peut réellement débiter.

On établit alors un modèle utilisant une représentation en virgule fixe, représentatif du circuit numérique souhaité, qui permet une validation et des optimisations par simulation. C'est l'étape de définition et de conception.

Le modèle peut, très rapidement et bien en amont de sa finalisation, être utilisé comme point d'entrée pour le choix d'une plateforme physique de développement adaptée aux besoins en puissance de calcul qu'il engendre. Cela contribue à limiter les risques liés au choix d'une plateforme sous-dimensionnée et permet d'éviter, à l'inverse, le recours inutile à une plateforme bien plus puissante que nécessaire. Cette étape constitue l'exploration architecturale.

Enfin, une fois la plateforme identifiée et disponible, un code RTL synthétisable peut être généré en vue de tests physiques en environnement et en conditions réels. Cette dernière étape est celle de l'exploration algorithmique.

Comme le montre la figure 37, de nombreuses boucles apparaissent dans le flot de conception. Les étapes comprises entre la conception d'un code synthétisable et sa disponibilité étant raccourcies et considérablement simplifiées, le retour sur les choix d'architecture des algorithmes est alors particulièrement précis et efficace.

2.3 SYMPHONY HLS MODEL COMPILER

2.3.1 PRESENTATION

Le flot de conception repose sur l'utilisation d'un modèle réalisé avec Simulink. Comme nous l'avons mentionné précédemment, deux outils permettent un flot HLS complet : Simulink HDL Coder et Symphony Model Compiler. Comme présenté en [98], aucun n'est véritablement supérieur à l'autre dans un contexte général. Cependant, l'analyse des caractéristiques et des possibilités offertes par chacun d'eux, nous conduit à préférer l'utilisation de Symphony Model Compiler.

Cet outil, nommé Synplify DSP au démarrage de notre étude, était édité par la société Synplicity. Cette dernière ayant été intégrée à Synopsys, l'outil a d'abord été rebaptisé Symphony HLS, avant de devenir Symphony Model Compiler. Il est donc désormais édité par le Synplicity Business group, membre de Synopsys.

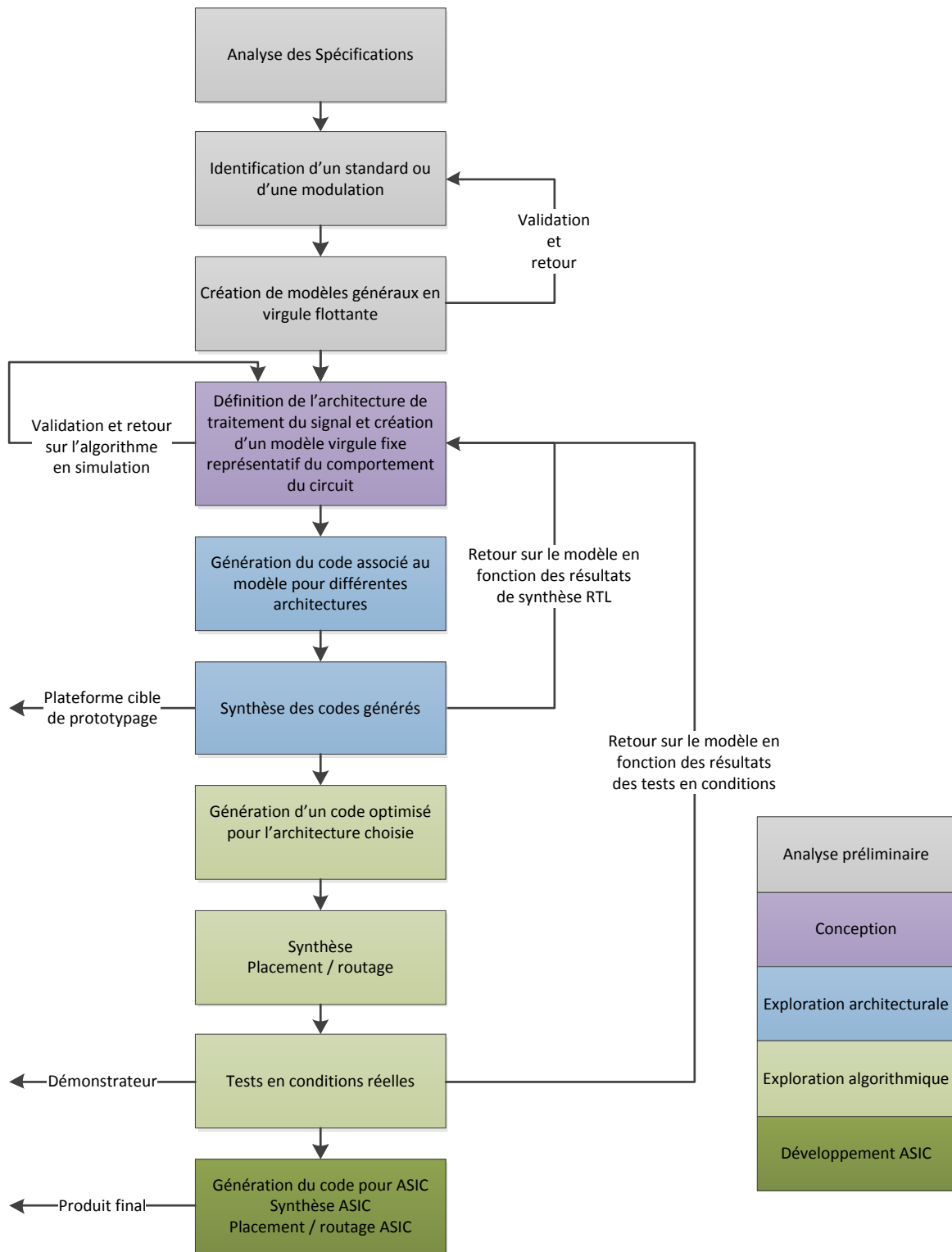


FIGURE 37 : FLOT DE CONCEPTION UTILISANT UN PROGRAMME DE SYNTHÈSE HAUT NIVEAU

Synphony Model Compiler possède les fonctionnalités suivantes, que l'on retrouve quasiment à l'identique dans l'outil de MathWorks :

- Exploration rapide des compromis architecturaux à partir d'un modèle unique pour une validation précoce des algorithmes.
- Outils d'optimisation du code par insertion de pipelines. Ces optimisations tiennent compte de l'ensemble du système, et non du seul module VHDL en cours de codage comme c'est le cas pour un code manuel.
- Génération automatique de « test bench » pour une vérification précise de la cohérence entre le modèle et le code généré.
- Utilisation d'un modèle unique pour toutes les phases de développement (prototypage FPGA, exploration architecturale, ASIC). Aucune précaution particulière n'est donc nécessaire lors du passage d'une étape à l'autre.

L'outil de Synopsys a été préféré car il présente plusieurs spécificités essentielles :

- Possibilité de créer, à partir du modèle haut niveau Simulink, un modèle C du système. Ce dernier peut être utilisé dans les phases de développement logiciel ou les phases de validation système pour intégrer le comportement réaliste de la couche de communication. Il est obtenu dès qu'un premier modèle d'algorithme est disponible et il n'est donc pas nécessaire d'attendre la finalisation de l'algorithme ou la fin de l'étape de codage manuel. Cette fonction n'a pas été utilisée dans le développement proposé puisqu'aucun modèle haut niveau du système complet n'a été conçu par les partenaires du projet de recherche.
- Intégration de modules VHDL préalablement codés au sein du modèle haut niveau Simulink. Ces modules sont intégrés au moment des simulations afin que leurs éventuelles spécificités soient prises en compte dans la phase de conception de l'architecture de traitement du signal. Le module VHDL utilisé est également intégré au code généré par le logiciel au même titre que le reste du système, si bien qu'il n'est plus nécessaire d'ajouter des modules après génération du code. Cette fonction sera utile à la validation, en simulation et en conditions réelles, de la couche de synchronisation du réseau développée sous forme d'un code VHDL indépendant.
- Extraction de mémoires lors de la synthèse à destination d'un ASIC. En effet, au sein d'un FPGA, les mémoires étant incluses dans la puce, l'outil de synthèse peut les utiliser dès que nécessaire. A l'inverse, dans un ASIC, les mémoires sont des blocs IP définis de façon indépendante par le fournisseur du design kit utilisé. Le portage d'un code FPGA utilisant beaucoup de mémoire vers un code ASIC est donc une étape délicate, que le logiciel Synphony Model Compiler vient résolument simplifier. Ainsi, au moment de la génération d'un code ASIC, il extrait, dans un dossier séparé, les mémoires utilisées de façon à ce que les blocs qui les définissent soient remplacés par ceux fournis par le fondeur.
- Spécificité la plus importante : Génération d'un code optimisé en fonction des caractéristiques de chacune des familles de FPGA mais aussi de chaque modèle au sein de ces dernières, de façon à profiter au maximum des spécificités de chacun. L'insertion des pipelines est fonction de la cible, le code généré est ainsi nettement optimisé, et les performances obtenues pour le circuit numérique sont maximales. Cette fonction est rendue possible par l'utilisation de la puissance des estimations de timing établies par Synplify Premier ou Design Compiler. L'outil de Mathworks propose un code unique, identique quel que soit la cible FPGA ou ASIC, et qui n'est par conséquent pas optimisé en fonction des spécificités. Il est possible d'intégrer les outils de synthèse de Xilinx (ISE) ou Altera

(Quartus) au moment de la génération du code et d'indiquer quels éléments peuvent être améliorés manuellement au niveau du modèle.

L'optimisation en fonction de la cible tient également compte du fait que le circuit visé est de type FPGA ou ASIC. Ainsi, dans notre application où la démonstration s'effectue sur un FPGA mais où le produit final doit nécessairement être un ASIC, cette optimisation parfaite d'un circuit en fonction de la technologie cible est un atout important.

Les performances d'une même architecture peuvent en effet varier de façon importante entre une implémentation FPGA et ASIC, en raison des spécificités propres à chaque technologie. L'article [106] présente ces spécificités à partir de l'exemple de l'impact de la structure d'un filtre FIR : la forme directe est mieux adaptée à une implémentation FPGA, tandis que la forme transposée convient davantage à une technologie ASIC. Ce type de structure n'étant pas défini par l'utilisateur lors de la conception d'un modèle haut niveau utilisant des filtres, il est indispensable d'optimiser le code généré en fonction de la cible.

C'est principalement cette optimisation qui a motivé le choix de l'outil de Synopsys pour cette étude.

- Enfin, Synopsys étant aussi l'éditeur de Design Compiler (outil de synthèse pour les ASIC), l'outil HLS en offre une intégration complète et ainsi une exploration rapide de l'impact de l'architecture de traitement de signal sur les compromis taille, vitesse et puissance consommée d'un ASIC.

L'outil Symphony Model Compiler a donc été choisi parce qu'il permet l'optimisation du code en fonction des spécificités de la cible.

2.3.2 BIBLIOTHEQUES DISPONIBLES

Le programme de Synopsys est organisé sous la forme d'une bibliothèque intégrée à Simulink. Cette dernière est elle-même partagée en différentes sous-librairies possédant chacune des fonctions particulières. Dans chacune des conceptions présentées, nous utiliserons soit des blocs provenant de cette librairie, soit des blocs créés spécifiquement pour répondre à des besoins qui n'y étaient pas intégrés de façon native.

3 OPTIMISATION DU CODE GENERE

L'outil HLS proposé par Synopsys présente trois possibilités d'optimisation du code généré. Si une partie de ces optimisations est effectuée automatiquement lors de la génération du code, des réglages manuels préalables à la génération sont nécessaires pour qu'elles soient efficaces et cohérentes avec les besoins de l'utilisateur. Leur impact sur les performances des circuits numériques ainsi conçus est très important. Cette partie s'attachera à en présenter les principes.

3.1 AMELIORATION DE LA VITESSE : RETIMING

La performance maximale dans un circuit logique synchrone est directement déterminée par le délai maximum de propagation entre deux registres consécutifs. Ce paramètre est généralement donné en nanosecondes, et son inverse indique la fréquence maximale de fonctionnement du circuit en l'absence de défaillance fonctionnelle. Dans la plupart des cas, le délai maximum mesuré n'existe que pour un

nombre très limité de chemins, appelés chemins critiques. Si aucune précaution n'est prise au moment du codage du système, le nombre de portes successives entre deux registres peut être très important et, dans des applications où la vitesse de fonctionnement est un facteur primordial, les performances attendues peuvent ne pas être atteintes. La méthode la plus couramment utilisée [107] pour corriger ces problèmes et augmenter ainsi la fréquence de fonctionnement du circuit consiste en une répartition « régulière » de bascule le long des chemins. Le temps de propagation maximal entre deux registres, et avec lui le chemin critique, s'en trouvent ainsi minimisés. La figure 39, extraite de [107] présente un circuit dans lequel le chemin critique correspond à trois registres chaînés (chemin rouge). Le déplacement des bascules H et G, présenté en figure 39, permet de réduire le chemin critique à un seul niveau de logique (chemin vert).

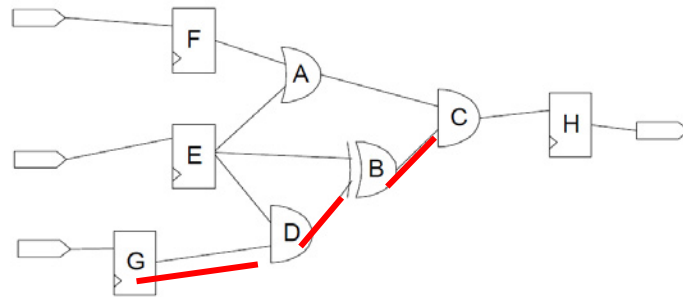


FIGURE 38 : EXEMPLE DE CIRCUIT PRESENTANT UN CHEMIN CRITIQUES A TROIS REGISTRES

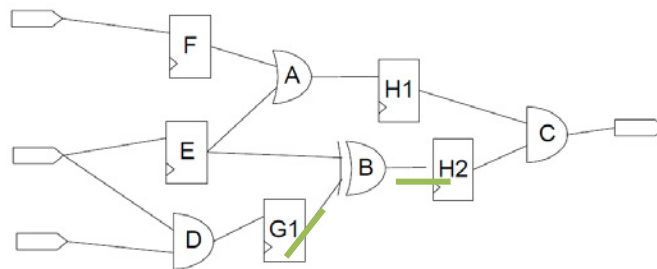


FIGURE 39 : EXEMPLE DE CIRCUIT OPTIMISE PRESENTANT UN CHEMIN CRITIQUE A UN SEUL REGISTRE

Ce type d'optimisation porte le nom de « retiming », terme sans équivalent français, qui sera donc utilisé dans le reste de cette thèse. La structure initiale du circuit étant transformée en profondeur au niveau logique, ce mode d'optimisation peut être considéré comme hasardeux pour un concepteur non expérimenté. En effet, les résultats au niveau de la simulation ou de la validation du circuit peuvent être modifiés et certaines fonctionnalités critiques risquent de ne plus être réalisées correctement. C'est pourquoi il convient d'y apporter une attention particulière et de faire preuve d'une grande rigueur lors d'un recours manuel à ce type de technique. De plus, pour atteindre les performances optimales du circuit, les registres doivent être placés de façon optimale, l'identification correcte de ces emplacements étant souvent conditionnée par le niveau d'expérience du concepteur numérique.

Le principal atout d'un programme de synthèse automatique de code VHDL réside dans son niveau d'abstraction élevé, qui implique qu'un concepteur ne doit pas à avoir à venir placer manuellement des bascules supplémentaires pour atteindre des performances optimales. C'est pourquoi les programmes de synthèse haut niveau les plus performants intègrent une option de retiming automatique. Des blocs retard sont ajoutés dans le code généré afin de réduire les contraintes sur les horloges et augmenter ainsi la vitesse globale de fonctionnement.

Dans ce développement basé sur Synphony Model Compiler, l'option de retiming est implémentée de la façon décrite en suivant. L'utilisateur active la fonction de retiming en cochant une case dédiée au moment de la génération de code.

Deux modes de fonctionnement peuvent alors être choisis :

- Dans le mode par défaut, l'outil de génération de code utilise les caractéristiques en latence du composant programmable ciblé comme base de choix de placement des registres. Ce mode est très rapide mais offre des résultats moins satisfaisants que le mode avancé.
- Dans le mode avancé, l'outil utilise les données de timing spécifiques à la cible visée, provenant directement de l'outil de Synthèse Synplify Premier. L'ajout et le déplacement de registres sont ainsi beaucoup plus précis puisqu'ils prennent en compte les spécificités de la plateforme cible.

Une fois le mode choisi, l'utilisateur est invité à indiquer un niveau de retiming. La valeur du paramètre indique le nombre maximum de niveaux de retard (bascule) insérables par le programme pour chaque chemin critique. Si une valeur nulle est indiquée, le programme n'ajoute aucun retard supplémentaire, et seuls les registres existants sont déplacés pour améliorer les performances. Pour une bonne compréhension des résultats suivants, il est important de noter que la valeur indiquée correspond au niveau maximal de latence autorisé et que le programme peut estimer que la valeur proposée par l'utilisateur est trop élevée et ne placer qu'un nombre inférieur de registres. Une option permet d'imposer l'introduction du nombre exact d'étages indiqué, mais elle ne présente pas d'intérêt dans un cas général d'optimisation. La figure 40, extraite du manuel d'utilisateur de Synphony Model Compiler [108], présente un exemple de circuit avant et après retiming. Un étage de latence a été introduit pour réduire le chemin critique et augmenter ainsi la fréquence de fonctionnement.

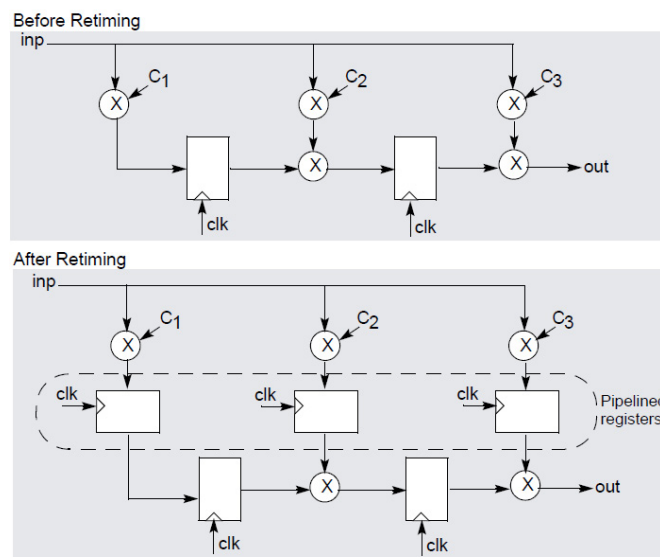


FIGURE 40 : EXEMPLE DE RETIMING OPERÉ PAR SYNPHONY MODEL COMPILER [108]

Afin de tester l'option retiming, on réalise un filtre passe bas de type FIR avec une bande passante de 10 kHz. Le retiming permet de passer d'une fréquence maximum de 110 MHz à 180 MHz, ce qui représente une augmentation de performances de près de 70% grâce à l'ajout automatique de 6 délais par l'outil de génération de code. La cible choisie est ici un FPGA de type Virtex 4.

Dans le cadre de notre étude, le débit de données de la couche physique développée constitue un paramètre très critique qui, comme nous le verrons, dépend directement de la fréquence de fonctionnement du circuit numérique. C'est pourquoi l'option retiming revêt une importance particulière.

3.2 AMELIORATION DE LA TAILLE DU CIRCUIT : REPLIEMENT

Le « repliement » (folding) est une option permettant d'optimiser la taille du circuit lors de la génération du code. L'outil replie alors une partie de l'algorithme sur lui-même, réutilisant certaines ressources et augmentant la fréquence de fonctionnement des éléments repliés. Cette option se révèle particulièrement utile pour limiter le nombre de fonctions gourmandes en espace sur la puce. L'opération de repliement est totalement transparente pour le développeur de l'algorithme puisque le programme insère automatiquement la logique nécessaire au multiplexage des fonctions dans le code. Mais la diminution de la taille des circuits se fait au prix de l'augmentation de la fréquence de fonctionnement, et donc d'une partie de la consommation.

Lors de la synthèse du code, le programme Symphony Model Compiler peut effectuer ce repliement au niveau élémentaire (blocs logiques de base), ou activer une option de repliement par bloc (pattern folding). Dans ce dernier cas, le programme recherche, avant la génération du code, les groupes de blocs identiques au sein du modèle Simulink. Ensuite, lors de l'exécution de l'algorithme de repliement, les groupes identifiés sont traités comme des blocs élémentaires et peuvent être multiplexés afin de réduire leur nombre.

La figure 41, extraite de la documentation de Symphony HLS [108], présente un exemple concret de repliement. Dans le circuit avant repliement (Before Folding), le code synthétisé comporte quatre multiplieurs à deux entrées et un additionneur tournant à une fréquence f_{clk} . L'option de repliement génère un code ne comportant désormais plus qu'un multiplieur et un additionneur. Mais cette modification suppose l'ajout d'un multiplexeur et d'une fréquence de fonctionnement quatre fois plus élevée qu'auparavant, éléments visibles sur la partie gauche de la figure (After Folding). Le circuit étant ici presque intégralement composé de multiplieurs, sa surface est alors divisée par 4.

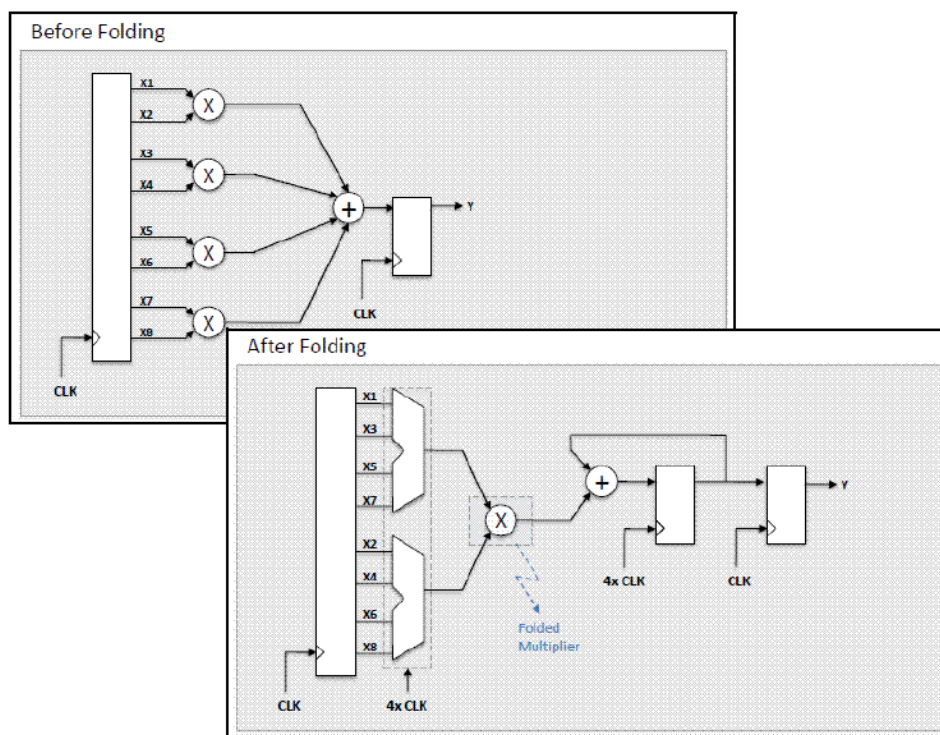


FIGURE 41 : EXEMPLE D'OPTIMISATION DE REPLIEMENT [108]

Pour évaluer cette optimisation, on reprend l'exemple présenté précédemment (filtre FIR). Les résultats pour un FPGA de type Virtex 4 sont présentés dans le tableau 12. Le nombre total de LUT utilisées peut ainsi être divisé par 7 grâce à un repliement de 64. Cependant cette diminution de surface se fait au prix d'une augmentation de fréquence de facteur 64.

TABLEAU 12 : RESULTATS DE L'OPTIMISATION DE REPLIEMENT POUR UN FILTRE FIR

NIVEAU DE REPLIEMENT	NOMBRE DE LUT UTILISEES
Baseline	791 (6%)
4	1231 (10%)
8	1240 (10%)
16	362 (2%)
32	254 (2%)
64	136(1%)
128	205

C'est pourquoi le fonctionnement de l'option de repliement n'est pas détaillé davantage dans cette thèse. En effet, l'application visée nécessite une fréquence de fonctionnement du FPGA à la limite de ses capacités. Aucun repliement ne pourra donc être toléré.

3.3 AMELIORATION DE LA TAILLE DU CIRCUIT : MULTICHANNELISATION

La méthode dite de « multichannelisation » a un objectif similaire à celui du repliement, et leur utilisation est donc exclusive.

La technique permet d'obtenir une forme de démultiplication du circuit lorsqu'il n'y a plus un seul signal en entrée, mais plusieurs. Ainsi, si l'entrée du circuit est composée de N signaux, le circuit se comporte comme si N circuits avaient en fait été implémentés. Comme pour l'option de repliement, les ressources ne sont pas simplement dupliquées mais multiplexées pour réduire la surface de silicium utilisée.

Cette option est particulièrement intéressante lorsqu'un traitement doit être opéré en parallèle sur un grand nombre de voies de données. Cependant, la multichannelisation, qui autorise la parallélisation tout en conservant une taille réduite, implique une augmentation de la vitesse de fonctionnement des circuits et ne pourra donc pas être utilisée pour des raisons similaires à celles qui nous ont amenés à ne pas considérer le repliement.

4 EXPLORATION ARCHITECTURALE ET CHOIX D'UNE PLATEFORME

L'exploration architecturale, qui constitue une étape importante du cycle de développement, permet de choisir une plateforme cible dès la première ébauche d'algorithme validée en simulation. Cette étape, réalisée avec une connaissance partielle de l'algorithme, permet de choisir sans risque une plateforme qui ne soit ni sous-dimensionnée ni surdimensionnée pour le design. On présente ici l'ensemble de cette démarche, effectuée dans le cadre de la conception de la couche physique UWB-OFDM adaptée aux réseaux de capteur pour l'aéronautique et l'espace.

4.1 CHOIX D'UNE FAMILLE DE FPGA

La première étape de l'exploration architecturale consiste en l'identification d'une famille de FPGA adaptée. Le catalogue des fondeurs propose en effet de nombreux FPGA aux caractéristiques variées. Ces derniers ont été classés en trois catégories principales : les FPGA à basse consommation, les FPGA à faible coût et les FPGA à grande puissance.

4.1.1 FPGA A BASSE CONSOMMATION

Les FPGA à basse consommation répondent aux besoins des concepteurs à la recherche d'une solution reprogrammable répondant à de fortes contraintes de consommation. Ce sont, pour la plupart, des produits embarqués autonomes en énergie (équipés d'une batterie ou d'une source d'énergie renouvelable). Les FPGA ont longtemps été absents de ce type de produit en raison de leur très forte consommation. Cependant, l'utilisation d'un circuit programmable est ici particulièrement intéressante car elle offre la vitesse et la puissance de calcul d'un circuit logique, ainsi qu'une reprogrammabilité permettant la mise à jour du composant en cas d'évolution de fonctionnalité.

Si les fondeurs proposent, depuis quelques années, des produits à basse consommation, cette caractéristique reste indissociable d'un niveau de performance réduit. La famille phare de cette catégorie est produite par la société Microsemi [109] (anciennement Actel), sous le nom de « Igloo » [110]. Ces FPGA sont basés sur une technologie Actel de flash non volatile et une architecture ProAsic 3. Leurs consommations ne dépassent pas des valeurs de 5uW sous une alimentation de 1,2V, consommation plancher atteinte seulement dans un mode spécifique appelé « Flash Freeze ». Le mode Flash Freeze, qui consiste en une mise en sommeil du FPGA, présente l'avantage de préserver et de restaurer l'état du FPGA au moment de l'entrée ou de la sortie du mode sans nécessiter de composant externe. Ce changement de mode est, de plus, extrêmement rapide (moins d'une microseconde). Le FPGA de la famille Igloo comportant le plus grand nombre de portes logiques possède 3 millions de portes et 620 entrées/sorties pour une consommation de 137 uW en mode Flash Freeze.

Dans le cadre du développement présenté ici, ce type de FPGA présente l'avantage de permettre le développement d'un démonstrateur complet autonome en énergie sans nécessiter le recours à un ASIC long et coûteux à développer.

4.1.2 FPGA A FAIBLE COUT

Nous appellerons « FPGA à faible coût » la deuxième catégorie de FPGA identifiée ici. Elle comprend des FPGA de puissance et de taille moyenne, contenant un plus grand nombre de portes logiques et présentant des fonctions intégrées plus puissantes que ceux de la famille « basse consommation ». Certains blocs de traitement de signal (DSP) s'avèrent particulièrement utiles dans la réalisation d'interfaces radio, comme les produits de la gamme Spartan 3 [111] de chez Xilinx ou Cyclone [112] de chez Altera. Par exemple, le nombre de portes est compris entre 50.000 et 1.500.000 pour les produits Spartan 3 XA3B50 et XA3B1500. Le nombre d'entrées/sorties pour les deux références citées est respectivement de 125 et 497. Enfin, le prix unitaire de ce type de FPGA varie de 10€ à 40€.

4.1.3 FPGA A GRANDE PUISSANCE

Pour finir, nous identifions une troisième catégorie de FPGA que nous nommerons ici « FPGA à grande puissance ». Cette catégorie intègre les FPGA les plus puissants et comportant le plus grand nombre de portes logiques. Ces FPGA incluent de nombreux blocs de traitement de signal (jusqu'à 540 pour le Virtex5-SX95T de Xilinx), des interfaces de signaux complexes (comme des gestionnaires PCI-Express), ou encore des gestionnaires matériels de protocole de communication évolués (comme des blocs MAC Ethernet 100 ou 1000).

Les familles étudiées sont Virtex 5 [113] de chez Xilinx ou Stratix V [112] de chez Altera. Il existe également des modèles plus récents et plus puissants tels que Virtex 6 et Virtex 7 chez Xilinx, mais ces derniers, qui n'étaient pas encore sortis au démarrage de cette étude, n'ont pas été pris en compte ici. Les prix de ces circuits peuvent atteindre plusieurs milliers de dollars (pour la référence Virtex 5 SX50T par exemple).

4.1.4 EVALUATION DES PERFORMANCES

Mis à part quelques règles très générales liées aux besoins pressentis en puissance ou en consommation, il est particulièrement difficile de définir quel type de FPGA sera le mieux adapté à une application particulière.

Le tableau 13 présente les résultats après synthèse de l'implémentation d'un modèle simple d'émetteur UWB-OFDM. Le modèle implémenté ici est celui présenté en figure 42. Le modèle réalisé est une première étape dans l'implémentation d'un modulateur UWB-OFDM optimisé, qui n'intègre que les éléments de base, sans optimisation architecturale. Il intègre la modulation QPSK de chaque porteuse, la mise en forme OFDM par le calcul de la transformée de Fourier inverse, l'insertion des porteuses pilotes, et la conversion de représentation binaire liée au convertisseur numérique analogique utilisé. Ce premier modèle de modulateur OFDM permet de valider certains concepts simples pour la simulation. Les différents choix de conception (QPSK, porteuses pilotes, ...) sont abordés en détail dans la partie suivante.

Le code généré n'exploite aucune optimisation. L'objectif de cette première exploration est d'identifier la famille de FPGA la plus adaptée au développement.

- La catégorie basse consommation est évaluée par l'intermédiaire des modèles Igloo 3000V5 et Igloo+ 125V5.
- Les FPGA Spartan 3 S200 et Spartan 3A DSP donnent une bonne indication des performances de la catégorie faible coût.
- Les modèles Virtex5 SX55 et SX240T permettent d'évaluer les performances obtenues avec des FPGA à forte puissance.

TABLEAU 13 : PERFORMANCES D'UN EMETTEUR OFDM
OBTENUES SANS OPTIMISATION DU CODE GENERE SUR DIFFERENTES ARCHITECTURES

FPGA	Fréquence de fonctionnement après synthèse MHz	Nombre de cellules	Nombre de blocs mémoire RAM	Nombre de blocs de traitement de signal (DSP 48)
IglooE 3000V5 (Std)	20	30502 (41%)	16 (14%)	NA
Igloo+ 125V5 (Std)	21	45508 (1459%)	9 (112%)	NA
Spartan3A DSP (5) XC3SD3400A	90	2433 (5%)	6 (4%)	16 (12%)
Spartan3 S200 (5) XC3S200	108	2677 (70%)	6 (50%)	NA
Virtex4 SX25 (10)	122	2458 (12%)	7 (5%)	16 (12%)
Virtex4 SX55 (10)	122	2479 (5%)	7 (2%)	16 (3%)
Virtex5 SX240T (2)	196.6	2334 (1%)	4 (1%)	16 (1%)
Virtex5 LX50T (3)	221	2363 (8%)	4 (8%)	16 (33%)

Le tableau 13 intègre également les résultats obtenus pour des FPGA de la famille Virtex 4 de Xilinx, qui apparaissent comme un bon compromis entre les FPGA faible coût, relativement peu puissants, et les FPGA puissants mais très coûteux. Le tableau 14 regroupe les caractéristiques de chacun des circuits testés.

La fréquence de fonctionnement du circuit numérique, qui calcule la transformée de Fourier utilisée pour la modulation OFDM, doit être égale au débit de données à transmettre par la couche physique réalisée. Or, dans le cadre de notre application, nous avons jusqu'ici considéré un débit de l'ordre de 100 Mbits/s. Alors, afin de conserver une marge suffisamment importante, la fréquence du circuit doit être de 150 MHz au minimum. On cherche à atteindre cette valeur sans activation des optimisations du code généré, de façon à absorber une marge de manœuvre dans le cas où un besoin plus important que celui anticipé interviendrait.

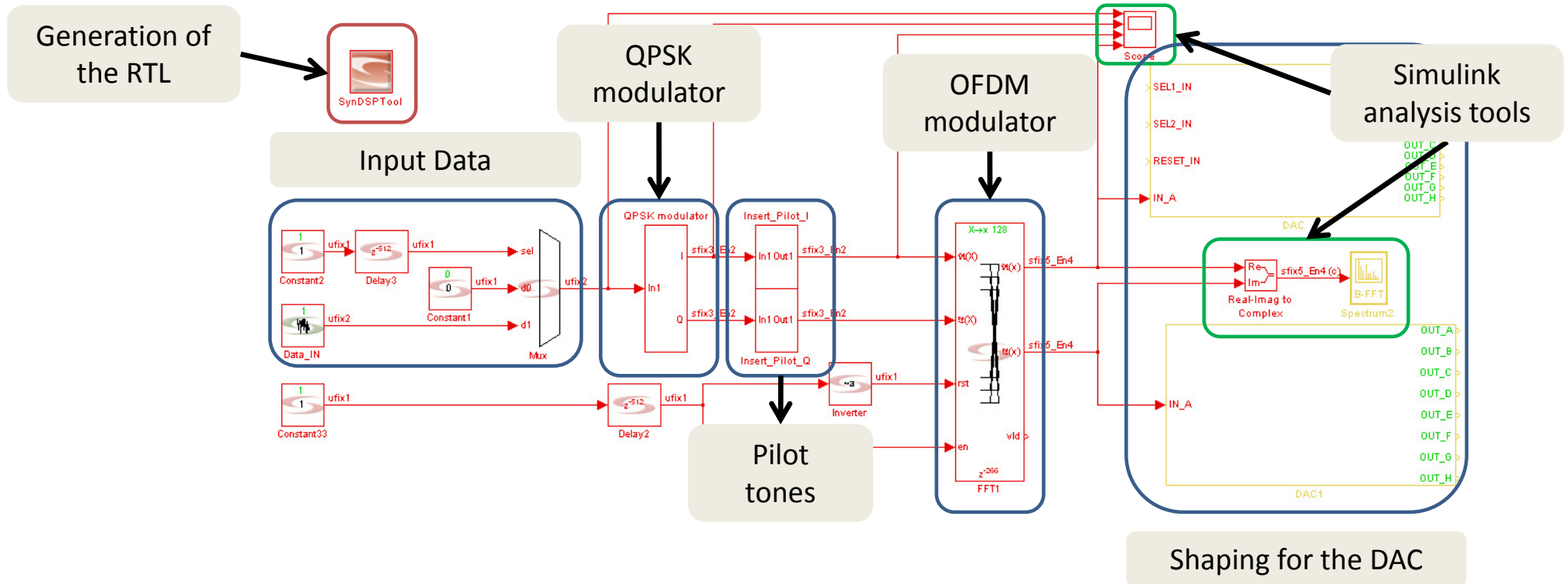


FIGURE 42 : MODELE DE L'EMETTEUR UTILISE POUR L'EXPLORATION ARCHITECTURALE

Le tableau 13 montre clairement que, dans la cadre de notre application, le choix du FPGA est une décision très délicate qui ne peut être prise sans précaution.

En effet, les FPGA basse consommation, très intéressants par leur faible appétit, ne sont pas suffisamment rapides pour le développement visé. La fréquence maximale atteignable après synthèse n'est en effet que de 20 MHz, soit environ 7 fois moins que nécessaire.

Les FPGA faible coût offrent des performances nettement supérieures (100 MHz) mais toujours insuffisantes par rapport au minimum fixé. Les optimisations opérées lors de la génération de code et décrites précédemment, permettent certes de se rapprocher de l'objectif, mais pas de l'atteindre.

En revanche, les FPGA grande puissance de la famille Virtex5, que ce soient les séries LX ou SX, sont capables d'atteindre cet objectif. Bien que très coûteux, ce type de FPGA apparait donc indispensable au développement de la couche physique. Il convient cependant de noter que ces évaluations, menées à un stade relativement avancé de la conception, implémentent donc un émetteur bien moins complexe que la proposition finale (aucune couche de correction d'erreur par exemple).

TABLEAU 14 : CARACTERISTIQUES DES FPGA EVALUEES LORS DE L'EXPLORATION ARCHITECTURALE

FPGA	Nombre de cellules élémentaires	RAM distribuée (kbit)	RAM non distribuée (kbit)	Nombre de blocs de traitement de signal	Nombre d'entrées-sorties
IglooE 3000V5	75264 ¹	-	504	-	620
Igloo+ 125V5	3120 ¹	-	36	-	212
Spartan3A XC3SD3400A	23872 ² (47744 LUT)	373	2269	126 ⁴ (XtremeDSP)	469
Spartan3 xc3s200	1920 ² (3820 LUT)	30	216	-	173
Virtex4 SX25	10240 ² (20480 LUT)	160	2304	128 ⁴ (XtremeDSP)	320
Virtex4 SX55	24576 ² (49152 LUT)	384	5760	512 ⁴ (XtremeDSP)	640
Virtex5 SX240T	37440 ³ (148760 LUT)	4200	18576	96 ⁵ (DSP48)	960
Virtex5 LX50T	7200 ³ (28800 LUT)	480	2160	48 ⁵ (DSP48)	480

¹ Une cellule élémentaire pour les FPGA Igloo contient 1 LUT ou 1 bascule D

² Une cellule élémentaire pour les FPGA Xilinx hors Virtex 5 contient 2 LUT et 2 bascules D

² Une cellule élémentaire Virtex 5 contient 4 LUT et 4 bascules D

⁴ Un « XtremeDSP slice » contient 1 multiplieur 18*18, un additionneur et un accumulateur

⁵ Un « DSP48 slice » contient 1 multiplieur 25*18, un additionneur et un accumulateur

4.2 CHOIX D'UN FPGA DANS LA FAMILLE VIRTEX 5

4.2.1 CRITERES DE PERFORMANCE

La première étape de l'exploration architecturale a permis d'arrêter le choix sur une famille de FPGA, à savoir la gamme Virtex 5 de Xilinx. Cette famille particulièrement vaste peut être divisée en deux principaux types de FPGA :

- Les FPGA de type SXT, orientés vers le traitement du signal, intègrent de nombreux blocs matériels spécialement adaptés au traitement de signal de type DSP, ainsi qu'une mémoire importante.
- Les FPGA de type LXT, version standard de la famille, comportent de nombreuses cellules logiques et entrées/sorties.

Le tableau 15 présente les résultats de l'exploration architecturale en se concentrant sur les FPGA de cette famille.

TABLEAU 15 : PERFORMANCES APRES SYNTHÈSE SANS OPTIMISATION DU CODE GÈNÈRE
POUR LES FPGA DE LA FAMILLE VIRTEX 5

FPGA	Vitesse	Fréquence de fonctionnement après synthèse (MHz)	Nombre de cellules	Nombre de blocs de traitement de signal (DSP 48)
LX50T	1	110,5	12140	48
LX50T	2	113,8	16686	48
SX50T	2	113,8	6459	288
LX85T	2	113,8	16686	48
LX110T	2	122,2	10737	64
SX95T	2	119,8	6378	640
LX155T	2	122,4	7775	128
LX155T	3	132,5	7789	128
LX50T	3	110,5	9749	48
LX50T	1	113,8	6379	288

La composition des FPGA évalués est présentée dans le tableau 16. Le récepteur UWB-OFDM effectivement implémenté, décrit en partie IV, est bien plus complexe que le circuit de l'émetteur présenté en figure 42. Dans une telle situation, il est impossible d'atteindre la fréquence de 150 MHz nécessaire au fonctionnement du circuit, même avec les modèles les plus performants comme le SX50T. Nous verrons cependant par la suite que les optimisations de type retiming permettent de combler cette lacune. Les fréquences de fonctionnement sont quasiment identiques entre les FPGA similaires des familles LXT et SXT, mais le nombre de cellules utilisé est bien moindre dans la famille SX, les fonctions de traitement de signal du récepteur étant remplies par les blocs DSP. Les écarts de performance entre les différents FPGA étant relativement faibles, c'est le critère prix, dont les variations au sein de la famille Virtex5 sont très conséquentes, qui est pris en compte.

TABLEAU 16 : CARACTERISTIQUES DES FPGA DE LA FAMILLE VIRTEX5
EVALUES LORS DE L'EXPLORATION ARCHITECTURALE

FPGA	Nombre de cellules élémentaires (slices) ¹	RAM distribuée (kbit)	RAM non distribuée (kbit)	Nombre de blocs de traitement de signal (DSP 48)	Nombre d'entrée /Sorties
LX50T	7200	480	2160	48	480
LX85T	12960	840	3888	48	480
LX110T	17280	1120	5328	64	680
LX155T	24320	1640	7632	128	680
SX50T	8160	780	4752	288	480
SX95T	14720	1520	8784	640	640

¹ Une cellule élémentaire Virtex 5 contient 4 LUT et 4 bascules D

4.2.2 RAPPORT QUALITE / PERFORMANCES

4.2.2.1 IDENTIFICATION D'UNE PLATEFORME COMPLETE

Dans le cadre du développement de la couche physique d'un système de communication, le FPGA n'est jamais utilisé seul. En effet, s'agissant d'un composant numérique, et le signal radio étant analogique, des convertisseurs numériques/analogiques sont indispensables pour convertir le signal bande de base généré par la couche physique. Ces convertisseurs doivent être en mesure de convertir tous les échantillons générés par le circuit numérique implémenté, qui peut fonctionner jusqu'à une fréquence de 450 MHz. En conséquence, la fréquence de fonctionnement du convertisseur numérique analogique utilisé doit être de 450 MHz au minimum. Afin de convertir les signaux reçus en vue de leur analyse par le récepteur, la carte doit également intégrer un convertisseur analogique/numérique fonctionnant à la même fréquence.

Le système développé crée alors un signal bande de base complexe qui nécessite deux voies de conversion I et Q. D'un point de vue matériel, il convient donc que la carte utilisée comme démonstrateur intègre un FPGA, deux convertisseurs numérique/analogique et deux convertisseurs analogique/numérique en quadrature, ainsi qu'un circuit d'horloge commun aux cinq circuits.

Les différents composants élémentaires sont disponibles au catalogue de la quasi-totalité des fabricants d'électronique, mais la réalisation d'un circuit imprimé intégrant un FPGA de type Virtex5 et véhiculant des signaux à plus de 100 MHz est très délicate et demande beaucoup de temps. C'est pourquoi, afin de limiter les développements, on recherche une carte commerciale, qui, bien que constituant un élément de base de tout système de communication numérique, est particulièrement rare sur le marché. Ainsi, en 2009, seuls deux fabricants proposaient des circuits de ce type : Innovative Integration [114] avec la carte X5-400m, et RedRapids [90] avec la carte Channel Express 365. Les performances respectives de ces deux cartes sont détaillées dans le tableau 17.

TABLEAU 17 : PERFORMANCES DES CIRCUITS IMPRIMES INTEGRANT UN FGPA, DEUX CNA ET DEUX CAN

Marque	Innovative Integration	RedRapids
Référence	X5-400M	Channel Express M-365
FPGA	Xilinx Virtex5 LX50T-2/-3 LX85T-2/-3 LX110T-3 LX155T-2/-3 SX50T-2/-3 SX95T-2	Xilinx Virtex5 SX95T
CAN	2 CAN 16 bits 400 MHz	2 CAN Texas Instrument 400 MHz 14 bits
CNA	2 CNA 16 bits 1300 MHz	2 CNA Texas Instrument 500 MHz 16 bits
Interface	XMC / PciExpress	XMC / PciExpress
IO	2 sorties SMA, 50 Ohm 2 entrées SMA, 50 Ohm	2 sorties SMA, 50 Ohm 2 entrées SMA, 50 Ohm
Horloge	Interne programmable de 50 à 400 MHz ou Quartz interne à 400 MHz	Externe via entrée SMA

Les performances des convertisseurs présentées sur la datasheet étant presque identiques, il n'est pas possible de faire un choix sur la base de ce critère. Malgré tout, la carte RedRapids offre l'avantage d'accueillir différents types de FPGA, ce qui permet une nette diminution du coût d'acquisition. Enfin, les délais et conditions d'approvisionnement étant plus intéressantes chez RedRapids, c'est cette carte qui est choisie ici. Le modèle M-365 est disponible avec plusieurs types de FPGA. Pour le choix de ce FPGA, on évalue les rapports performance/prix par l'intermédiaire de l'exploration architecturale.

4.2.2.2 EXPLORATION ARCHITECTURALE POUR L'EMETTEUR UWB-OFDM

Dans un premier temps, l'exploration architecturale est menée pour le modulateur OFDM.

La figure 43 présente les résultats après synthèse pour les différents types de FPGA proposés pour les cartes RedRapids sous la forme d'une cartographie de la fréquence maximale atteignable (en ordonnée) en fonction du prix de chaque carte (en abscisse).

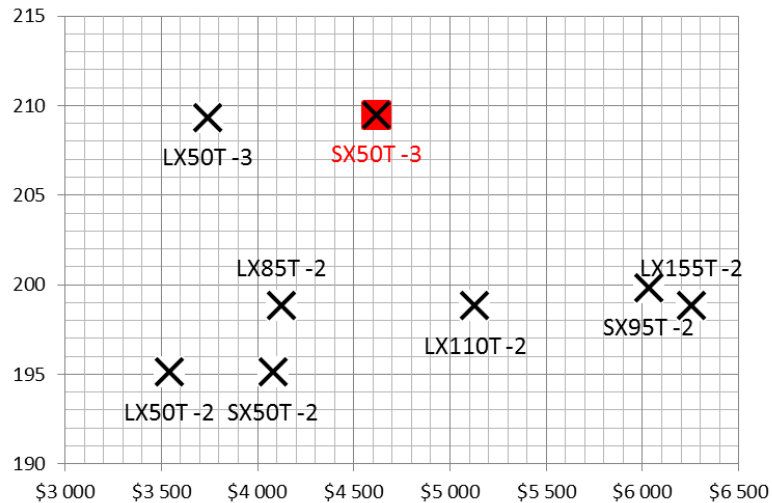


FIGURE 43 : PERFORMANCES D'UN MODELE SIMPLE D'EMETTEUR OFDM COMPAREES AUX PRIX DES PLATEFORMES FPGA

On observe ainsi que, malgré des différences de prix très importantes, les performances sont très proches, avec une marge de moins de 15 MHz. On note également qu'un prix élevé n'est pas nécessairement synonyme de performances accrues pour notre application.

Ainsi, les cartes intégrant les FPGA LX110-2, SX95-2 et LX155-2 affichent toutes un prix supérieur à 5.000 \$, ce qui est bien trop élevé pour notre démonstrateur qui doit intégrer trois nœuds et un concentrateur, soit quatre cartes au total. De plus, ces modèles de FPGA offrent une fréquence de fonctionnement inférieure à celle de certains modèles moins chers. Les modèles LX50-2, SX50-2 et LX85-2 affichent une fréquence maximale supérieure à la limite fixée à 150 MHz, mais inférieure à celle proposée par les modèles LX50-3 et SX50-3. Ces deux derniers FPGA offrent des performances identiques mais une différence de prix d'environ 900€ semble indiquer la supériorité du modèle LX50-3. Cependant, malgré ces observations, il n'est pas possible à ce stade d'arrêter définitivement le choix d'un modèle.

4.2.2.3 EXPLORATION ARCHITECTURALE POUR LE RECEPTEUR UWB-OFDM

L'exploration architecturale est ensuite menée sur le modèle simple d'un récepteur OFDM. Ce circuit est plus complexe que l'émetteur puisqu'il intègre un filtre adapté permettant à la fois la détection de l'émission, et la synchronisation de la fenêtre de réception. Un comparatif des performances de chaque circuit et du prix des cartes est présenté en figure 44. Celle-ci présente la correspondance entre la fréquence maximale atteignable avec la carte (en ordonnée) et son prix (en abscisse).

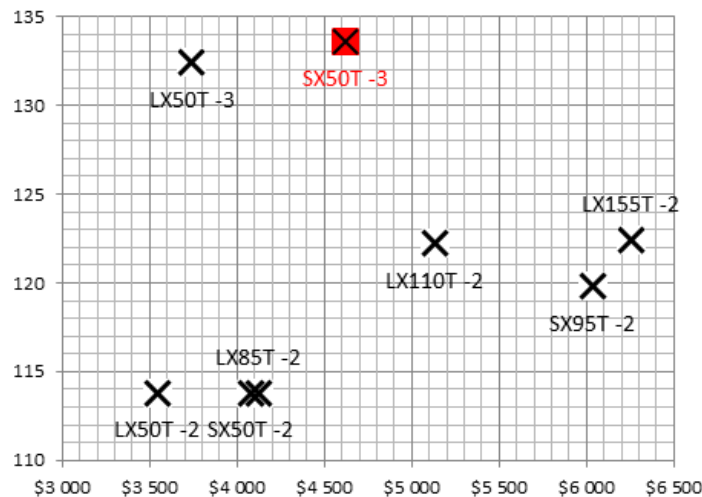


FIGURE 44 : PERFORMANCES D'UN MODELE SIMPLE DE RECEPTEUR OFDM COMPAREES AUX PRIX DES PLATEFORMES FPGA

Contrairement à ce qui a été observé pour l'émetteur, et en raison de la présence d'un nombre plus important de blocs de traitement de signal, les écarts entre les fréquences maximales atteignables sont ici plus grands.

Les cartes intégrant les FPGA LX110-2, SX95-2 et LX155-2 sont écartées en raison de leur prix qui, sur ce circuit, n'est pas justifié par des performances renforcées. Les modèles LX50-2, SX50-2 et LX85-2 proposent quant à eux une fréquence maximale nettement inférieure à la limite fixée à 150 MHz.

Restent donc à ce stade, les cartes LX50-3 et SX50-3, deux FPGA aux performances comparables. Alors, malgré une différence de prix d'environ 900 €, nous retiendrons le modèle SX50-3, qui a l'avantage d'être spécialisé dans le traitement du signal et intègre donc de nombreux blocs spécialisés dans le calcul de fonctions mathématiques complexes. C'est d'ailleurs pourquoi, dans le cas du récepteur, ses performances sont légèrement supérieures à celles du modèle LX. Ainsi, les perspectives d'évolution après conception du modèle final d'émetteur/récepteur OFDM seront plus importantes. L'optimum est donc obtenu avec un FPGA de type SX50T avec un paramètre de vitesse de 3.

5 CONCLUSION

Dans ce chapitre, nous proposons une méthode de conception originale reprenant les principes « Spécification – Exploration – Amélioration » limitant ainsi des délais entre la disponibilité des premiers modèles d'éléments de communication et leur évaluation en conditions réelles. Cette approche permet notamment le développement d'une couche physique alors même que les modèles théoriques de canaux de propagation spécifiques ne sont pas totalement définis.

L'alliance des outils Simulink et Symphony Model Compiler permet un développement basé sur un principe de synthèse haut niveau autorisant un cycle de développement court, comme l'impose le caractère industriel du projet.

Le choix d'une plateforme FPGA adaptée aux démonstrateurs à réaliser est aussi rendue possible grâce à l'exploration architecturale, réalisable dès les prémices du projet.

Cette exploration architecturale, rendue possible par les outils de synthèse automatique de code, a permis d'identifier le FPGA assurant le meilleur rapport qualité-performances-prix parmi les produits aujourd'hui disponibles sur le marché, et ce très tôt dans le déroulement du projet, dès les premiers modèles de traitement du signal établis.

Les FPGA spécialisés dans la très faible consommation, et qui auraient pu être intégrés directement dans les nœuds du réseau sans nécessiter la réalisation d'un ASIC, offrent malheureusement des performances trop éloignées du besoin initialement exprimé.

Finalement, des cartes extrêmement performantes et équipées de FPGA de type SX50T-3 ont pu être commandées dans le respect du budget alloué au développement.

Il en résulte que la plateforme Virtex5 est identifiée comme la seule capable d'assurer les performances attendues, et qu'au sein de cette famille, le FPGA de référence SX50T-3 est celui qui offre le meilleur rapport performances/prix.

Le flot de conception et la cible étant définis, il est désormais possible de développer la couche physique UWB-OFDM adaptée aux réseaux de capteur pour la métrologie dans un contexte aéronautique et spatial.

CHAPITRE IV
COUCHE PHYSIQUE HAUT DEBIT UWB-OFDM :
ARCHITECTURE DE TRAITEMENT DU SIGNAL

1 ORGANISATION DES ECHANGES DE DONNEES ET DEBIT PHY-MAC

1.1 ARCHITECTURE RESEAU

L'une des principales attentes des aérodynamiciens et mécaniciens vis-à-vis du passage à un réseau sans fil est la possibilité d'accroître le nombre de points de mesure par rapport à ce qu'autorisent les systèmes filaires. L'objectif est ici fixé à environ 400 capteurs par aile ou structure satellite. Pour atteindre ce nombre de points de mesure, le choix de l'architecture du réseau doit se faire avec précision. Les topologies réseau les plus courantes sont présentées en figure 45.

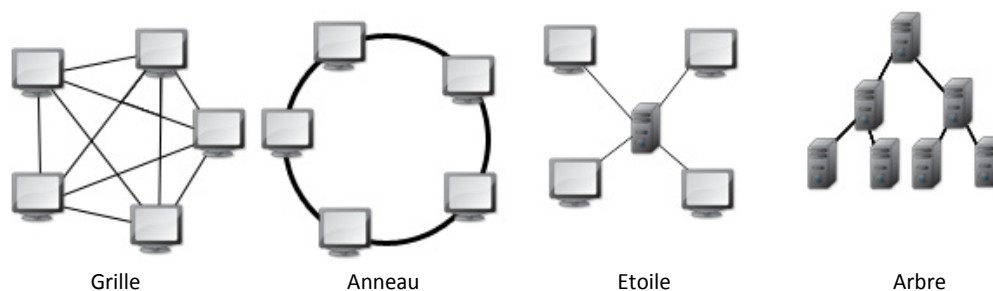


FIGURE 45: PRESENTATION DES PRINCIPALES ARCHITECTURES DE RESEAU

- La topologie la plus courante dans le déploiement de réseaux de capteurs est celle dite « en grille » ([115], [116] ou [117]). Tout nœud devant transmettre des mesures vers l'élément central du réseau (appelé ici concentrateur et situé à l'intérieur de la cabine ou du poste opérateur) peut les transmettre vers n'importe quel autre nœud intermédiaire qui les communiquera à son tour à un autre nœud. L'opération est ainsi répétée jusqu'au concentrateur. Cette technique offre l'avantage d'un lien systématique entre l'élément communicant et le concentrateur, ainsi que la redondance du lien de communication.

Cependant, dans notre contexte réseau où la quantité de données à échanger est très importante, la masse de données gérées par un nœud à un instant précis n'est pas un élément déterministe et doit correspondre à la somme de toutes les mesures des nœuds à sa portée radio. Il est alors nécessaire, soit de sur-dimensionner le débit du lien radio pour éviter de retarder les mesures, soit de mettre en place un mécanisme complexe de demande d'autorisation d'envoi de données. Ainsi, un nœud souhaitant envoyer la mesure qu'il vient d'effectuer doit d'abord chercher les autres nœuds à portée radio, établir une communication pour obtenir l'autorisation d'émettre et s'assurer que le nœud choisi connaît une route vers le concentrateur de données, pour enfin procéder à l'émission. Dans ces conditions, la consommation d'énergie d'un nœud est très importante et le lien doit être donc largement surdimensionné.

- La topologie en anneau consiste en la création d'un anneau reliant tous les membres du réseau [118]. Les éléments communicants sont situés sur une boucle et communiquent tour à tour. Cette topologie n'est, à juste titre, jamais envisagée dans le cadre de réseaux de capteurs car la défaillance d'un seul nœud viendrait rompre la structure, empêchant alors toute communication. Ainsi, en cas de dysfonctionnement de la batterie de l'un des nœuds, c'est l'ensemble du système qui devient inutilisable.

- La topologie en étoile [118] vise à éviter les travers des réseaux en grilles en utilisant le principe d'un nœud central. L'ensemble des éléments est ainsi relié à un système matériel central, appelé concentrateur, qui centralise et répartit les messages pour permettre l'échange d'informations entre les éléments. Ce mode de fonctionnement permet à un nœud de quitter ou de rejoindre facilement le réseau en cas de défaillance ou de remplacement, sans pour autant mobiliser le concentrateur dans une phase de découverte régulière du réseau ou détourner les autres nœuds de mesure de leur tâche. La synchronisation de l'ensemble des éléments est rendue possible grâce à un concentrateur, commun à l'ensemble des nœuds du réseau.

En revanche, la défaillance de ce seul concentrateur peut mettre tout le réseau hors service. C'est pourquoi cet élément, qui doit impérativement être protégé, ne peut pas être autoalimenté.

Enfin, un réseau dont les nœuds ne peuvent communiquer qu'avec l'élément central pose également le problème de la portée radio. En effet, la puissance d'émission de chaque nœud doit alors être suffisante pour permettre aux capteurs les plus éloignés du concentrateur (en bout d'aile dans notre application) de communiquer avec l'élément central situé à l'intérieur de la cabine, soit plus de 30 m dans le cas présent. La consommation est alors très élevée et la puissance maximale d'émission réglementaire peut être dépassée.

- Enfin, la configuration offrant le meilleur compromis pour notre application est la topologie en arbre [118] qui divise le réseau en trois sous-niveaux. Le sommet (niveau 1), appelé concentrateur, est connecté à plusieurs éléments de niveau inférieur, nommés ici répéteurs (niveau 2), selon le principe du réseau en étoile. Ces répéteurs sont eux-mêmes connectés à plusieurs éléments de niveau inférieur, appelés nœuds (niveau 3). Le concentrateur ne communique ainsi qu'avec les répéteurs qui ne peuvent échanger qu'avec les nœuds. La présence de répéteurs dans cette topologie permet de réduire la distance séparant l'élément central des nœuds terminaux. Chaque répéteur étant connecté à un nombre limité de nœuds, le débit reste alors relativement faible, y compris en cas d'augmentation du nombre de nœuds.

C'est donc cette architecture en arbre qui est choisie pour notre réseau. La figure 46 propose une représentation schématique de l'architecture réseau dans le cadre aéronautique, situation dans laquelle les répéteurs peuvent être alimentés par les prises 28 V présentes sur l'aile.

Dans le contexte satellite, l'organisation est sensiblement la même, à l'exception de l'absence de prise. Mais les modules routeurs pouvant être plus volumineux et plus lourds, ils pourront embarquer des batteries plus conséquentes qui seront une source d'alimentation importante.

Dans l'architecture proposée, chaque nœud est connecté à huit éléments sensibles, comprenant le capteur et le conditionneur de signal. Ce dernier est placé au plus près de l'élément sensible afin d'éviter que des longueurs de câble trop importantes viennent ajouter du bruit à la mesure. En sortie du conditionneur, le signal est amplifié, filtré et numérisé. Les nœuds sont autoalimentés et ne disposent donc que de peu d'énergie. Cependant, grâce à l'architecture en arbre, ils sont toujours suffisamment proches d'un répéteur pour que les portées radio, et donc la consommation, restent limitées.

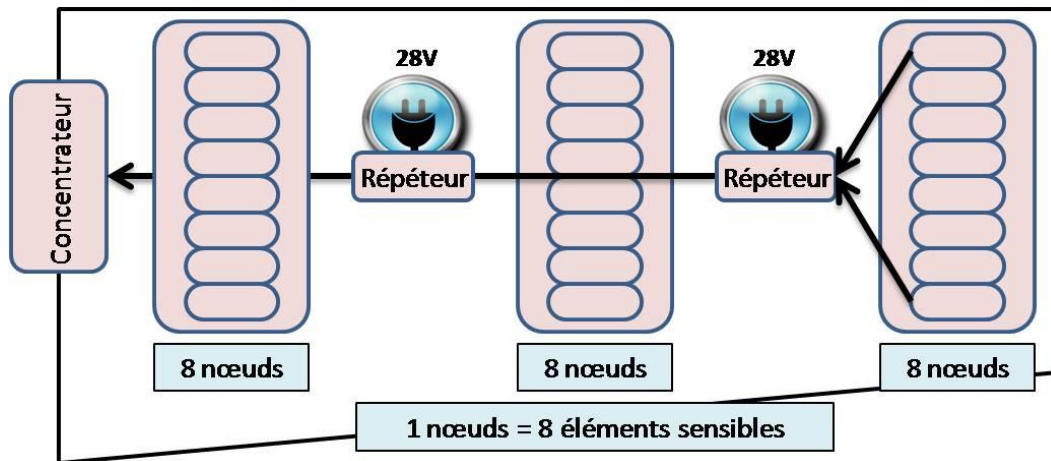


FIGURE 46 : ARCHITECTURE DU RESEAU DE CAPTEURS DANS LE CONTEXTE AERONAUTIQUE

Les répéteurs, quant à eux, sont placés au niveau des prises d'alimentation électrique déjà présentes sur l'aile et disposent, par conséquent, d'une portée radio et d'une puissance de calcul (permettant un codage d'erreur plus important par exemple) plus grandes.

Chaque répéteur est connecté au concentrateur situé à l'intérieur de la cabine de l'avion ou dans la salle des opérateurs, et fait le lien entre le réseau de mesure et les outils d'analyse classiquement utilisés dans les domaines visés.

Cette structure permet également au concentrateur de synchroniser tous les répéteurs avec une horloge commune, chacun étant alors lui-même chargé de synchroniser l'ensemble de ses nœuds fils. De plus, en cas de défaillance d'un nœud, le système est, comme pour le mode en étoile, toujours opérationnel. Enfin, en installant 8 éléments sensibles sur chaque nœud et en associant 8 nœuds par répéteur, il est possible de créer un réseau d'environ 200 capteurs à l'aide de 3 répéteurs et un concentrateur. Un réseau d'environ 800 capteurs peut ainsi être créé par l'association de 4 réseaux de ce type : un sur l'extrados et un sur l'intrados de chaque aile de l'avion. De cette manière, on aboutit aisément à un système flexible et robuste du point de vue de son architecture réseau.

1.2 TECHNIQUES D'ACCES MULTIPLES

Une fois l'organisation du réseau définie, une attention importante doit être accordée au choix de la technique permettant aux différents éléments d'utiliser le même canal. En effet, alors que pour une liaison filaire chaque capteur dispose d'un lien unique vers le concentrateur de données, dans le cadre d'une liaison sans fil, le canal est commun à l'ensemble des éléments communicants.

Les trois principales méthodes de partage de canal [119] sont le partage temporel, le partage fréquentiel et le partage par code.

- La technique de **partage du canal par code** autorise n'importe quel membre du réseau à utiliser, en permanence, l'ensemble des fréquences et du temps pour transmettre son information. Chaque utilisateur se voit attribuer un code unique. Le signal binaire à émettre est alors multiplié par ce code dont le débit est nettement plus élevé que celui des données à transmettre. Un choix opportun des codes attribués à chaque utilisateur permet ainsi de séparer leurs émissions au moment de la réception. Ces dernières sont perçues par les autres éléments du réseau comme des bruits pseudo-aléatoires à large bande. Cette technique est ainsi particulièrement intéressante dans la mesure où elle n'impose aucune restriction relative aux moments d'émission des différents éléments, où elle permet une augmentation flexible du nombre d'utilisateurs, et où elle offre une diversité de fréquences pour s'immuniser du bruit.

Cependant, les émissions étant perçues comme des bruits, tous les utilisateurs augmentent le bruit de fond du canal, participant ainsi à la dégradation des performances. De plus, le débit du code utilisé étant plus élevé que le débit de données, la bande passante du signal à transmettre est augmentée.

Cette technique n'est donc pas applicable dans le cadre de notre étude où le niveau de signal est particulièrement faible.

- La méthode d'accès multiple par répartition en fréquence consiste à allouer à chaque utilisateur une fraction de la bande de fréquence autorisée pour le système. Chaque élément dispose ainsi d'une sous-bande de fréquence dans laquelle il est seul à émettre. Cette technique a l'avantage d'être continue, c'est-à-dire que chaque utilisateur peut émettre à tout moment et dispose du canal en permanence. La méthode présente en revanche de nombreux inconvénients, et notamment une bande de fréquence allouée divisée par le nombre d'utilisateurs. Ainsi, le débit dédié à chacun étant directement proportionnel à la bande de fréquence, il se trouve réduit à mesure que le nombre d'utilisateurs augmente, pouvant même tendre vers 0 pour une infinité d'utilisateurs. Or, notre application nécessite un débit élevé ainsi qu'un grand nombre de nœuds, et la bande totale utilisée par le système pour assurer la liaison entre les nœuds et les routeurs devrait donc être beaucoup trop importante. De même, un répéteur de données étant associé à 8 nœuds et utilisant un lien ultra large bande, sa tête radiofréquence et son antenne nécessitent une bande passante beaucoup plus importante que ce qui est techniquement réalisable. Enfin, avec ce type de répartition, et afin d'éviter les bandes de garde trop grandes, l'oscillateur local utilisé doit être extrêmement stable et ne présenter aucune variation en température. Or, dans une application embarquée sur avion au vol avec des températures comprises entre -45°C à $+80^{\circ}\text{C}$, un oscillateur stable n'est pas envisageable.

La technique de répartition en fréquence peut cependant être mise en place pour la liaison entre le concentrateur et les répéteurs. En effet, le concentrateur est associé à seulement trois répéteurs et est embarqué à bord de la cabine ou du poste opérateur. Il peut donc, sans contrainte spatiale, disposer de trois antennes différentes dotées chacune d'une bande passante permettant de communiquer avec l'un des répéteurs. De plus, il est alors possible de jouer sur la zone d'éclairage de chaque antenne pour optimiser les rendements radio. La bande de fréquence UWB utilisée étant définie en Europe entre 6 GHz et 8,5 GHz, il est possible d'utiliser trois bandes de 500 MHz, dédiée chacune à un lien entre le concentrateur et l'un des répéteurs. La figure 47 représente schématiquement cette répartition des fréquences UWB pour la communication entre le concentrateur et les répéteurs. A l'intérieur de la cabine, trois cornets reliés au concentrateur éclairent chacun l'une des zones repérées en couleur sur la figure.

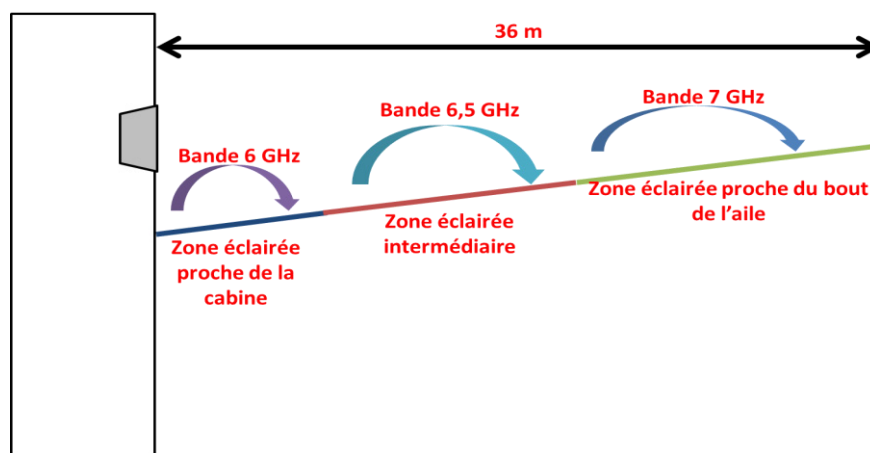


FIGURE 47 : REPARTITION DES FREQUENCES POUR LA COMMUNICATION CONCENTRATEUR-REPETEURS

Le démonstrateur devant être représentatif d'un réseau constitué d'un concentrateur, mais d'un seul répéteur associé à 8 nœuds, cette organisation fréquentielle ne sera plus abordée en détail par la suite.

- Enfin, la **répartition en temps** sépare le canal en intervalles de temps (slots). Si le système utilise N slots, chaque utilisateur émet pendant $1/N$ du temps disponible.

L'inconvénient principal de cette méthode est qu'elle impose à l'utilisateur une durée limitée d'émission de données, ce qui, à quantité de données égale, nécessite une augmentation du débit de sa couche physique. De plus, cette technique est très peu flexible. Le nombre de slots autorisés étant déterminé à la conception du système, il est en effet impossible d'augmenter le nombre de nœuds sans recourir à des mécanismes complexes de réservation de ressources.

Mais la répartition temporelle présente cependant l'avantage de réduire la bande passante utilisée par le système et de ne nécessiter aucun développement complexe au niveau des antennes et de la tête radio. Cette méthode permet également au module de s'endormir en dehors de son slot d'émission : avec 8 nœuds par routeur l'émetteur est éteint $7/8$ du temps. Il s'agit ainsi de la seule technique offrant une diminution conséquente de la consommation du nœud.

Enfin, la répartition en temps assure surtout un système parfaitement déterministe, ce qui est indispensable au développement d'une méthode de synchronisation du nœud performante. Celle-ci est basée sur le calcul du décalage entre le moment théorique du slot et le moment effectif de l'émission pour déterminer le recalage temporel de chaque élément [120].

Bien que le lien entre le concentrateur et les différents routeurs utilise un partage fréquentiel où chaque répéteur est associé à une bande de fréquence différente, la gestion de la bidirectionnalité est, ici aussi, définie par un duplex temporel. Chaque slot de la trame d'échange, présentée en figure 48, est utilisé pour un sens différent de communication. Le concentrateur ayant peu de données à échanger avec les répéteurs, il utilise un slot temporel court pour transmettre les données de synchronisation ou de configuration. Le second slot est utilisé par le répéteur pour transmettre les données de chacun de ses nœuds.

Un partage temporel du canal est ensuite effectué entre le répéteur et les nœuds. Chaque répéteur étant connecté à 8 nœuds au maximum, la trame contient 9 slots, tel que représenté en figure 48. Le slot représenté en vert assure le sens de communication descendant, tandis que les slots bleus représentent le sens montant, chacun étant associé à un nœud.

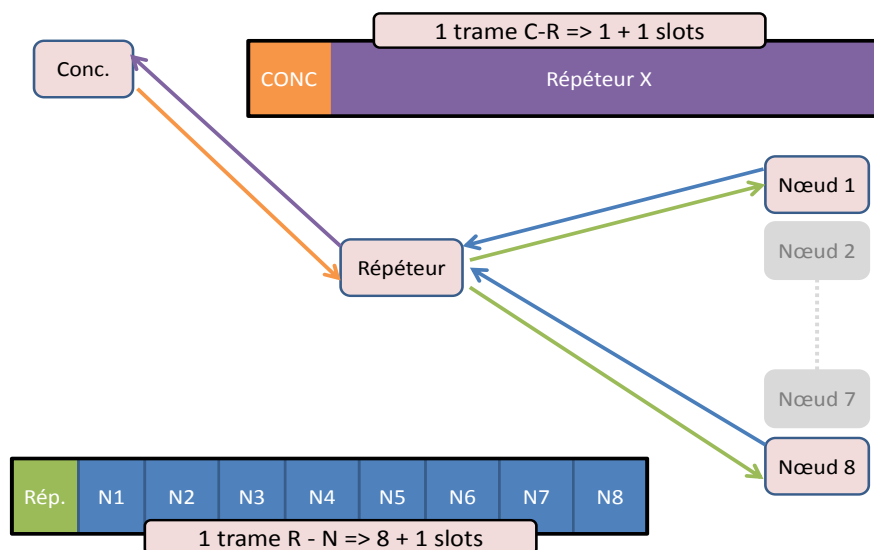


FIGURE 48 : STRUCTURE DES TRAMES D'ÉCHANGE ENTRE ÉLÉMENTS DU RÉSEAU.

1.3 DEFINITION DES TRAMES D'ÉCHANGE

Les slots définis dans la trame d'échange de données entre les nœuds et les répéteurs doivent contenir, en plus des simples données de mesure, un certain nombre de données indispensables à l'organisation du réseau.

Chaque trame contient ainsi, dans ses deux premiers champs, les adresses de son émetteur et de son destinataire, ce qui permet à chaque élément du réseau de s'assurer que la trame reçue lui est effectivement destinée. Dans un souci de simplification de l'interprétation des trames, le premier champ correspond toujours à l'adresse du répéteur (émetteur ou récepteur) et le second comprend systématiquement l'adresse du nœud (émetteur ou récepteur). De plus, bien que cela ne soit pas indispensable dans une structure à division temporelle, ces deux champs permettent, dans notre cas, de détecter d'éventuelles erreurs commises par le nœud au moment du choix du slot d'émission, mais aussi de décorrélérer l'identifiant du nœud du slot qu'il utilise. Chaque répéteur étant connecté à 8 nœuds, 4 bits suffisent donc pour le champ adresse nœud. Le réseau comprend seulement 3 répéteurs par chaîne de réception du concentrateur. Ainsi, seuls 2 bits sont nécessaires pour adresser l'ensemble des répéteurs. Mais afin que le couple des champs d'adresse (émetteur et récepteur) conserve une structure sous forme d'octets, on utilise 4 bits pour l'adresse du répéteur.

Le troisième champ, d'une longueur de 8 bits, comprend le type de trame sur ses 4 premiers bits et un diagnostic de l'état de l'élément communicant sur ses 4 bits de poids faible.

L'étude des spécifications montre qu'il est nécessaire de créer 3 types de trames :

- des trames de configuration des paramètres de chaque nœud n'exigeant aucune réponse une fois la commande exécutée :
 - Trame 0x01 : gain des capteurs associés au nœud (5 valeurs possibles codées sur 3 bits),
 - Trame 0x02: tension d'offset des capteurs associés au nœud (5 valeurs possibles codées sur 3 bits),
 - Trame 0x03: fréquence d'échantillonnage du nœud (6 valeurs possibles codées sur 3 bits),
 - Trame 0x04: allumage des LED d'identification des éléments sensibles (un nœud étant connecté à 8 éléments sensibles devant être repérés individuellement, la trame prévoit l'allumage de 8+1 LED : 9 valeurs codées sur 4 bits).
- des trames de configuration des paramètres de chaque nœud nécessitant une réponse du nœud :
 - Trame 0x11 : passage du mode configuration au mode mesure, ou inversement (2 valeurs codées sur 1 bit),
 - Trame 0x12 : désactivation d'un ou plusieurs capteurs avec indication du capteur à éteindre (8 valeurs codées sur 3 bits),
 - Trame 0x13 : demande d'autodiagnostic du nœud, la réponse devant contenir l'état de chaque capteur (8 valeurs codées sur 3 bits), niveau de batterie du nœud (4 valeurs codées sur 2 bits) et état de synchronisation du nœud (2 valeurs codées sur 1 bit), soit 6 bits au total pour la trame de réponse,
 - Trame 0x14 : demande des paramètres des capteurs, la réponse devant contenir l'offset (5 valeurs codées sur 3 bits) et la fréquence d'échantillonnage (6 valeurs codées sur 3 bits), soit 6 bits au total pour la trame de réponse,

- Trame 0x15: demande des paramètres réseau du nœud, la réponse devant contenir le slot (8 valeurs codées sur 3 bits) et l'adresse réseau (4 bits), soit 7 bits au total pour la trame de réponse,
- Trame 0x16 : demande des données TEDS (Transducer Electronic DataSheet) (256 bits par capteur).
- des trames de mesure (trame 0x21).

Pour les trames nécessitant une réponse du nœud, un même identifiant est utilisé par le répéteur pour la demande, et par le nœud pour la réponse. En effet, les demandes de configuration ne se font qu'à l'initiative du concentrateur et par l'intermédiaire du répéteur. L'utilisation d'un même numéro de trame évite ainsi les conflits.

Le champ suivant, d'une taille de 32 bits, contient les données de configuration (données à configurer ou données effectivement configurées) et se retrouve dans toutes les trames, y compris la trame de mesure. Dans cette dernière, il laisse un espace disponible pour la remontée d'informations diverses au cours de la mesure.

Le cinquième champ de la trame comporte l'horodate de la mesure. L'ensemble des nœuds étant synchronisé de manière très précise par rapport à une référence unique, ce champ contient en réalité un simple compteur du nombre de trames envoyées, représentatif de l'instant de mesure relativement au démarrage de l'essai. Il permet ainsi de détecter d'éventuelles pertes radio. Sa taille de 16 bits permet une plage de 65536 mesures.

Les huit derniers champs de la trame ont une taille de 16 bits, correspondant à la précision d'un capteur. Dans le cadre de la trame de mesure à destination du répéteur, ils contiennent les données mesurées par les 8 capteurs associés au nœud. Dans le sens répéteur-nœuds, ces champs sont indispensables à toutes les trames échangées car ils servent à transmettre les données de resynchronisation de l'horloge de chaque nœud. Ces dernières sont calculées par le répéteur et assurent que, même à l'occasion des échanges de trames non-critiques de configuration, le nœud ne déborde pas de son slot.

La trame de données de niveau MAC échangée sur le réseau a donc une taille de 192 bits. La figure 49 présente la trame utilisée pour la remontée de données dans le sens nœud-répéteur. La figure 50 présente, elle, la même trame dans le sens répéteur-nœud.

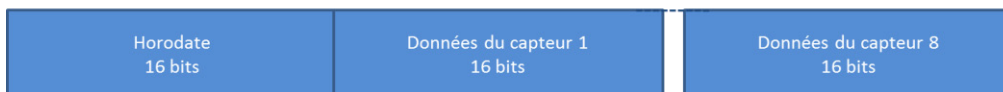


FIGURE 49 : TRAME D'ÉCHANGE ENTRE LE NŒUD ET LE REPÉTEUR

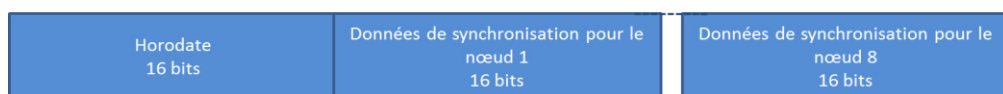


FIGURE 50 : TRAME D'ÉCHANGE ENTRE LE REPÉTEUR ET LE NŒUD

1.4 DEBIT PHY-MAC

Une fois l'organisation du réseau et la gestion des accès multiple choisies, et les trames échangées définies, il est possible de définir le débit de données à l'interface entre la couche physique et la couche MAC. Du fait d'une forte exigence de précision des données mesurées et d'une fréquence d'échantillonnage élevée, ce débit important a longtemps représenté un frein au déploiement de réseaux métrologiques sans fil.

Afin de minimiser la consommation électrique, les nœuds ne doivent pas stocker plus que la mesure courante. C'est pourquoi chacune d'elles est immédiatement transmise au répéteur le plus proche qui, étant alimenté par l'intermédiaire des prises 28 V pourra, au besoin, la stocker et gérer d'éventuelles réémissions.

Pour cela, les nœuds doivent, à chaque mesure effectuée à la fréquence f_{ech} , disposer individuellement d'un accès au canal et donc d'une trame. La durée totale d'une trame (T_{trame}) ne doit donc pas excéder le délai séparant deux mesures et ainsi respecter l'équation suivante :

$$T_{trame} = \frac{1}{f_{ech}} \quad (2.1)$$

Le réseau repose sur une structure de type maître-esclave, permettant d'assurer un système parfaitement déterministe et de superviser la synchronisation des éléments. Le maître, qui peut être le répéteur ou le concentrateur, possède plusieurs nœuds esclaves. Le partage du canal de communication est de type TDMA, où chaque nœud dispose d'un créneau fixe, autorisant ainsi le maître à synchroniser l'ensemble des esclaves. Cette méthode permet également au maître de détecter les dérives d'horloge de ses esclaves par le repérage des dérives de placement des données dans le créneau attribué à chaque nœud. Ainsi, si nécessaire, le maître envoie, en temps quasi réel, une information de recalage d'horloge à chaque esclave via son créneau de communication. Chaque répéteur étant connecté à N nœuds différents, N+1 slots (N nœuds et 1 répéteur) sont nécessaires entre deux instants de prise de mesure. La durée maximum d'un slot est ainsi définie par l'équation suivante :

$$T_{slot} = \frac{T_{trame}}{Nb_{slot}} = \frac{1}{Nb_{slot} * f_{ech}} \quad (2.2)$$

Les dérives d'horloge sont détectées grâce à la mesure de l'instant théorique d'émission de l'esclave, et de l'instant effectif de réception du message par le maître. Le slot TDMA ne peut, par conséquent, pas être rempli de données utiles sur l'intégralité de sa durée. Le temps au cours duquel le slot contient des données est ainsi défini par l'équation suivante :

$$T_{data} = marge_{TDMA} * T_{slot} = \frac{marge_{TDMA}}{Nb_{slot} * f_{ech}} \quad (2.3)$$

Le débit de données du lien « nœud vers répéteur » est défini par l'équation suivante :

$$Db = \frac{Nb_{bit_trame}}{T_{data}} = \frac{Nb_{bit_trame} * Nb_{slot} * f_{ech}}{marge_{TDMA}} \quad (2.4)$$

La figure 51 présente une vue schématique de la trame, ainsi que les différents temps et marges précédemment décrits.

La création d'un réseau de 200 capteurs nécessite 8 nœuds par routeur et donc 9 slots dans la trame.

La marge TDMA est définie à 10% pour l'ensemble de l'étude, valeur susceptible d'être réduite et optimisée en fonction de l'environnement réel et des performances demandées par l'utilisateur. Ce dernier pourra la définir lors de la configuration du réseau.

Selon les spécifications initiales, le système devait être en mesure d'effectuer des mesures à une fréquence de 22 kHz pour l'application aéronautique (la plus contraignante en termes de débit). C'est cette valeur qui est prise en compte pour l'ensemble du développement décrit plus loin. Cependant, lors de la réalisation des conditionneurs de signal, les spécifications ont dû être modifiées en raison de la complexité de réalisation des filtres de traitement (notamment de sous-échantillonnage). La fréquence d'échantillonnage est désormais fixée à 32 768 Hz.

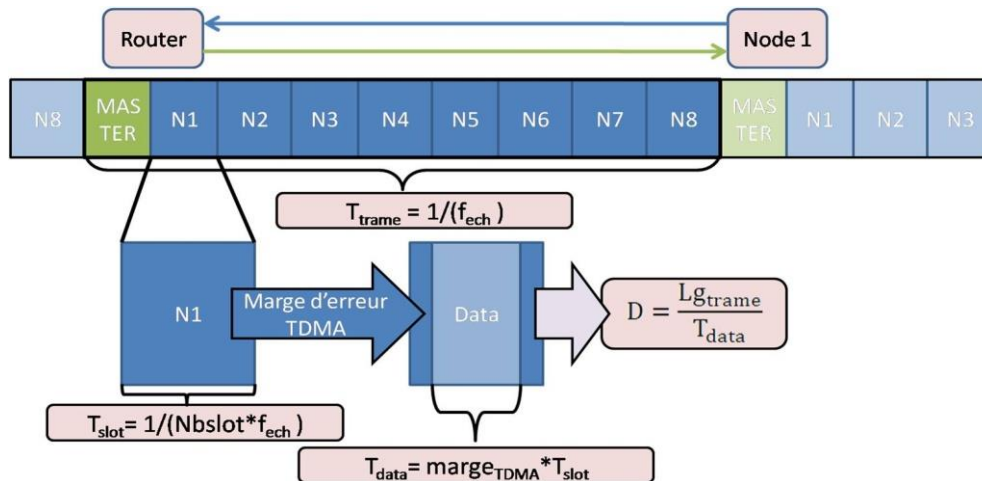


FIGURE 51 : STRUCTURE DE COMMUNICATION ENTRE NŒUD ET REPETEUR

Les débits de données proposés par la couche physique à la couche MAC sont présentés dans le tableau 18, avec la taille de trame définie dans le paragraphe précédent, soit 192 bits. La première colonne (10 kHz) sert de référence, et les suivantes présentent les débits associés à des fréquences d'échantillonnage respectives de 22 kHz et 32 kHz.

TABLEAU 18 : DEBIT DU SYSTEME EN FONCTION DES FREQUENCES D'ECHANTILLONNAGE DES CAPTEURS

f_{ech} (kHz)	10 000	22 000	32 768
T_{trame} (μs)	100	45,5	30,5
T_{slot} (μs)	11,1	5,1	3,4
T_{data} (μs)	10,0	4,5	3,1
débit PHY\MAC ($Mbits.s^{-1}$)	19,6	42,5	62

Pour assurer une fréquence d'échantillonnage de 22 kHz ou 32 kHz avec une précision de 16 bits par capteur, le débit de données utiles offert par la couche physique doit être légèrement supérieur à 60 $Mbits.s^{-1}$.

2 ORGANISATION DES PORTEUSES

2.1 ORGANISATION FREQUENTIELLE

La couche physique développée doit être en mesure d'offrir un débit d'environ 60 $Mbits.s^{-1}$ à la couche MAC associée. La modulation utilisée étant de type OFDM, elle repose essentiellement sur le calcul d'une transformée de Fourier inverse à l'émission, et directe en réception.

Pour cette opération mathématique complexe, plus le nombre de points, et donc de porteuses, est important, plus le calcul est complexe et consommateur de ressources.

De plus, dans le cadre d'une implémentation sur un FPGA, le temps de calcul augmente avec le nombre de points de la transformée. Le délai séparant l'envoi du premier bit à transmettre à l'interface PHY/MAC, de l'envoi du premier symbole physique est ainsi particulièrement long. Or, l'exigence de synchronisation des éléments, implique que ce temps de latence soit réduit au maximum.

A l'inverse, pour une fréquence donnée, le nombre de porteuses est proportionnel à la taille de la transformée de Fourier, ce qui peut contribuer à augmenter le débit. Il convient donc de rechercher le meilleur rapport complexité/performance en sélectionnant au plus juste la taille du bloc FFT.

Sur la base des travaux menés par Batra en 2003, on estime que le meilleur rapport entre la complexité du bloc et ses performances est obtenu avec une transformée de 128 points.

Notre système OFDM repose donc sur l'utilisation de 128 porteuses, dont l'organisation est un critère de performance déterminant. Dans les faits, seules 106 porteuses véhiculent effectivement de l'énergie, les 22 porteuses restantes étant laissées à 0 afin de réduire les contraintes pesant sur les circuits analogiques. Elles sont réparties de la manière suivante :

- Les porteuses -3 à 3 (7 porteuses), correspondant à la composante continue (porteuse 0) et aux plus basses fréquences, sont supprimées pour éviter les problèmes d'offset au niveau des convertisseurs analogique/numérique et numérique/analogique, ainsi que le "RF carrier feed-through" [69], [121].

L'utilisation d'un étage RF à conversion directe nécessite en effet une connexion capacitive entre la puce RF et la puce numérique, qui aura alors un comportement passe haut, bloquant ainsi la composante continue. C'est pourquoi la porteuse 0 ne doit en aucun cas être utilisée. Cependant, la capacité n'étant pas idéale, les fréquences inférieures à sa fréquence de coupure sont elles aussi atténuées. Les premières porteuses du spectre en bande de base (ici 1, 2 et 3) doivent alors être supprimées également. Dans le cadre de ce développement, il n'y aura donc pas de porteuse entre 0 et 7 MHz.

- Les porteuses 57 à 64 et -57 à -63 (15 porteuses) sont supprimées pour relâcher les spécifications sur les filtres en bordure de spectre.

Ensuite, sur les 106 porteuses non nulles, seules 96 transportent des données utiles. Leur répartition est la suivante :

- 96 porteuses transportent des données utiles.
- 10 porteuses (15/25/35/45/55 et -15/-25/-35/-45/-55) transportent les signaux pilotes, assurent une détection cohérente et robuste aux offsets en fréquence et en bruit de phase, et permettent d'effectuer l'estimation du canal [65].

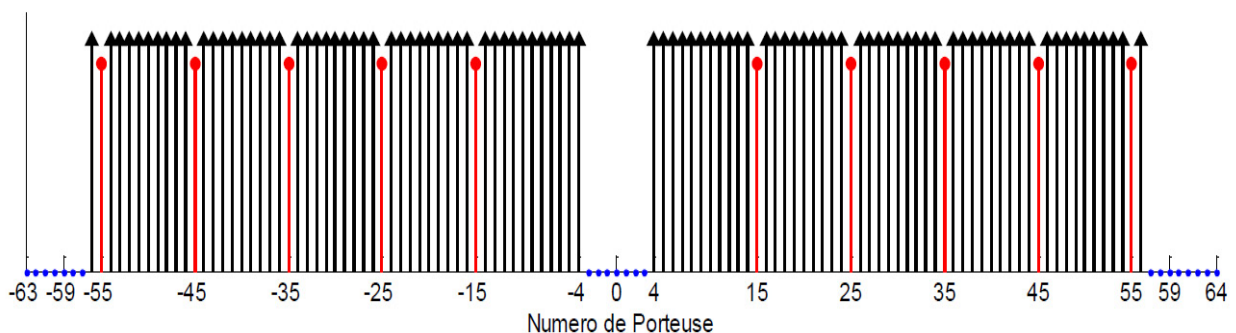


FIGURE 52 : ORGANISATION DES PORTEUSES OFDM

La figure 52 représente la répartition des porteuses en fonction de leur position dans le spectre. Une telle structure ne permet que l'utilisation de 96 porteuses pour le transport des informations provenant de la trame de la couche MAC.

Afin de transporter l'ensemble des données, chaque porteuse est donc multipliée par un signal complexe représentatif de l'information à transmettre, et issu du processus de modulation.

2.2 MODULATION DES PORTEUSES

Lors d'une communication de type OFDM, le principe de transmission consiste à décomposer le train de symbole binaire, au rythme provenant de la couche MAC, en N trains parallèles plus lents ayant chacun un rythme $1/N$. Chaque train de symbole ainsi constitué module l'une des porteuses décrites précédemment, qui lui est propre. La somme des N signaux modulés constitue le symbole OFDM. Il est nécessaire d'associer à chaque bit de chaque train parallèle, un signal physique adapté au canal portant l'information relative à ces données. Comme pour tout système de communication, le choix de la modulation des données est ici une étape décisive.

Dans le cadre de multi-porteuses, les modulations sont toujours de type QAM [119], c'est-à-dire des modulations par saut d'amplitude, saut de phase, ou une combinaison des deux.

- La **modulation en amplitude** associe chaque point de la constellation à une amplitude de signal différente. Ainsi, dans une modulation à 4 états, la suite binaire 00 est transformée en un niveau d'amplitude n , la suite 01 en un niveau d'amplitude $2n$, la suite 10 en un niveau d'amplitude $3n$, et enfin, la suite 11 en un niveau d'amplitude $4n$. L'amplitude de chaque porteuse du symbole OFDM, représentative de 2 bits, est alors distincte et dépend de la suite binaire à transmettre. Un symbole OFDM transporte donc un nombre de bits correspondant au double du nombre de porteuses de données. Il est néanmoins impossible d'avoir recours à ce type de modulation dans le cadre de modulations multi-porteuses. Dans une telle situation, l'ensemble de l'information est en effet transporté à travers les niveaux d'amplitude absolus des différentes porteuses. En revanche, lors de la propagation, les interférences destructives ou constructives modifient cette amplitude, et transforment l'information portée par le symbole. Le récepteur doit alors être capable de multiplier le symbole reçu par une image précise inversée de l'effet du canal pour assurer la démodulation correcte de l'information. Cette opération se révélant quasi-impossible dans le domaine temporel pour des canaux large bande, il n'est pas possible de recourir à la modulation d'amplitude. Seules les modulations de phase peuvent donc être utilisées, et bien que les modulations combinant phase et amplitude soient envisageables, la démodulation est délicate et le taux d'erreur important en présence de bruit.
- La **modulation de phase** de type PSK (Phase Shift Keying) consiste à faire porter l'information binaire par la phase d'un signal de référence. L'amplitude du signal à transmettre ne subit ainsi aucune variation liée à l'information portée. Comme toute autre technique de modulation numérique, la phase ne peut prendre qu'un nombre fini de valeurs, représentant chacune un nombre binaire, dont la taille et donc la quantité d'informations transmises dépendent du nombre de valeurs possibles.

La modulation PSK la plus simple est une modulation Binary-PSK (B-PSK) dans laquelle les deux phases sont séparées de 180° , comme indiqué en figure 53. A la réception d'une donnée modulée en phase, le bruit est tel que, dans la constellation, le point devient un nuage de point. L'identification du point théorique le plus proche, rend alors possible la prise de décision, même en cas d'ajout de bruit sur le

symbole. La modulation B-PSK est particulièrement robuste en raison de la grande distance qui sépare les deux points. Pour engendrer une erreur de détection, le bruit de phase devrait être suffisamment important pour faire basculer la phase dans un état opposé. Mais cette modulation, qui ne comporte que deux états, présente malheureusement l'inconvénient de ne faire porter qu'un seul bit sur chaque porteuse. Aussi, dans une modulation de type OFDM utilisant 128 porteuses dont seulement 96 véhiculent des données, la quantité d'informations contenue sur un symbole est de 96 bits. Or, dans notre application, deux symboles seraient alors nécessaires pour transporter une trame (192 bits). Non seulement le calcul de la FFT devrait alors être extrêmement rapide pour assurer le débit de données souhaité, mais la trame, répartie sur deux symboles différents, serait qui plus est totalement erronée en cas d'erreur sur un seul de ces symboles.

Pour augmenter la quantité de données contenues sur un seul symbole, il est donc nécessaire d'augmenter le nombre d'états de la constellation. En effet, plus ces derniers sont nombreux, plus le nombre de bits acheminés par les porteuses au cours d'un seul symbole est important.

A puissance transmise constante, l'augmentation du nombre de points dans la constellation conduit nécessairement à leur resserrement, et le bruit pouvant faire passer d'un état à l'autre, générant ainsi des erreurs de transmission, est alors plus faible.

L'objectif du présent développement étant l'obtention d'un débit important, une modulation à un grand nombre d'états de phase semble indispensable. En revanche, afin de conserver une grande robustesse aux erreurs ainsi qu'une faible complexité du modulateur et de réduire ainsi la consommation électrique, une modulation à quatre états de phase a été choisie. Chaque porteuse peut alors transporter deux bits, comme présenté en figure 53. Ainsi, grâce aux 96 porteuses disponibles, l'ensemble de la trame (soit 192 bits) peut être transporté au sein d'un même symbole OFDM.

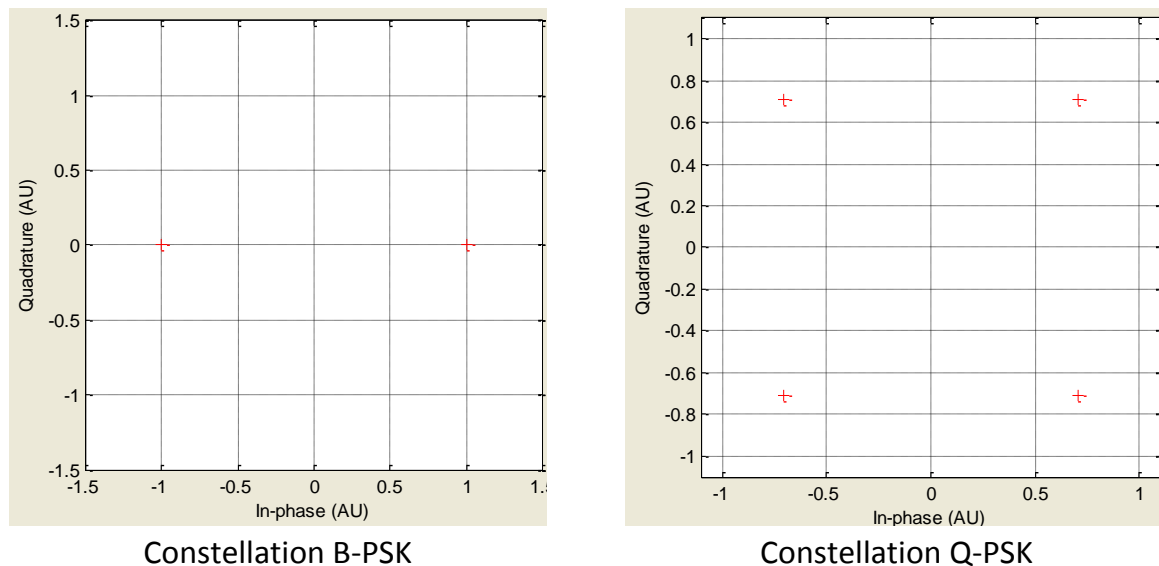


FIGURE 53 : CONSTELLATION D'UNE MODULATION DE PHASE A 2 ETATS (B-PSK) ET A QUATRE ETATS (Q-PSK)

La constellation utilisée comportant quatre points, il convient d'associer un code binaire à 2 bits à chacun d'eux. Afin de minimiser les erreurs de transmission, on choisit un codage de type « gray », également appelé « binaire réfléchi », construit de telle façon qu'à partir du chiffre 0, chaque nombre consécutif diffère du précédent d'un seul digit⁹. Ce type d'organisation assure une plus grande immunité

⁹ Changement d'un seul bit à la fois quand un nombre est augmenté d'une unité.

au bruit. En effet, lorsqu'une erreur survient, celle-ci se caractérise par la confusion d'un symbole avec un autre, généralement son voisin le plus proche. Or, avec un code de gray, deux symboles géométriquement voisins sont codés par des mots ne différant que d'un seul bit, si bien que la confusion de deux symboles ne se traduit alors que par une erreur sur un seul bit. La constellation utilisant le codage de gray est présentée en figure 54.

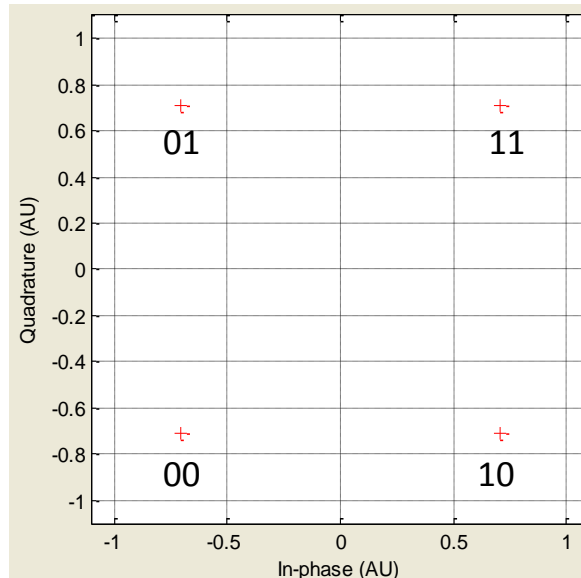


FIGURE 54 : CONSTELLATION QPSK AVEC CODAGE DE GRAY

3 ORGANISATION DES SYMBOLES OFDM

3.1 CHOIX D'UN PRÉFIXE ET TEMPS DE GARDE ENTRE SYMBOLES

Un symbole OFDM, avec la répartition des porteuses et la modulation choisies, permet le transport de 192 bits. Pour assurer le débit MAC et la création d'une trame toutes les $\frac{1}{f_{ech}}$ secondes, il suffit de générer un symbole OFDM en moins de $\frac{1}{f_{ech}}$ secondes. Il est cependant indispensable de tenir compte du type et de la longueur du préfixe dans le calcul.

Les symboles décrits jusqu'ici correspondent à leur utilisation complète pour l'envoi de données et aucun temps entre deux symboles n'est exempt d'émission. Si aucun problème n'apparaît dans un canal sans distorsion ni réflexion, dans le cas d'un canal de propagation réfléchissant, le signal reçu correspond au signal principal additionné de tous les signaux réfléchis. Cette situation est présentée dans la partie haute de la figure 55. On assiste au brouillage des premiers éléments du symbole $N + 1$ par les réflexions du symbole N , et on parle alors d'Interférences Inter Symbole (ISI).

Pour éviter ce phénomène, un intervalle est ajouté au début de chaque symbole émis dans le but de garantir que toutes les informations intégrées lors de la réception proviennent bien du même symbole N . Le début de l'émission du symbole N est ainsi retardé de manière à ce qu'il intervienne après l'étalement des échos (T_{echo}) du symbole précédant dans le canal. Il convient cependant que le temps ajouté ne soit pas trop long par rapport à T_{symp} , afin de ne pas sacrifier une trop grande partie de la capacité de données et du rendement spectral.

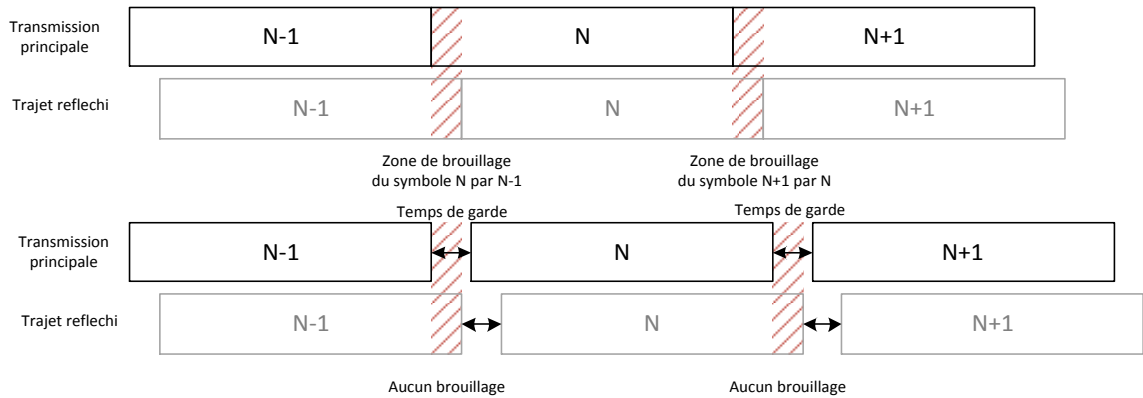


FIGURE 55 : TRAJET MULTIPLE CREANT DES INTERFERENCES ENTRE SYMBOLES

Dans le cadre du développement d'un réseau de capteurs pour la mesure de pression sur une aile, la propagation se fait en espace libre. Comme nous l'avons montré lors des essais effectués en environnement réel, étant donné qu'il n'y a alors aucun multi trajet, la valeur du temps entre deux symboles (préfixe) peut théoriquement être nulle. Cependant, afin d'assurer un minimum de robustesse, on fait le choix de conserver un intervalle de 10 périodes d'horloge entre chaque symbole. Cette valeur peut être aisément modifiée et ajustée en fonction des mesures en environnement réel grâce à l'utilisation du flot de conception haut niveau.

Afin de préserver la simplicité du décodage OFDM, on utilise généralement le préfixe cyclique [65]. Dans cette situation, la copie exacte de la fin du symbole est ajoutée au début de celui-ci (figure 56). Ainsi lors de la réception, la convolution, qui est normalement linéaire avec la réponse impulsionnelle du canal, apparaît désormais comme circulaire. Or, une convolution circulaire dans le domaine temporel présente l'avantage de n'être qu'une simple multiplication dans le domaine fréquentiel, et l'opération d'estimation du canal peut ainsi se faire très aisément.

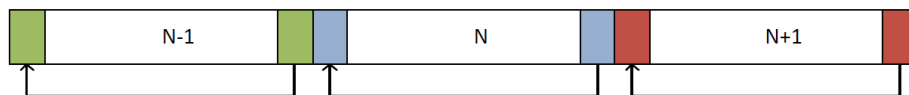


FIGURE 56 : ILLUSTRATION DU PRINCIPE DE PREFIXE CYCLIQUE

Mais ce type de préfixe introduit une redondance dans le signal transmis, créant ainsi des oscillations au niveau de la densité spectrale de puissance moyenne du signal. Dans le cadre de communications UWB, le niveau de puissance maximal autorisé défini par la réglementation étant très faible, toute oscillation dans la densité spectrale de puissance doit se traduire par une réduction du niveau d'émission. Dans le cadre d'une transmission OFDM, les oscillations peuvent atteindre 1.5 dB [70].

Afin d'éviter ce désagrément dans le cadre de systèmes OFDM-UWB, le préfixe est réalisé grâce à la méthode « zero padding » (ZP) [122], qui consiste en l'introduction de 0. Le signal perd alors toute structure et donc toute oscillation dans le domaine fréquentiel. A la réception, les échantillons de la fin du signal sont introduits en début de symbole à la place des 0, ce qui permet de simuler une convolution circulaire. On obtient ainsi les mêmes avantages qu'avec un préfixe cyclique, mais sans oscillation sur le spectre. L'environnement de notre développement n'étant pas soumis aux multi-trajets, la méthode du zero padding est la plus intéressante et sera ainsi appliquée. La longueur du préfixe, soit 10 périodes entre deux symboles, sera donc vide. Un symbole OFDM doit alors être créé en moins de $\frac{1}{f_{ech}} - \frac{10}{f_{PHY}}$ secondes.

3.2 CODAGE CORRECTEUR D'ERREUR OU CODAGE CANAL

La communication étant établie entre éléments dans un canal réel, il est indispensable d'ajouter une protection des messages, afin de permettre au récepteur de détecter et de corriger les erreurs apparaissant lors de la transmission. Cette amélioration s'effectue par l'ajout d'une redondance d'informations, ce qui modifie la fréquence de fonctionnement de la couche physique.

Un mécanisme de réémission des bits erronés pourrait être mis en place pour réduire au maximum la redondance au sein des symboles transmis. Ainsi, lorsqu'un symbole serait détecté comme erroné, le récepteur enverrait une demande de retransmission à l'émetteur. Mais ce mécanisme ne peut pas être mis en place dans notre application. En effet, les accusés de réception et les réémissions, qui nécessitent une sauvegarde de chaque mesure par les nœuds, viendraient briser à la fois le temps réel nécessaire à l'application et le déterminisme des échanges.

La deuxième stratégie envisageable est une correction directement disponible dans la trame sous la forme d'un codage canal. On distingue deux types de codes canal : les codes dits « codes en blocs » et les codes dits « convolutifs ».

3.2.1 CODEUR BLOC ET CODEUR CONVOLUTIONNEL

Les **codes en blocs** récupèrent un bloc de données de taille définie (k), pour le transformer en un nouveau bloc de taille supérieure (n). La nouvelle taille du code est déterminée par la quantité de redondance ajoutée, et donc par le rapport entre k et n .

Le code bloc le plus simple consiste en l'ajout d'un bit de parité : un bit supplémentaire est ajouté au bloc de k bits afin que le message contienne toujours un nombre pair de « 1 ». Le récepteur est alors capable de contrôler le message en additionnant les bits du symbole reçu et peut ainsi détecter une erreur si cette somme est impaire. Il n'existe cependant aucun moyen de corriger l'information.

Le principe du bit de parité est une application extrêmement simple des codes blocs. Dans le cas général, ce type de codage s'applique le plus souvent sur de très grands blocs de données ($k \ll 100$ bits) et l'ensemble du bloc de données de longueur k doit être reçu au niveau de la couche physique pour procéder au calcul de la sortie. La latence ainsi introduite par le codeur représente alors un problème majeur pour notre application où la technique de synchronisation développée [120] nécessite qu'un temps réel strict et une latence minimum soient assurés.

Dans un **code de type convolutif**, la sortie du codeur consiste en plusieurs convolutions de la suite de bits à envoyer. Ce type de codeur présente l'avantage de ne pas « retarder » le flux de données, puisque les données de sortie peuvent être directement calculées à partir des données d'entrée. Une fois les registres remplis, le codeur fonctionne en permanence, évitant ainsi tout problème de latence qui pourrait être préjudiciables à la synchronisation des données mises en place.

De plus, la faible consommation du nœud peut être assurée car la convolution s'obtient très aisément grâce à l'utilisation de registres à décalage, dont certaines sorties sont ajoutées modulo 2.

Un code convolutif est identifié par deux paramètres : le taux de codage ($\frac{1}{n}$) et la longueur de contrainte (K), qui détermine le nombre de registres dans le registre à décalage. Chaque bit de sortie dépend alors de K paquets de bits d'entrée successifs au maximum. La valeur $K-1$ est appelée « mémoire du code ». La multiplication du nombre de registres améliore le pouvoir de correction des erreurs, mais augmente également la complexité du décodeur et la mémoire utilisée par l'encodeur. Le taux de codage définit quant à lui le rapport entre le nombre de bits en entrée et en sortie du codeur, et

correspond au nombre d'additions modulo 2 nécessaires à l'obtention du symbole de sortie. Ces additions modulo 2 sont réalisées grâce à un « ou exclusif », ou « xor » entre les sorties des différents registres. La figure 57 présente un exemple de codeur convolutionnel de ratio 1/3 et de contrainte 3. Les 3 bits obtenus pour chaque bit d'entrée sont alors multiplexés en sortie, et le débit est multiplié par 3. Les registres à additionner pour former les différents bits de sortie sont déterminés par un polynôme appelé « polynôme générateur ».

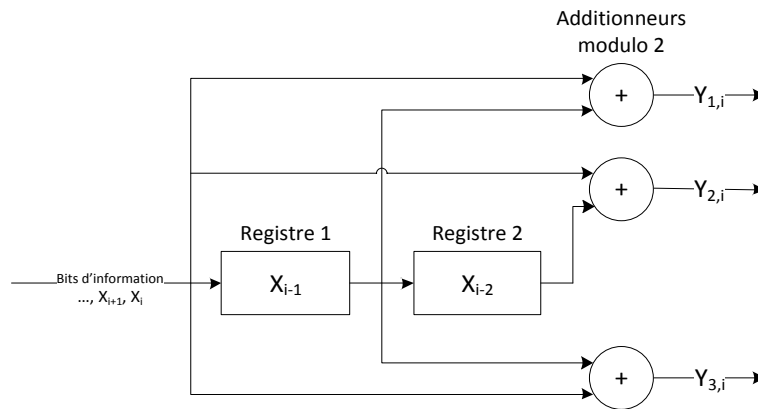


FIGURE 57 : SCHEMA D'UN CODEUR CONVOLUTIONNEL DE RATIO 1/3 (N = 3)
A 2 REGISTRES (K = 3)

Dans l'exemple présenté en figure 57, le premier bit est généré par la somme de X_i et X_{i-1} , le bit 2 par la somme de X_i et X_{i-2} , et le bit 3 par la somme de X_i et X_{i-1} . Le polynôme générateur est donc ici défini par [123]110 101 111].

Chaque polynôme a un pouvoir de détection et de correction des erreurs qui lui est propre. Ainsi, les propriétés d'un codeur de rapport de codage 1/3 diffèrent selon le polynôme choisi. Les polynômes les plus performants pour un taux de codage donné, sont déterminés par simulations informatiques successives. Les meilleurs polynômes sont référencés dans des ouvrages et publications comme [123] et [124]. Pal Frenger dans [125], propose de nouveaux codes convolutionnels pour des rapports de 1/2, 1/3 et 1/4 pour des longueurs de contrainte comprises entre 3 et 15. Les codes proposés sont optimisés pour offrir un pouvoir de correction accru dans des canaux de communication AWGN et Rayleigh. Selon Pal Frenger, le gain est de l'ordre de 0,6 dB. Le tableau 19 propose un résumé des générateurs de code extrait de [125] et [126] pour les rapports 1/2, 1/3 et 2/3, et extrait de [127] pour les codes 2/3.

TABLEAU 19: CODE GENERATEUR OPTIMUM DES CODEURS CONVOLUTIONNELS

NOMBRE DE REGISTRES /RATIO DU CODEUR	2	3	4	5	6	7	8	9
1/2	[3 1]	[7 5]	[17 15]	[33 31]	[75 53]	[171 133]	[363 255]	[753 561]
1/3	-	7; 7; 5	17; 15 ; 13	37; 33; 25	75; 53 ; 47	157; 135 ; 123	367; 331; 22 5	727; 623; 57 5
2/3	-	-	[123; 233]	[213; 1 47]	[435; 347]	[637; 71 015]	[15 15 4; 6 13 13]	[15 6 3; 13 25 34]

3.2.2 DECODAGE DES CODES CONVOLUTIONNELS : ALGORITHME DE VITERBI

Afin de limiter le retard induit par l'attente de la réception complète de la trame on procède au décodage avant la fin de la séquence encodée, grâce à l'algorithme de Viterbi.

En raison du principe de décodage et du fait que l'état initial des registres du codeur n'est pas connu, le décodeur doit recevoir au minimum un nombre de bit égal à $2^{\text{nombre de registres}-1}$ avant de pouvoir engager le processus de décodage. Ce délai, qui correspond à la première étape d'élimination des chemins convergents au moment où l'algorithme commence à converger, introduit une latence du décodage égale au nombre de registres utilisés.

D'un point de vue matériel, l'encodeur est très simple puisqu'il consiste en quelques registres et xor ne nécessitant que peu de ressources. La demande besoin énergétique provient principalement du décodeur, plus complexe mais capable de corriger de grandes quantités d'erreurs. L'objectif de la suite de cette étude est alors de déterminer le meilleur rapport entre la complexité du couple codeur/décodeur et les performances en termes de correction d'erreur.

3.2.3 ETUDE THEORIQUE DES PERFORMANCES DES CODES CONVOLUTIONNELS

Dans un canal de transmission de type AWGN, et pour une modulation de type B-PSK, il est possible de calculer théoriquement la probabilité d'erreur, et d'obtenir ainsi une courbe théorique du taux d'erreur binaire sur la liaison. La formule est donnée par l'équation suivante :

$$BER = \frac{1}{2} * erfc \left(\sqrt{2 * \frac{E_b}{N_0}} \right) \quad (3.1)$$

Avec une modulation à quatre états de type Q-PSK, la distance entre les points de la constellation ne varie pas et, pour un rapport signal à bruit constant, le taux d'erreur est identique à celui enregistré avec la modulation B-PSK. Pour un canal gaussien dépourvu de système de correction d'erreur, on utilise le tracé théorique de la fonction de BER comme référence.

En revanche, lorsqu'un codage correcteur d'erreur de type convolutionnel est utilisé, il n'est plus possible de calculer des valeurs théoriques, les performances de codage reposant en effet sur des aspects statistiques et non déterministes. Il est cependant possible de déterminer un majorant du taux d'erreur. Ainsi, lorsque le rapport signal sur bruit est important et donc le taux d'erreur faible, les majorants sont proches des valeurs mesurée en pratique. Mais s'il est faible, les majorants convergent rapidement vers la valeur maximale de 50 %.

L'outil BERTOOL de MATLAB [128] permet ainsi de tracer les résultats théoriques des majorants obtenus pour différents paramètres de codeur convolutionnel. L'impact du nombre de registres sur les performances est étudié pour des codes de ratio 1/2, 1/3 et 2/3.

Le code 1/2 est le plus simple puisque, pour chaque symbole en entrée, deux symboles sont créés en sortie. Bien que ce code induise une redondance importante, ses performances en correction d'erreur sont particulièrement satisfaisantes.

Les codes 1/3 et 2/3 présentent des overheads respectivement plus importants et plus faibles que le code de ratio 1/2, avec des performances en lien avec la redondance créée.

Les courbes présentées pour un codeur 1/2 en figure 58 ont une allure exponentielle. Ainsi, le taux d'erreur croît à mesure que le bruit augmente. Lorsque le rapport signal à bruit est inférieur à 2 dB, les bornes supérieures des courbes avec codage dépassent la valeur théorique d'une modulation QPSK. Mais que dès que le rapport signal à bruit devient plus favorable, le codage permet de diminuer le taux d'erreurs de la liaison. La nette influence du nombre de registres sur le pouvoir de correction est visible sur les courbes : plus les registres sont nombreux, plus la correction est efficace. On note toutefois que la courbe du codeur à deux registres ne converge pas aussi rapidement que les autres et présente des performances inférieures à celles enregistrées pour une communication sans codage.

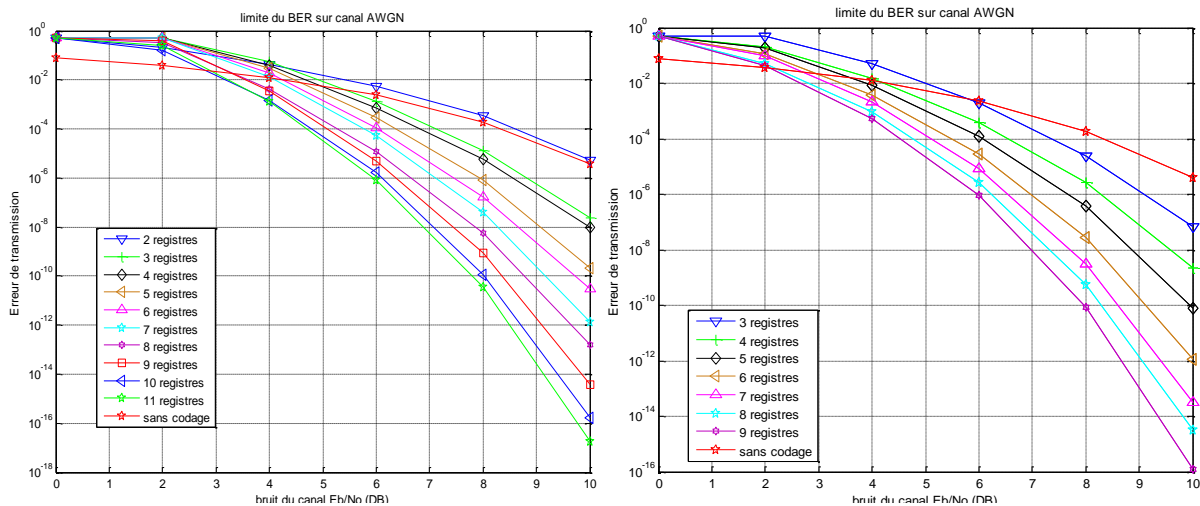


FIGURE 58 : LIMITES SUPERIEURES DU TAUX D'ERREUR BINAIRE POUR UN CODEUR DE RATIO 1/2(GAUCHE) ET 1/3 (DROITE) DANS UN CANAL GAUSSIEN EN FONCTION DE E_b/N_0

La Figure 58 présente les majorants du taux d'erreur binaire pour un canal gaussien avec un codeur convolutionnel de ratio 1/3. Ce codeur apporte une redondance particulièrement élevée, puisqu'il génère 3 bits pour chaque bit d'entrée. Le débit physique sur la liaison doit alors être trois fois plus important qu'en l'absence de codage. Plus les registres sont nombreux, plus le pouvoir correcteur est satisfaisant. Les courbes ont la même allure exponentielle que celles de ratio 1/2, mais convergent toutefois plus rapidement et présentent de meilleurs résultats à bruit équivalent. Ce gain de performance est cependant négligeable au regard des exigences en matière de débit. Ainsi, à 5dB pour un codeur de 5 registres, on obtient par exemple un BER de $3 \cdot 10^{-3}$ avec un ratio de 1/2, alors qu'avec un ratio de 1/3, le BER est de 10^{-3} .

Les majorants du taux d'erreur binaire pour un canal gaussien avec un codeur convolutionnel de ratio 2/3 ont la même allure exponentielle que celles des autres ratios. Le choix de ce ratio permet de réduire la redondance apportée par le codeur. Cependant, le pouvoir de correction est moindre que dans le cas des BER des ratios présentés précédemment.

Il ressort de l'examen des résultats obtenus à partir de valeurs théoriques majorant le taux d'erreur binaire que le meilleur compromis entre l'overhead et le pouvoir de correction est obtenu avec un code de ratio 1/2. De plus, les registres doivent être aussi nombreux que possible afin d'assurer une correction optimale.

3.2.4 ETUDE DES PERFORMANCES DES CODES CONVOLUTIONNELS EN SIMULATION SIMPLE

Les résultats présentés précédemment sont des majorants théoriques. Afin d'obtenir des valeurs plus proches de la réalité et éviter ainsi les problèmes rencontrés lorsque le rapport signal à bruit est faible, des simulations sont effectuées dans les mêmes conditions que pour les évaluations théoriques. Un modèle de communication a été créé sous le logiciel Simulink. Il se compose d'un générateur de données binaires aléatoires, transmises à un codeur convolutionnel dont il est possible de faire varier les paramètres pour valider les données théoriques. Un modulateur BPSK permet de transformer les trames binaires de sortie du codeur en valeurs complexes transmissibles. Le canal de communication est modélisé par un canal AWGN. La partie réception se compose d'un démodulateur BPSK et d'un décodeur Viterbi dont les paramètres sont identiques à ceux de l'encodeur. Le bloc « Error Rate Calculation » est finalement utilisé pour comparer les données émises par le générateur aux données décodées en réception. Les tests sont effectués pour un nombre croissant de registres et différents niveaux de bruit sur le canal. L'ensemble du modèle est présenté en figure 59.

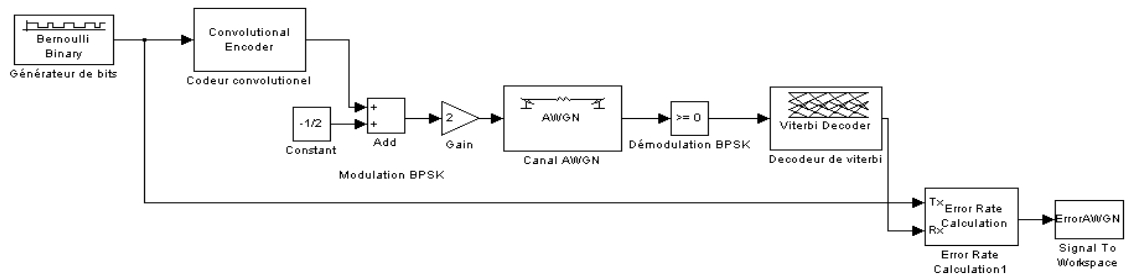


FIGURE 59 : MODELE SIMULINK UTILISE POUR LES SIMULATIONS

Pour obtenir un taux d'erreur statistiquement recevable, la mesure s'effectue après transmission de 10^8 bits à travers le canal gaussien. Cependant, afin d'éviter que les simulations soient trop longues, ces dernières sont interrompues dès la 100^e erreur détectée. Afin que les premières simulations soient rapides, on choisit au démarrage un bruit élevé sur le canal, ce qui induit un rapport signal à bruit très faible. Si, pour une valeur de bruit donnée, les 10^8 bits sont transmis sans erreur, le taux d'erreur est inférieur à 10^{-8} , et il est alors inutile d'effectuer des transmissions avec un niveau de bruit plus faible.

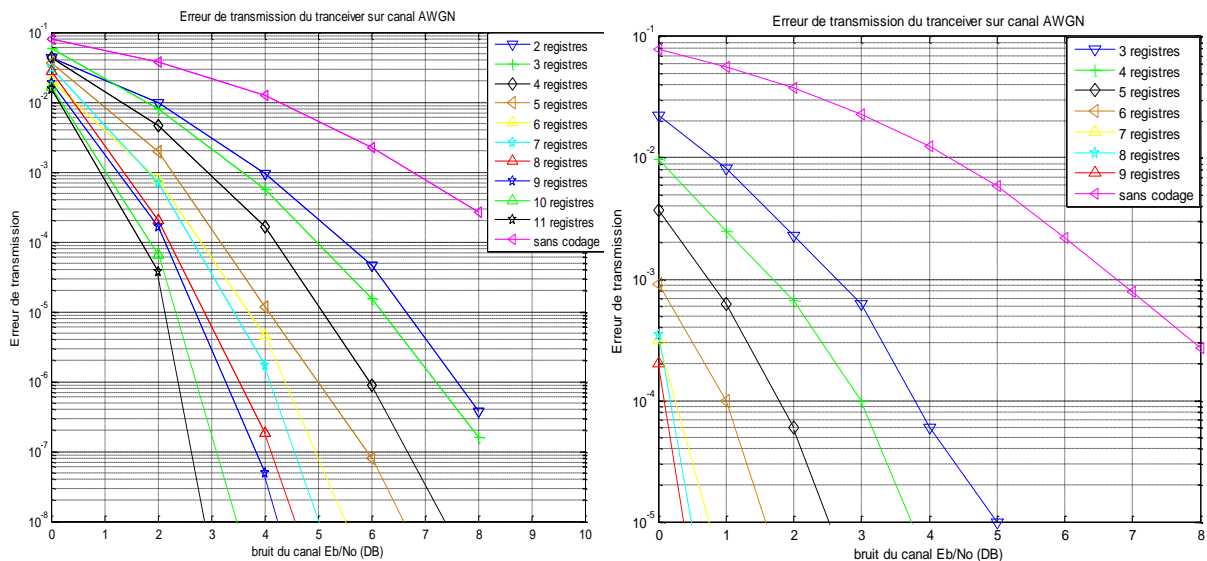


FIGURE 60 : BER POUR UN TAUX DE CODAGE CONVOLUTIONNEL D'1/2 (GAUCHE) ET D'1/3 (DROITE) EN FONCTION DE Eb/No (DB)

La figure 60 gauche présente le taux d'erreur constaté avec un taux de codage d'1/2 pour différentes valeurs du nombre de registres. La courbe obtenue en l'absence de codage correcteur permet de déterminer l'apport d'un codage correcteur sur la liaison. Lorsque le rapport signal à bruit est faible, les courbes semblent toutes converger vers un même point, phénomène rendant ce type de codage relativement peu intéressant lorsque le bruit est très important. En revanche, dès que le rapport signal à bruit dépasse 2 dB, le codage permet de réduire le taux d'erreur de $5 \cdot 10^{-2}$ à près de 10^{-4} avec 8 ou 9 registres. Et malgré certains chevauchements de courbes, on constate que les performances de correction s'accroissent lorsque le nombre de registres augmente. Cependant, ce dernier paramètre exerce une influence directe sur la complexité du codeur et du décodeur implémentés. C'est pourquoi il convient malgré tout de limiter le nombre de registres.

La figure 20 droite présente les résultats de la simulation de ce codeur avec un taux de codage est de 1/3. Le BER d'un échange sans codage est proposé comme référence. Un nombre de registres de 3 à 9 a été testé. Les performances de ce codeur sont très nettement supérieures à celles obtenues pour le codage 1/2. En effet, les courbes ne convergent pas, même en cas de bruit très important. On constate un taux d'erreur inférieur à 10^{-3} avec 6 registres pour un rapport signal à bruit de 1 dB. Pour un codeur à 5 registres et un Eb/No de 2 dB, le BER est de $6 \cdot 10^{-5}$ avec un codeur de ratio 1/3, contre $2 \cdot 10^{-3}$ avec un codeur de ratio 1/2. Mais cette amélioration de performance se fait au prix d'un ajout d'informations et induit donc le besoin d'un débit de transmission bien plus important et difficilement compatible avec la forte fréquence d'échantillonnage exigée pour notre développement.

Afin de réduire l'overhead ajouté par le codage, on simule un codeur avec un taux de codage de 2/3. Après codage, le débit est cette fois inférieur au double du débit du message à transmettre. La courbe obtenue montre une convergence vers un même taux d'erreur à partir d'un rapport signal à bruit de 2dB. Pour un nombre de registres inférieur à 5, les performances sont même moins satisfaisantes qu'en l'absence de codage. Le débit sur la liaison est alors plus faible, mais le codage n'apporte qu'un gain négligeable au regard de la complexité ajoutée sur le circuit numérique ainsi que de la latence supplémentaire introduite.

Les courbes simulées par l'envoi effectif de données sur un canal gaussien montrent des performances légèrement supérieures aux courbes obtenues théoriquement et basées sur un calcul de borne maximum. Elles sont un bon indicateur du comportement du codage, notamment pour des valeurs de rapport signal à bruit faibles. Le codeur basé sur un ratio 2/3 offre des performances limitées quel que soit le nombre de registres, et sera donc abandonné. Les performances d'un codage 1/3 sont particulièrement satisfaisantes, mais le débit étant alors multiplié par trois, il n'est pas envisageable de l'utiliser. La suite de l'étude portera donc sur les circuits de taux de codage de 1/2.

3.2.5 ETUDE DES PERFORMANCES DES CODES CONVOLUTIONNELS EN SIMULATION OFDM

Les simulations précédentes ont été effectuées sous Simulink, et bien que représentatives de certains aspects liés à l'implémentation du circuit, elles représentent une situation idéalisée. Les blocs utilisés pour la simulation sous Simulink ne tiennent pas compte du fait que, sur un FPGA, l'implémentation du circuit numérique utilise des données entières et un nombre de bits limité. De plus, dans cette situation, il est difficile de contrôler la faisabilité d'une implémentation réelle avec les autres éléments de l'émetteur-récepteur (calcul de FFT, ajout de porteuses pilotes, etc.). Des simulations ont donc été réalisées avec le modèle de l'émetteur/récepteur OFDM développé grâce au flot de conception HLS.

Les résultats obtenus sont ainsi représentatifs des résultats envisageables sur FPGA ou dans un ASIC numérique. Enfin, on utilise ici une modulation OFDM et non plus une modulation mono- porteuse Q-PSK.

Afin de conserver un niveau de complexité raisonnable, on implémente un codeur de ratio 1/2. Le nombre de registres programmables est compris entre 3 et 8, car un nombre supérieur rendrait l'implémentation sur FPGA particulièrement difficile. Une transmission est effectuée pour un total de 10^7 bits sur canal AWGN, en appliquant le principe d'interruption de la simulation dès la 100^e erreur.

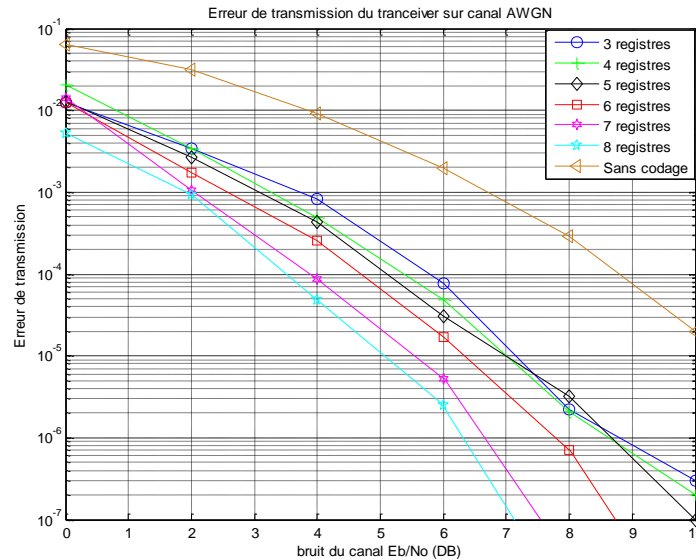


FIGURE 61 : BER POUR UN TAUX DE CODAGE CONVOLUTIONNEL 1/2 EN FONCTION DE E_b/N_0 (dB) AVEC UN TRANSCIVEUR OFDM.

Les courbes de la figure 61 présentent les mêmes comportements que celles des codeurs de ratio 1/2 simulées précédemment. Les erreurs de transmission sont très limitées à faible bruit, et convergent lorsque le niveau de bruit augmente. Ici encore, plus le nombre de registres est important, plus le pouvoir de correction est élevé. Cependant, si les gains apportés par l'augmentation du nombre de registres sont réels, ils demeurent relativement faibles pour une modulation OFDM. De plus, cette simulation met indirectement en avant l'augmentation de la complexité du circuit en lien avec le nombre de registre. En effet, plus le nombre de registres est important, plus la simulation est longue. Les temps de simulation sont présentés dans le tableau 20. Ces derniers ne sont pas disponibles pour 3 registres, et les colonnes indiquant NA correspondent à des simulations qui n'ont pas été effectués en raison de l'absence d'erreur à bruit inférieur. L'augmentation du nombre de registres induit une diminution du nombre d'erreurs, et le temps écoulé avant d'atteindre les 100 erreurs est nécessairement plus long. On remarque cependant que pour la simulation à 8 dB, pour des codeurs à 4 et 5 registres, ayant des taux d'erreurs similaires, le temps de simulation est multiplié par 1,5. Ce délai n'est pas directement proportionnel à la complexité mais constitue un indicateur des difficultés engendrées par un grand nombre de registres.

TABLEAU 20 : DUREE DES SIMULATIONS DE TRANSMISSION SUR CANAL AWGN AVEC LE TRANSCIVEUR OFDM.

E_b/N₀	4 REGISTRES	5 REGISTRES	6 REGISTRES	7 REGISTRES	8 REGISTRES
0 dB	14s	15s	19s	20s	39s
2 dB	36s	58s	105s	178s	180s
4 dB	3min	6min	11min	40min	50min
6 dB	37min	1h30	3h	4h	5h30
8 dB	3h	4h30	4h45	4h	5h30
10 dB	3h	4h30	5h30	NA	NA

Le tableau 21, qui reprend les données présentées en figure 61, permet de mesurer l'impact de l'augmentation du nombre de registres sur le taux d'erreur de la liaison. Pour des codeurs à 6, 7 et 8 registres, le BER est inférieur à 10^{-7} et la correction de la grande majorité des erreurs est alors possible.

TABLEAU 21 : BER POUR LA TRANSMISSION SUR UN CANAL AWGN POUR UN RAPPORT SIGNAL A BRUIT DONNE, EN FONCTION DU NOMBRE DE REGISTRES DU CODEUR CONVOLUTIONNEL ET POUR UN TRANSCIVEUR OFDM.

E_b/N₀	S_s	3	4	5	6	7	8
	CODAGE	REGISTRES	REGISTRES	REGISTRES	REGISTRES	REGISTRES	REGISTRES
0 dB	6e-2	1e-2	2e-2	1e-2	1e-2	1e-2	5e-3
2 dB	3e-2	4e-3	4e-3	3e-3	2e-3	1e-3	9e-4
4 dB	9e-3	8e-4	5e-4	4e-4	3e-4	9e-5	5e-5
6 dB	2e-3	8e-5	5e-5	3e-5	2e-5	5e-6	3e-6
8 dB	3e-4	2e-6	2e-6	3e-6	7e-7	<1e-7	<1e-7
10 dB	2e-5	3e-7	2e-7	1e-7	<1e-7	<1e-7	<1e-7

Le tableau 22 reprend lui aussi les données de la figure 61, mais présente, pour un taux d'erreur donné, le rapport signal à bruit minimum en fonction du nombre de registres. Elle permet d'estimer le gain apporté par l'augmentation du nombre de registres pour un taux d'erreur défini.

TABLEAU 22 : E_b/N₀ (dB) EQUIVALENT POUR UN BER DONNE, EN FONCTION DU NOMBRE DE REGISTRES DU CODEUR CONVOLUTIONNEL POUR UN TRANSCIVEUR OFDM

BER	S_s	3	4	5	6	7	8
	CODAGE	REGISTRES	REGISTRES	REGISTRES	REGISTRES	REGISTRES	REGISTRES
1e-3	7 dB	4 dB	3 dB	3 dB	2.5 dB	2 dB	2 dB
1e-4	9 dB	6 dB	5.5 dB	5 dB	4.5 dB	4 dB	3.5 dB
1e-5	NA	7 dB	7 dB	7 dB	6.5 dB	5.5 dB	5 dB

L'une des principales contraintes résidant dans l'obligation de recourir à une transmission de type UWB, le modèle du transceiver a été utilisé pour valider son comportement dans un canal ultra large bande (UWB). On utilise les modèles de canaux établis par l'IEEE 802.15.3a [71]. Une communication avec des niveaux d'erreur inférieurs à 10^{-4} est tout à fait envisageable dès lors que le nombre de registres du codeur dépasse 6. La comparaison de ce résultat avec ceux du canal AWGN, montrent qu'un nombre important de registres (c'est-à-dire supérieur à 6 ou 7) est la condition nécessaire à l'obtention d'un pouvoir de correction optimal. Il convient ensuite de déterminer le nombre de registres en fonction des performances attendues, mais il est également important de considérer la complexité du circuit numérique associé, afin de ne pas trop augmenter la consommation du circuit final. La partie consacrée à l'implémentation FPGA présente le détail des choix menant à l'utilisation d'un codeur convolutionnel à 5 registres.

Les résultats de cette simulation sont obtenus avec un modèle représentatif de l'implémentation prévue du transceiver OFDM. Ils sont en cohérence avec les résultats obtenus pour une modulation mono porteuse QPSK. Cependant, en implémentation réelle, l'influence du nombre de registres est limitée. Enfin, ces résultats permettent de comparer les performances des différents types de codeur tels qu'ils seront implémentés dans le FPGA et constituent une aide précieuse pour le choix de l'architecture.

L'ensemble de l'étude, menée dans un cadre théorique, en simulation dans un cas idéal, ainsi que sur le transceiver OFDM effectivement implémenté, montre qu'un codeur de rapport 1/2 constitue le meilleur compromis entre overhead et performances. Ce type de codeur donnant 2 bits en sortie pour chaque bit d'entrée, deux symboles OFDM de 192 bits sont nécessaires au transport de l'ensemble des données de la trame MAC. Enfin, afin de respecter le temps réel, et étant donné qu'une trame est créée chaque seconde, il est indispensable qu'un symbole OFDM puisse être généré en moins de $\frac{2}{f_{ech}} - \frac{10}{f_{PHY}}$ secondes.

3.3 SYMBOLE DE SYNCHRONISATION DU RECEPTEUR

La détection des émissions en cours par le récepteur se fait grâce à l'insertion de deux symboles, connus de l'ensemble des membres du réseau, au début de chaque trame. Cette technique permet le démarrage du décodage du symbole OFDM par le bloc FFT dès les premiers bits, évitant ainsi les erreurs d'orthogonalité des porteuses. Dans notre application, cette méthode présente également l'avantage de déterminer le moment exact de réception du premier bit de la trame au niveau de la couche physique. Cette information est transmise à la couche qui gère la synchronisation afin de permettre le calcul précis de la dérive d'horloge de l'émetteur et du temps de propagation. A partir de cette information, la couche de synchronisation calcule le recalage nécessaire et le transmet à l'émetteur concerné au cours du slot suivant.

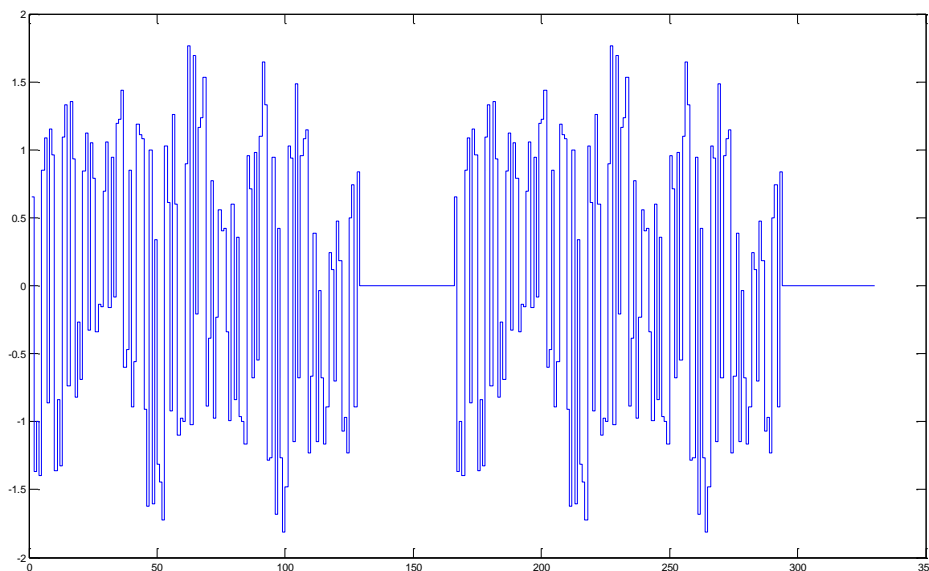


FIGURE 62 : SYMBOLE DE SYNCHRONISATION UTILISE EN PREAMBULE DE CHAQUE TRAME

Pour détecter le signal reçu, on utilise un filtrage adapté qui optimise le rapport de signal à bruit lors de la détection d'un signal connu dans du bruit blanc gaussien. Une corrélation permet ainsi de déterminer le début de l'émission et donc de détecter une réception. En présence du signal de synchronisation, le système génère un pic qui permet alors de connaître précisément le moment du démarrage de la fenêtre

de réception de la FFT. Enfin, le pilote utilisé est choisi de façon à maximiser la détection. Le signal présente donc d'excellentes propriétés de corrélation et un spectre plat. La représentation temporelle du symbole choisi apparaît en figure 62. Ce symbole est composé de 128 points de façon à ce que sa longueur soit équivalente à celle du symbole OFDM, composé de 128 porteuses. Ensuite, un temps de garde de 37 points est inséré entre ces deux symboles pour procurer une grande immunité aux interférences inter-symboles et assurer une détection précise du début de l'émission.

Ce préambule de synchronisation vient ainsi ajouter 330 points au début de chaque trame. L'ensemble de la trame émise par la couche physique doit alors contenir les 330 points des symboles de synchronisation, en plus des deux symboles OFDM séparés de 10 points.

3.4 FREQUENCE DE FONCTIONNEMENT DE LA COUCHE PHYSIQUE

La trame émise par la couche physique, composée d'un préambule de synchronisation de 330 points suivi de deux symboles OFDM comportant chacun 128 points et un préfixe de 10 points, a une longueur totale de 606 points. La figure 63 représente de manière schématique l'organisation de la trame physique. En notant f_{num} la fréquence de cadencement du circuit numérique, la durée totale de génération de la trame est donc de $\frac{606}{f_{num}}$ secondes. La fréquence de fonctionnement de la partie numérique est définie par l'équation suivante :

$$\frac{606}{f_{num}} < T_{data} \quad (3.2)$$

En tenant compte de la durée maximale de la trame précédemment définie, on a :

$$\frac{606}{f_{num}} < \frac{marge_{TDMA}}{Nb_{slot} * f_{ech}} \quad (3.3)$$

Ce qui donne :

$$f_{num} > \frac{606 * Nb_{slot} * f_{ech}}{marge_{TDMA}} \quad (3.4)$$

Le tableau 23 présente les valeurs de fréquence de fonctionnement du cœur numérique du système permettant d'assurer un fonctionnement à différentes fréquences d'échantillonnage. Pour garantir une fréquence d'échantillonnage de 32,768 kHz avec 8 capteurs par nœud et 16 bits de sensibilité par capteur, la couche physique doit fonctionner à une fréquence d'environ 200 MHz.

La couche physique intégrant un codage convolutionnel de taux de codage 1/2, un préfixe cyclique de 10 cycles d'horloge et 2 symboles de pré-synchronisation doit fonctionner à une fréquence d'environ 200 MHz. En OFDM, si la couche physique fonctionne à cette fréquence, la bande passante occupée après conversion à la fréquence porteuse avoisinera alors les 200 MHz. Le spectre étant occupé par 128 porteuses, l'espacement entre ces porteuses est de 1,56 MHz, valeur correspondant à la fréquence minimale de variation de la réponse fréquentielle du canal. Enfin, les porteuses -3 à 3 n'étant pas utilisées afin permettre la liaison capacitive entre la puce numérique et la puce RF, la fréquence minimale dans le spectre en bande de base sera de 5,5 MHz.

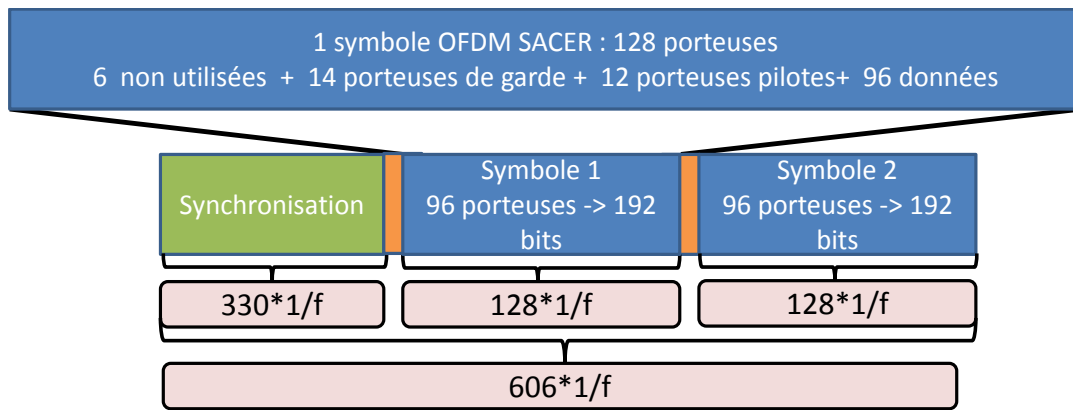


FIGURE 63 : ORGANISATION DE LA TRAME PHYSIQUE OFDM

TABLEAU 23 : DEBIT DU SYSTEME EN FONCTION DES FREQUENCES D'ECHANTILLONNAGE DES CAPTEURS

f_{ech} (kHz)	10 kHz	22 kHz	32,768 kHz
débit PHY\MAC ($Mbits.s^{-1}$)	19,6	42,5	62
f_{num} (MHz)	60,6	134	195
débit PHY ($Mbits.s^{-1}$)	60,6	134	195

4 IMPLEMENTATION DE LA COUCHE PHYSIQUE

4.1 ORGANISATION GENERALE

L'organisation générale de l'émetteur est présentée en figure 64. Cet émetteur est composé des blocs de codage canal, du bloc de modulation Q-PSK, du mécanisme d'insertion des porteuses pilotes, du calcul de la transformée de Fourier inverse et du module d'insertion des symboles de synchronisation décrit dans la partie précédente. Tous ces blocs sont activés simultanément selon les ordres du bloc ordonnanceur. Deux signaux sont utilisés pour les échanges d'information entre la couche physique et la couche MAC.

- Le signal PhyDoTx, généré par la couche MAC, prend la valeur 1 lorsqu'une trame de données MAC est disponible sur la liaison « Données MAC ». Ce signal permet de ne déclencher l'émetteur que lorsque des données à envoyer sont disponibles et de couper ainsi les horloges du bloc le reste du temps, mais cela engendre une importante diminution de la consommation électrique.
- Le signal TxOnGoing permet d'identifier précisément le moment d'émission des données, et assure ainsi un niveau de performances très élevé. Ce signal consiste en une impulsion levée dès l'émission de la première donnée utile (hors symbole de synchronisation) par la transformée de Fourier. Il est donc synchronisé avec le signal radio émis sur le canal.

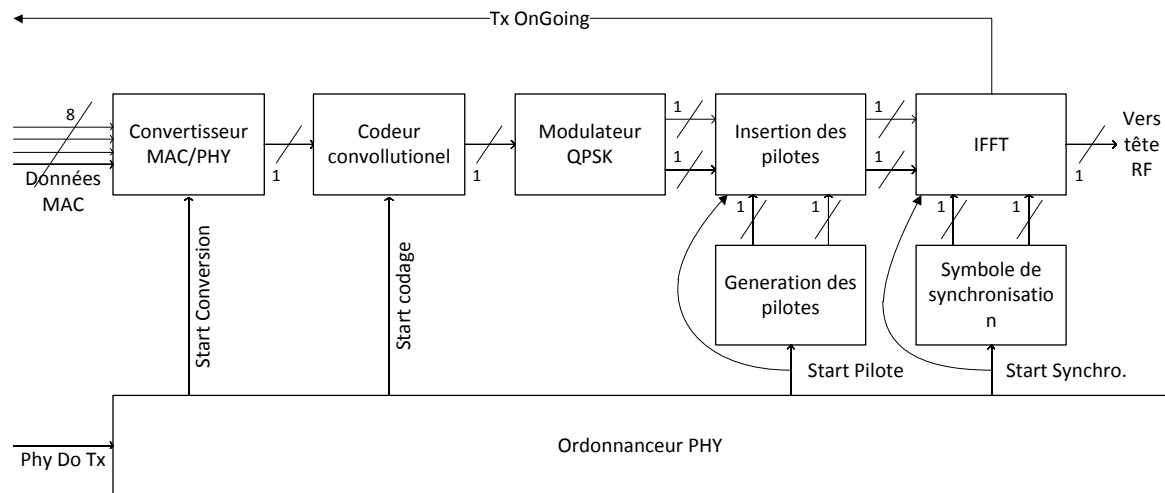


FIGURE 64 : ORGANISATION DE L'EMETTEUR OFDM

La figure 65 présente l'organisation du récepteur de données. Le signal noté « depuis tête RF » correspond aux données numérisées provenant du convertisseur analogique/numérique et représente le signal OFDM bruité. Le bloc chargé de la détection des symboles de synchronisation, « détection de l'émission », permet de déclencher l'ordonnanceur à la réception du premier symbole OFDM qui démarre l'ensemble des blocs du récepteur au moment opportun. Le signal de détection des symboles de synchronisation est également fourni à la couche de synchronisation dans le but de dater précisément l'instant de réception des données. Elle compare ce dernier avec l'instant théorique de réception, et recale alors très précisément son horloge. C'est la présence des signaux Tx OnGoing et Rx Ongoing, directement pilotés par la couche physique, qui explique les performances de la technique de synchronisation. Les différents blocs du récepteur au sein de la chaîne d'analyse des données reçues sont : le bloc de calcul FFT, le bloc d'extraction des porteuses pilotes et de compensation des données en fonction du canal, le bloc de démodulation Q-PSK, et le bloc de décodage canal. Après passage dans l'ensemble de ces blocs, les données obtenues sont transmises à la couche MAC sous la forme d'une trame de 192 bits, envoyée par paquets de 1 octet.

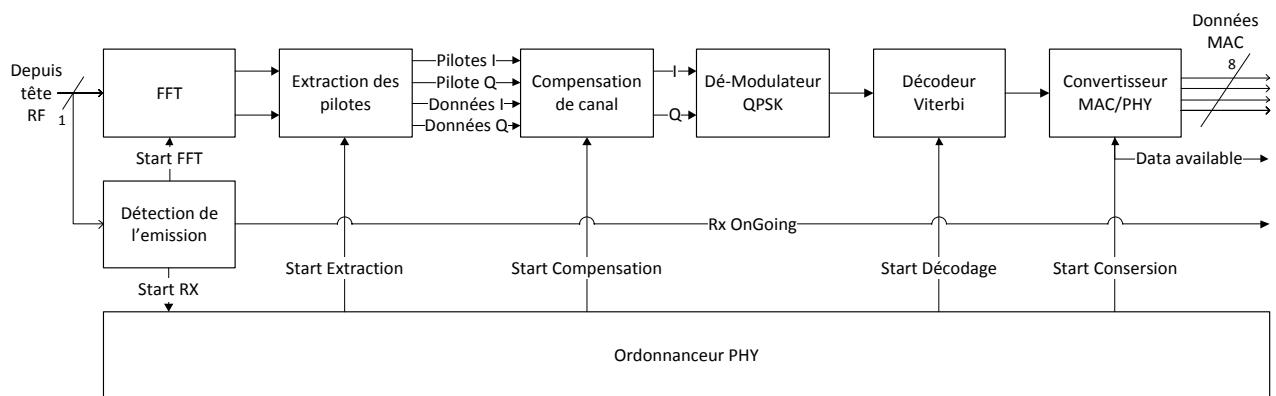


FIGURE 65 : ORGANISATION DU RECEPTEUR OFDM

L'ensemble du circuit numérique développé présente la particularité de fonctionner avec une seule et unique horloge, ce qui évite l'utilisation de circuits complexes de division et de synchronisation des arbres d'horloge. Ce choix permet de simplifier l'organisation de la puce numérique et de réduire la consommation énergétique globale. De plus, il a été constaté lors des premiers essais d'implémentation

que l'utilisation de plusieurs horloges pouvait engendrer des erreurs de liaison entre les blocs, notamment en présence de différences importantes entre les horloges. En effet, les données émergent de la couche MAC au rythme d'une trame de 192 bits toutes les 30 us (32768 Hz), soit une donnée toutes les 5,9 us (6,3 MHz) et, pour assurer le débit de données, la période du circuit numérique doit être de 5 ns (200 MHz). Ainsi, le recours à une fréquence correspondant à un multiple de ces deux périodes est impossible, et la couche physique fonctionne donc avec une fréquence unique de 200 MHz.

4.2 CONVERTISSEUR DE DONNEES MAC/PHY AU SEIN DE L'EMETTEUR ET DU RECEPTEUR

Les interfaces d'échange de données entre la couche physique, la couche MAC et la couche de synchronisation sont définies par des mots de 8 bits, et sont présentées en figure 66.

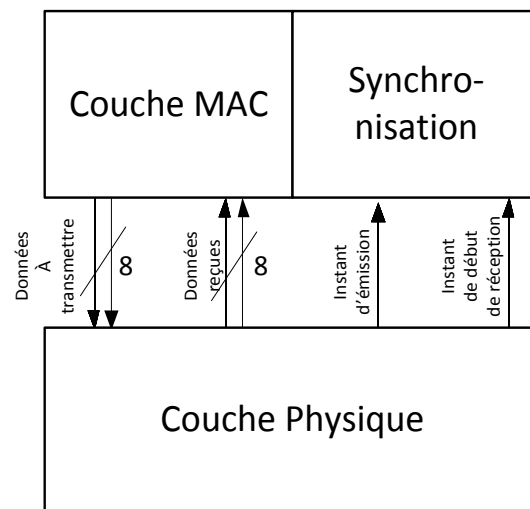


FIGURE 66 : INTERFACE DE COMMUNICATION ENTRE LA COUCHE MAC, LA COUCHE DE SYNCHRONISATION ET LA COUCHE PHYSIQUE

La couche physique fonctionnant avec un flux binaire, le premier bloc de la couche physique assure ainsi la transformation des mots de 8 bits en un flux binaire. Il se compose d'un bloc multiplexeur et d'un bloc chargé de la sélection d'un bit de poids spécifique dans la trame. Un compteur permet de s'assurer que tous les bits ont été sélectionnés. Ce choix architectural, présenté en figure 67, vise à conserver une même horloge pour le cadencement de l'ensemble des blocs et éviter ainsi le recours à plusieurs horloges.

La figure 67 présente le détail du modèle Simulink de ce bloc composé de nombreuses opérations de traitement sur les données. La retranscription exacte du modèle Simulink est donc impossible dès lors que l'un des blocs de notre architecture doit effectuer une opération complexe. C'est pourquoi, dans la plupart des cas, seules des représentations schématiques du fonctionnement de chaque bloc seront proposées.

Le bloc de traitement décrit ici se retrouve de manière identique dans l'émetteur et le récepteur développés.

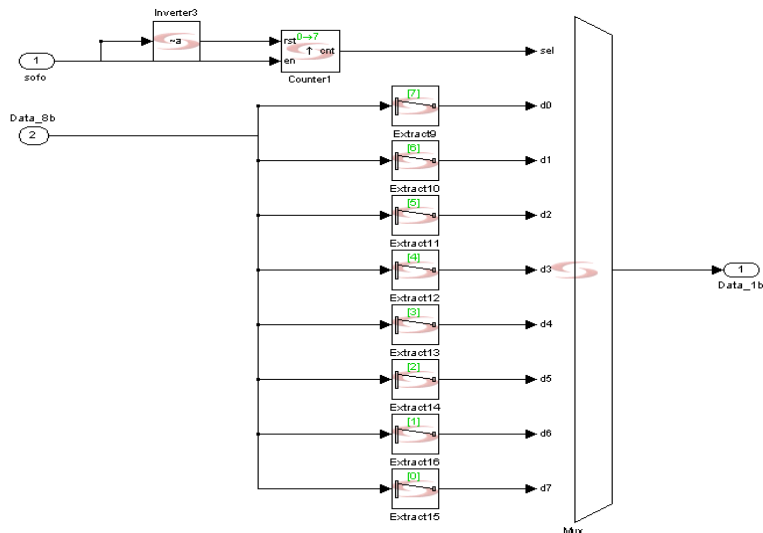


FIGURE 67 : MODELISATION DU BLOC DE TRANSFORMATION DES DONNEES 8 BITS EN UN FLUX BINAIRE SIMPLE

4.3 CODAGE ET DECODAGE CONVOLUTIONNEL AU SEIN DE L'EMETTEUR ET DU RECEPTEUR

Une fois les données issues de la couche MAC converties en un train binaire, un code convolutionnel est ajouté à la trame MAC afin d'assurer la correction des erreurs de transmission. Les raisons du choix d'un codeur/décodeur convolutionnel de rapport $\frac{1}{2}$ ont été présentées dans la partie précédente mais aucune décision n'a été arrêtée concernant ses paramètres, et notamment la taille des registres. L'outil de modélisation HLS permet de générer le code VHDL associé au modèle du transceiver complet et d'évaluer, après synthèse, la complexité et les performances du circuit numérique. L'encodeur étant très simple matériellement car consistant en seulement quelques registres et XOR, il ne demande que peu de ressources. Comme la demande en ressource se fait surtout au niveau du décodeur, nous utilisons pour les simulations présentés dans cette partie le modèle incluant à la fois l'émetteur et le récepteur. Comme nous le verrons, la plateforme d'implémentation pour le prototypage est un FPGA Xilinx de type Virtex5 de référence SX50T. L'objectif est ici de déterminer la part du codeur/décodeur au sein du couple émetteur-récepteur, et comment celle-ci varie en fonction du nombre de registres du codeur. La synthèse est réalisée grâce au logiciel Simplify Premier.

La figure 68 présente les ressources utilisées après synthèse pour le transceiver OFDM. Le nombre de registres est présenté en abscisse. La valeur 0 permet d'établir une référence avec un transceiver sans aucun codage correcteur d'erreur. En ordonnée, sont présentés le nombre total de LUT utilisés. Le nombre total de LUT dans le Virtex 5 est de 330 000. Sans codeur ni décodeur, 20% des ressources du FPGA sont utilisées. L'augmentation des ressources est exponentielle, et varie donc très peu jusqu'à 5 registres (3 points d'augmentation, soit 1200 LUT supplémentaires), mais le taux d'occupation augmente très fortement à partir de 6 registres. Le circuit ainsi généré est alors beaucoup plus gros et donc gourmand en énergie.

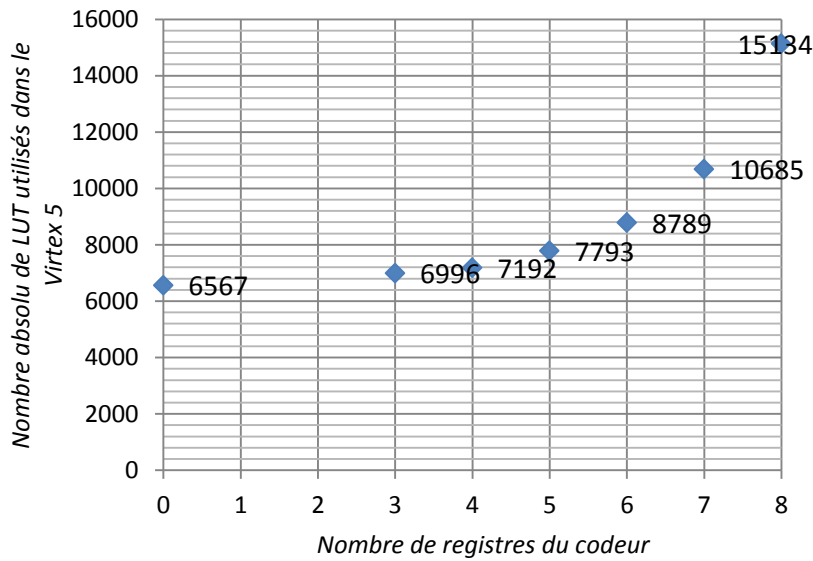


FIGURE 68 : NOMBRE ABSOLU DE LUT UTILISES
EN FONCTION DU NOMBRE DE REGISTRES DU CODEUR CONVOLUTIONNEL.

L'ajout d'un codage/décodage vient également augmenter le nombre de blocs RAM utilisés dans le circuit numérique, comme le montre la figure 69. La croissance est similaire à celle observée pour le nombre de LUT avec une allure exponentielle. Les blocs RAM sont utilisés exclusivement dans la partie de réception. Pour un nombre de registres inférieur à 5, le nombre de blocs RAM utilisés n'augmente pas. Au-delà le décodeur a besoin de plus de mémoire pour garder la trace de la trame qu'il est entrain de décoder. En effet, le décodeur doit recevoir au minimum un nombre de bit égal à $2^{(\text{nombre de registre}-1)}$ avant de pouvoir commencer à décoder. Ces bits sont conservés en mémoire et la sortie est aussi décalée de ce nombre.

Le nombre de registre constitue ainsi une limite, qui sera choisie pour la conception de l'émetteur/récepteur OFDM.

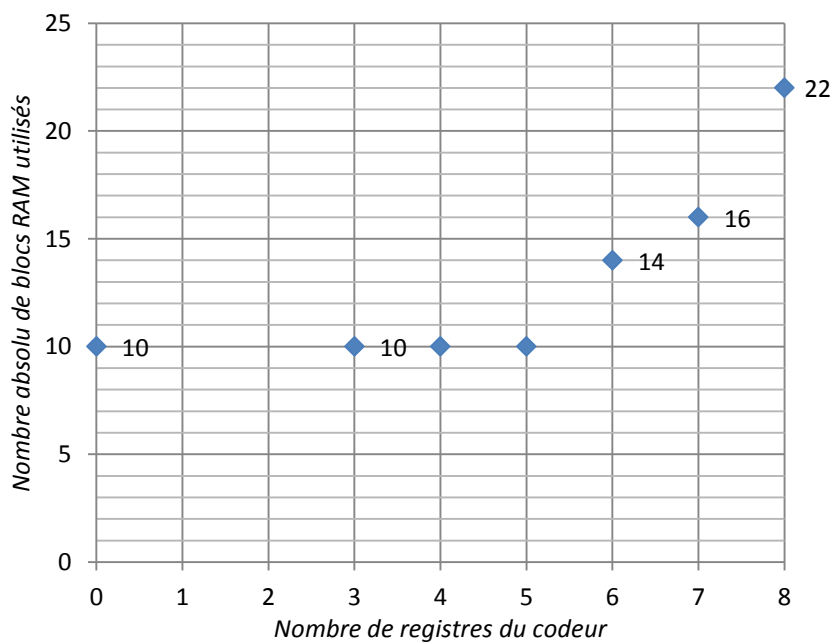


FIGURE 69 : EVOLUTION DU NOMBRE DE BLOCS RAM UTILISES
EN FONCTION DU NOMBRE DE REGISTRES DU CODEUR/DECODEUR

Les courbes présentées en figure 70 montrent qu'un codeur de 5 registres permet, pour un rapport signal à bruit de 6 dB, de passer d'un taux d'erreur de 10^{-5} à un taux d'erreur de 10^{-3} . La figure 70 reprend les performances mesurées théoriquement, et avec le modèle OFDM pour un codeur à 5 registres. Lorsque le rapport signal à bruit est faible, les BER obtenus pour une modulation multi-porteuses OFDM sont comparables à ceux obtenus pour une modulation mono-porteuse BPSK. Mais ils divergent si le rapport signal à bruit est supérieur à 2 dB. A 4 dB, le gain atteint un facteur 10, avec 10^{-5} en BPSK et $2 \cdot 10^{-4}$ en OFDM.

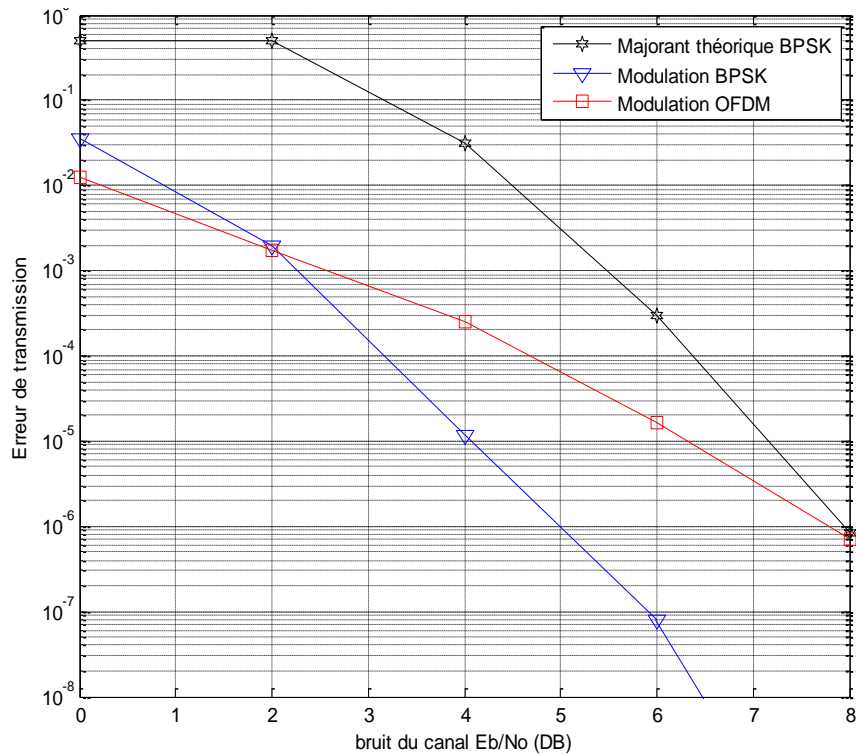


FIGURE 70 : COMPARAISON DES BER D'UN CODEUR DE RATIO 1/2 A 5 REGISTRES AVEC DIFFERENTS PARAMETRES

Enfin, le tableau 24 et le tableau 25 montrent qu'en OFDM, le choix de 5 registres permet d'obtenir un BER inférieur à 10^{-4} lorsque le rapport signal à bruit ne dépasse pas 4,5 dB.

TABLEAU 24 : BER DE LA TRANSMISSION POUR UN EB/NO (DB) DONNE EN FONCTION DU TYPE DE TRANSMISSION, POUR UN CODAGE A 5 REGISTRES

EB/No (DB)	MAJORANT THEORIQUE BPSK	SIMULATION BPSK	SIMULATION OFDM
0	0.5	3e-2	1e-2
2	0.5	2e-3	2e-3
4	3e-2	1e-5	2e-4
6	3e-4	9e-8	2e-5
8	9e-7	<1e-8	9e-7

Le codeur est implémenté au sein de l'émetteur grâce au bloc proposé par l'outil Symphony HLS. Ce type de bloc étant un élément opaque au développeur, l'implémentation VHDL, pourtant très simple, peut apparaître comme une opération complexe. Toutefois, cette implémentation se réalise aisément à partir de registres à décalage et d'additionneurs, comme le montre la figure 71. Le bloc ne réalise ainsi

qu'une interprétation automatique des contraintes, comme le nombre de registres ou le polynôme générateur.

Le récepteur inclus aussi un bloc de décodage proposé par l'outil Symphony HLS et implémentant un algorithme de décodage de Viterbi. Il est important de renseigné le même polynôme générateur que celui indiqué au sein du codeur.

TABLEAU 25 : EB/NO (DB) EQUIVALENT POUR LA TRANSMISSION POUR UN BER DONNE, EN FONCTION DU TYP DE TRANSMISSION, POUR UN CODAGE A 5 REGISTRES

BER	MAJORANT THEORIQUE BPSK	SIMULATION BPSK	SIMULATION OFDM
1e-3	5.5 Db	2Db	2.5Db
1e-4	6.5 Db	3Db	4.5 Db
1e-5	7 Db	4 Db	6.5 Db

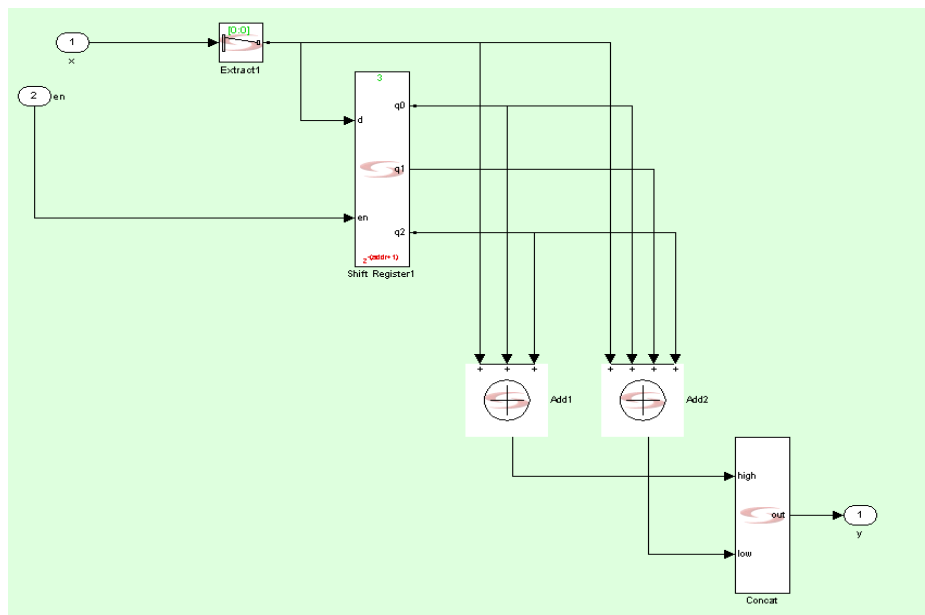


FIGURE 71 : IMPLEMENTATION DU CODEUR CONVOLUTIONNEL PROPOSE AUTOMATIQUEMENT PAR SYMPHONY HLS

4.4 MODULATION ET DEMODULATION QPSK

Une fois les données encodées par le codeur convolutionnel, elles sont modulées au moyen d'une modulation de phase de type QPSK et respectent la constellation présentée en figure 72.

Le bloc de modulation QPSK, qui effectue la transformation des valeurs binaires (0/1) vers les états de la constellation QPSK ($\pm 0,7 \pm i.0,7$) peut être réalisé selon deux procédés distincts. L'utilisation d'un outil de synthèse haut niveau permet de tester l'implémentation de ces modes de conception et de choisir le plus efficace.

- Le premier, présenté en figure 72, utilise deux mémoires de type ROM contenant chacune quatre valeurs. Préalablement à leur entrée dans le codeur, les données binaires sont associées deux par deux afin de constituer un point de la constellation. Ainsi, au lieu de données binaires, le flux d'entrée du bloc QPSK est constitué de données comprises entre 0 et 3. La première mémoire représente la voie I et la seconde la voie Q. La donnée d'entrée de la mémoire est l'adresse de la case

mémoire à lire. Ainsi en fonction du couple de bits entrant dans le modulateur QPSK, la sortie contient le couple I/Q associé à la constellation selon le tableau 26.

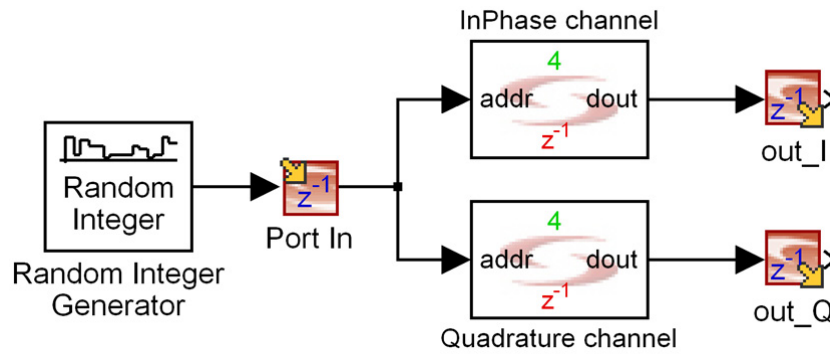


FIGURE 72 : IMPLEMENTATION D'UN MODULATEUR QPSK AVEC DES BLOCS MEMOIRES ROM

TABLEAU 26 : CORRESPONDANCE MEMOIRE DES MEMOIRES I ET Q

ADRESSE MEMOIRE	MEMOIRE I	MEMOIRE Q
0 (0b00)	-0,7	-0,7
1 (0b01)	-0,7	0,7
2 (0b10)	0,7	-0,7
3 (0b11)	0,7	0,7

- La seconde hypothèse d'implémentation, présentée en figure 73, ne contient que des opérations mathématiques simples, évitant ainsi le recours à des blocs mémoire. Le premier bloc de l'implémentation extrait le bit de poids fort du couple préalablement constitué, puis multiplie cette donnée par 2 avant d'y soustraire 1. Ainsi, lorsque le bit de poids fort a une valeur 0, la sortie du codeur pour la voie I est de -0,7, alors qu'elle est de 0,7 pour un poids fort de 1. L'opération est renouvelée à l'identique pour la voie Q, en extrayant cette fois le bit de poids faible.

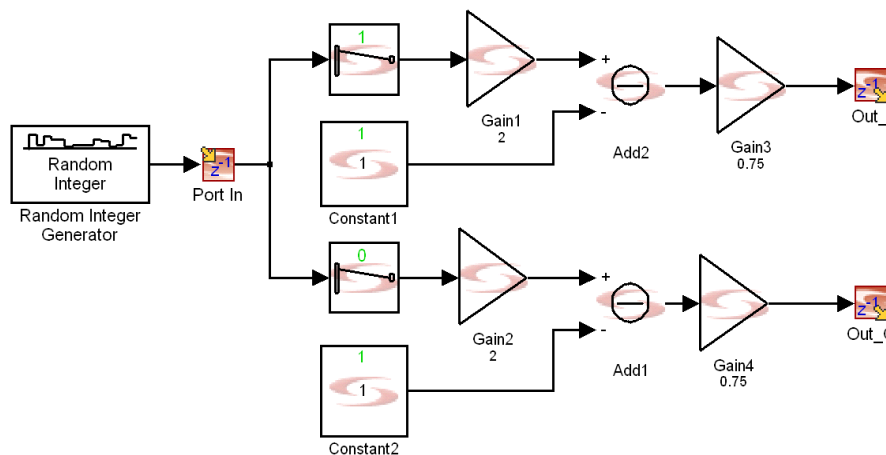


FIGURE 73 : IMPLEMENTATION D'UN MODULATEUR QPSK AVEC DES ADDITIONS ET MULTIPLICATIONS

Afin d'identifier l'implémentation la mieux adaptée, on compare les performances des deux solutions après génération du code VHDL et synthèse FPGA et ASIC. La synthèse FPGA, présentée dans le tableau 27, ne permet pas de départager les deux architectures. En effet, les blocs étant tous deux particulièrement simples, les différences de quantité de ressources utilisées sont négligeables.

TABLEAU 27 : PERFORMANCES APRES SYNTHESE FPGA

ARCHITECTURE	FREQUENCE DE FONCTIONNEMENT	NOMBRE DE LUT UTILISEES	NOMBRE DE PORTES UTILISEES APRES PLACEMENT ET ROUTAGE
Blocs ROM	450 MHz	2	107
Blocs math.	450 MHz	0	67

L'implémentation des deux architectures proposées en technologie ASIC 65 nm, présentée dans le tableau 28, permet en revanche de faire un choix. Les deux solutions, qui utilisent respectivement 20 et 26 cellules, sont comparables en termes de taille. Par contre, la solution basée sur l'utilisation de mémoire est capable de monter beaucoup plus haut en fréquence. Mais ce fonctionnement à une fréquence élevée se fait au prix d'une consommation électrique plus importante. Dans notre application, la fréquence de fonctionnement de l'émetteur devant être de 200 MHz, c'est l'architecture à base de bloc de calcul, qui semble être la plus économe en énergie, qui est retenue ici. On remarque que dans les deux architectures proposées, aucun système de mise en couple des données du flux binaire n'existe pour constituer les symboles. En effet, dans les deux modèles, le générateur de nombre aléatoire produit des valeurs sur un bus de 2 bits. Ainsi, à chaque top d'horloge une donnée comprise entre 1 et 4 en décimale est générée. Dans l'implémentation de notre émetteur, le codeur convolutionnel agit de la même manière : avec un ratio de $\frac{1}{2}$, il y a 2 bits pour chaque bit du flux d'entrée. En effet, pour ne pas avoir à utiliser deux horloges, la sortie est un symbole de deux bits pouvant être utilisé directement en entrée du modulateur QPSK.

TABLEAU 28 : PERFORMANCES APRES SYNTHESE ASIC (65 NM)

Architecture	Fréquence de fonctionnement (GHz)	Place occupée (nombre de cellule)	Puissance consommée (uW)
Blocs ROM	3.2	20	89
Blocs math.	1.8	26	53

La démodulation QPSK reprend le même principe que le modulateur en reprenant une architecture de type mathématique. La voie I est dans un premier temps multipliée par 2, puis additionnée à la voie Q. Le résultat est alors additionné à la constante trois. Les deux bits de poids forts de la valeur ainsi obtenue permettent d'obtenir la valeur décimale émise. La décision est effectuée en amont du démodulateur en prenant le signe de la sortie de la FFT.

5 IMPLEMENTATION OFDM

5.1 INSERTION AU NIVEAU DE L'ÉMETTEUR ET ANALYSE AU NIVEAU DU RECEPTEUR DES PORTEUSES PILOTES

5.1.1 INTERET DES PORTEUSES PILOTES

Les porteuses pilotes sont créées par l'insertion d'une donnée définie à l'avance sur certaines porteuses, réparties régulièrement dans le spectre. Etant donné que chaque porteuse correspond à une fréquence, la comparaison entre la valeur émise au niveau de l'émetteur et la valeur des pilotes reçus au niveau du récepteur lui permet d'estimer la réponse du canal à cette fréquence. Ainsi, si la valeur insérée sur une porteuse pilote est de +1, et que le récepteur détecte une valeur reçue de -1, le canal inverse toutes les données à cette fréquence. En réception, le système inverse alors toutes les données reçues et retrouve ainsi le message initial. La figure 74 illustre l'impact d'un canal de réponse fréquentielle non blanche sur le signal multi-porteuses.

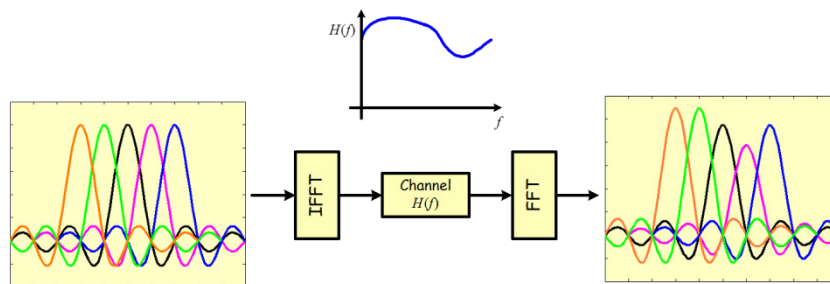


FIGURE 74 : ILLUSTRATION DE L'IMPACT FREQUENTIEL DU CANAL SUR LE SIGNAL

Afin de déterminer aussi précisément que possible la réponse du canal tout en limitant au maximum le nombre de porteuses non disponibles pour les données (et donc le débit non utile), les données des porteuses pilotes sont réparties régulièrement sur le spectre. La résolution de l'estimation de la réponse du canal est alors égale à la distance entre deux porteuses pilotes. Dans notre application, la fréquence de fonctionnement de la couche physique devant être de 200 MHz, et l'espacement inter-porteuses de 1,56 MHz, on décide d'insérer une porteuse pilote toutes les 5 porteuses de façon à obtenir une résolution relativement fine de 8 MHz environ.

5.1.2 ARCHITECTURE DU MODULE D'INSERTION

Le premier élément composant le module chargé de l'insertion des porteuses pilotes dans les symboles OFDM, est le gestionnaire d'insertion de pilote, qui comprend un détecteur de valeur et un compteur. Le compteur balaie une plage allant de 0 au nombre de porteuses composant le spectre. Le détecteur de valeur est chargé de créer un signal de valeur 0 lorsque le compteur correspond à la position d'une donnée à transmettre, et de valeur 1 lorsque le compteur correspond à la position d'une porteuse pilote. Il est remis à zéro au début de chaque nouvelle trame. Dans notre application, la plage complète du compteur correspond à la taille d'un symbole OFDM, soit 138 (128 porteuses et 10 tops d'horloge de garde). Le signal issu de ce compteur est ensuite utilisé pour piloter un basculeur qui sélectionne la donnée mise sur la voie d'entrée de la transformée de Fourier.

L'ensemble de la couche physique développée fonctionnant avec une horloge unique, l'insertion des porteuses pilotes peut s'avérer délicate. Les données physiques sont en effet perdues lors de la sélection de la branche des porteuses pilotes. Ce principe est illustré en figure 75 : lorsque la donnée (P3) de la porteuse pilote est disponible, elle est insérée dans la trame et la donnée (D3) est alors écrasée.

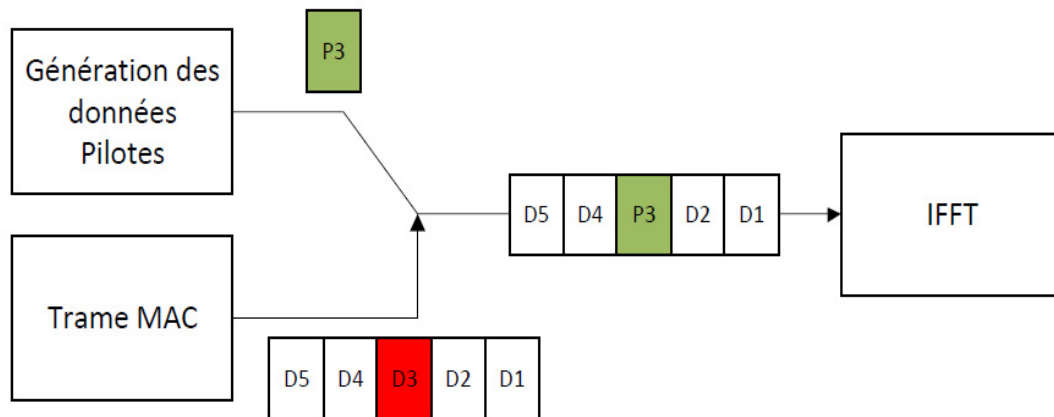


FIGURE 75 : ILLUSTRATION DU PRINCIPE DE PERTE DE DONNEES AVEC UN SIMPLE SELECTIONNEUR

L'utilisation d'un simple basculeur pour la sélection des voies engendre donc des pertes des données de la trame MAC. Pour les éviter, il est nécessaire que le gestionnaire pilote soit doté d'une mémoire de type FIFO capable d'enregistrer la donnée courante de la voie binaire et de la décaler d'une unité lorsque la donnée d'une porteuse pilote doit être insérée. Ainsi, les données en entrée de l'IFFT sont composées de 96 données provenant des trames encodées par le codeur convolusionnel et modulées en QPSK, ainsi que des 12 porteuses pilotes.

Afin de prévenir une perte de données liée à un débordement de mémoire, le dimensionnement doit être particulièrement précis. Une fois converti par le modulateur QPSK, le flux est composé de 192 valeurs réelles (I) et de 192 valeurs complexes (Q), toutes transmises en deux symboles OFDM d'une longueur cumulée de 276 tops d'horloges. Pour une trame, la quantité maximale de données à stocker est ainsi de 84 valeurs environ.

Pour éviter de recourir à deux blocs mémoire de taille non négligeable et gourmands en énergie qui réduiraient la vitesse de fonctionnement de la couche physique, on fait ici le choix de travailler sans bloc de type FIFO. On leur substitue des démultiplexeurs dotés d'un nombre de voies correspondant au nombre de bit de données d'un symbole OFDM, et capables de maintenir la valeur de leurs sorties lorsque les autres sont sélectionnées. Les données de la voie binaire sont ainsi présentées en entrée du démultiplexeur au rythme de l'horloge. A chaque cycle d'horloge, elles sont directement transférées vers les sorties sélectionnées à l'aide d'un compteur qui s'incrémente au rythme de l'horloge.

Pour reconstituer le signal contenant les données et les porteuses pilotes, on utilise un multiplexeur piloté par un second compteur chargé de sélectionner la voie à copier vers la sortie. Ce compteur, incrémenté au rythme de l'horloge lorsque les données en sortie doivent être celles de la voie binaire, est stoppé et prend la valeur N+1 si une porteuse pilote doit être insérée, ou la valeur 0 si la porteuse n'est pas utilisée. La figure 76 présente le compteur pilotant le multiplexeur de sortie. Le temps y est figuré en abscisse, et le numéro de la voie de données du multiplexeur en ordonnée. Dans cet exemple, la sortie du multiplexeur correspondant à une valeur de pilote est insérée lorsque la courbe indique la valeur 49, et lorsque la courbe vaut 0, c'est une valeur nulle qui est insérée. Enfin, si la valeur de la courbe est comprise entre 1 et 48, on insère la valeur binaire correspondante dans la trame de données.

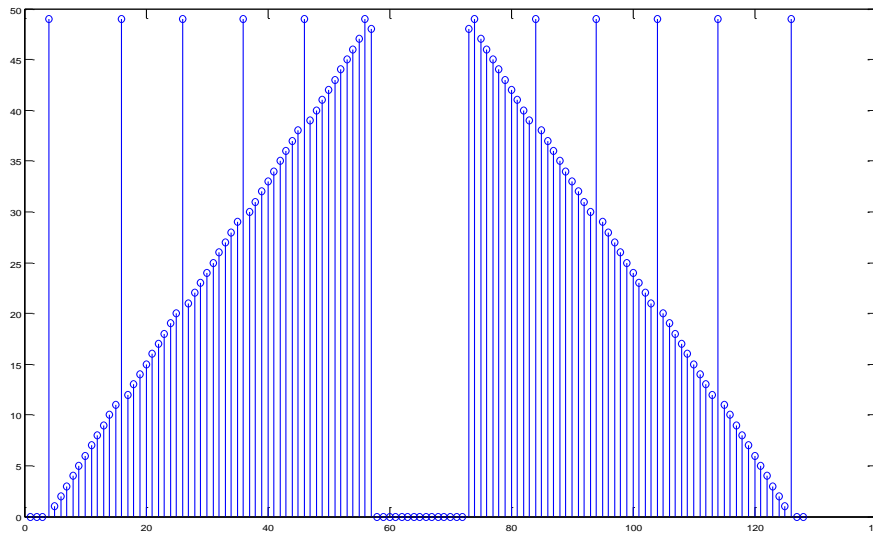


FIGURE 76 : ORGANISATION DES PORTEUSES PILOTES

Une représentation schématique du bloc développé pour l'insertion des porteuses pilotes est présenté en figure 77.

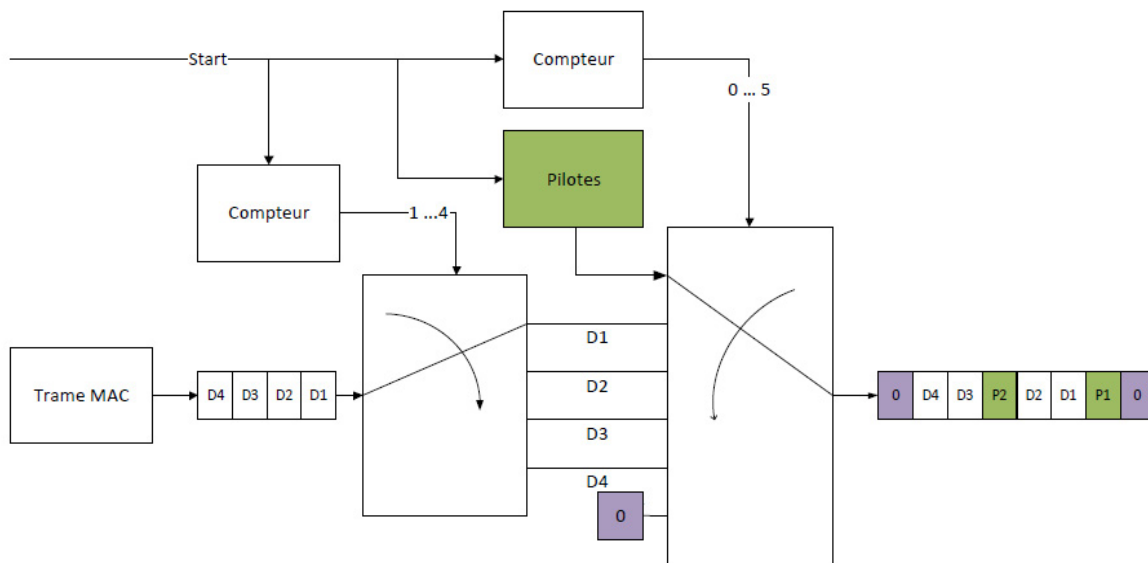


FIGURE 77 : REPRESENTATION SCHEMATIQUE DU BLOC D'INSERTION DES PORTEUSES PILOTES

Au-delà du développement d'une structure composée de compteurs, de multiplexeurs et de démultiplexeurs, l'architecture retenue pour l'insertion des porteuses pilotes nécessite, pour les compteurs, le développement d'un bloc spécifique permettant de jouer sans retard une séquence de données préalablement définie. Le bloc de génération de données nativement présent dans Symphony HLS possède en effet une latence unitaire. Ainsi, au moment de son activation, un délai d'un top d'horloge est nécessaire pour produire une donnée en sortie, ce qui n'est pas acceptable dans le cadre de la structure proposée, ce retard engendrant un décalage entre la génération des porteuses pilotes et la trame de données. Un bloc basé sur des commutateurs de données des multiplexeurs a donc été développé. Ce bloc complexe est présenté en figure 78.

Ce type d'implémentation de l'insertion des porteuses pilotes permet à la fois de conserver la même fréquence d'horloge malgré l'insertion de données, et de diviser par 3 l'espace occupé par les deux blocs

d'insertion des pilotes réalisés avec des mémoires. Il est ainsi possible de déplacer le chemin critique du circuit numérique du bloc d'insertion des porteuses pilotes vers le bloc de calcul de l'IFFT.

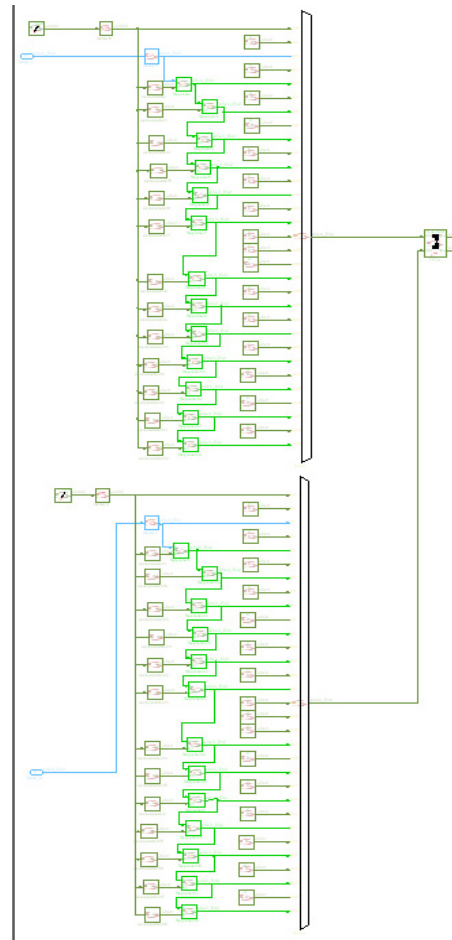


FIGURE 78 : IMPLEMENTATION DU BLOC DE GENERATION DE DONNEES SANS RETARD

5.1.3 VALEURS DES PORTEUSES PILOTES

Les valeurs des porteuses pilotes sont définies par une séquence aléatoire composée de valeurs similaires aux points de la constellation de la modulation PSK des porteuses de données. Une séquence aléatoire de valeur ± 0.7 est donc utilisée pour la voie I et la voie Q.

Cependant, afin de réparer facilement ces porteuses dans le spectre du signal généré, la valeur envoyée dans un premier temps est 0. Les porteuses pilotes sont ainsi supprimées et laissent apparaître un « trou » dans le spectre temporel. Cette opération permet de détecter d'éventuels problèmes de synchronisation temporelle entre le circuit numérique et le convertisseur numérique/analogique au cours de la phase de mise au point du circuit. En effet, dans une telle situation, les données sont correctement générées par le circuit numérique mais ne sont pas convertie au bon moment, si bien que les « trous » dans le spectre n'ont jamais exactement le même emplacement. Si l'on réalise une moyenne à l'analyseur de spectre, celui-ci semble alors plat.

5.1.4 ANALYSE DES PORTEUSES PILOTES ET COMPENSATION DU CANAL AU NIVEAU DU RECEPTEUR

En réception, l'extraction des porteuses pilotes à partir de la trame reçue s'effectue grâce à un bloc permutation. Ce dernier permet d'extraire deux flux de données. Le premier correspond aux données binaires émises par le codeur, qui sont donc directement envoyées au décodeur de Viterbi. Le second flux, qui correspond aux porteuses pilotes modifiées par le canal, est destiné au bloc d'estimation et de compensation.

Le principe de permutation entraîne intrinsèquement un retard pouvant être très important. L'organisation des porteuses pilotes dans le spectre (tel que proposé dans cette étude) permet cependant de limiter ce retard à 12 tops d'horloge seulement. Enfin, ce retard n'intervenant qu'une fois la datation de la donnée effectuée au niveau du filtrage adapté, la synchronisation ne s'en trouve pas dégradée.

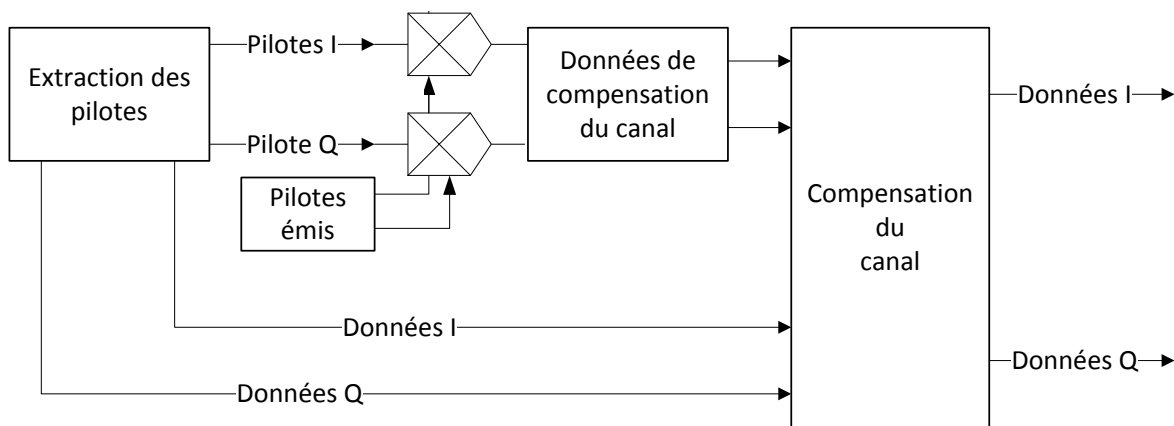


FIGURE 79 : SCHEMA DE PRINCIPE DE LA COMPENSATION DU CANAL

Le bloc d'estimation et de compensation du canal a été développé selon le principe présenté en figure 79. Ce bloc fonctionne en comparant les valeurs des pilotes émis aux valeurs reçues. Cette comparaison permet d'extraire, sur l'ensemble des porteuses, une estimation du canal. En multipliant les données utiles par cette estimation du canal, les données corrigées peuvent alors être obtenues. L'estimation du canal effectué lors de la réception d'un symbole est conservée en mémoire pour être appliquée lors de la réception de la trame suivante après moyennage par l'estimation effectuée par le symbole reçu. Le système émettant des trames toutes les 45 us, le canal est considéré comme constant pendant cette période.

Cependant, l'accent ayant été mis sur l'implémentation physique et la réalisation d'un démonstrateur fonctionnel capable de démontrer la cohérence des choix opérés, tant au niveau de la construction des trames que de l'organisation de la couche physique, le bloc de compensation du canal n'a pas été testé en détail. De plus, la rapide implémentation physique d'un émetteur et récepteur était indispensable à la validation de la couche de synchronisation développée. Tous les éléments nécessaires à la compensation du canal sont disponibles dans l'émetteur et dans le récepteur, mais aucune étude sur leur impact n'a été menée.

5.2 MODULATION OFDM AU NIVEAU DE L'ÉMETTEUR : IFFT

La modulation OFDM est réalisée à l'aide d'un bloc de calcul de transformée de Fourier inverse. On utilise ici le bloc fourni par l'outil de synthèse haut niveau Symphony HLS, qui implémente une transformée de Fourier entièrement « pipelinée », combinant un premier étage de type Radix 2 et un second étage de type Radix 4. Cette architecture permet de réaliser des FFT comprises entre 16 et 65532 points. Il est donc possible, à partir d'un même modèle, de tester l'influence de l'augmentation du nombre de porteuses sur les performances du système.

Le modèle possède :

- une entrée d'autorisation de calcul (Enable)
- une entrée servant à la remise à zéro du bloc entre deux transmissions de trames (Reset). Cette opération permet à l'émetteur et au récepteur de se trouver dans un même état par défaut, connu au démarrage de chaque trame.

Un ensemble de blocs logiques complexes est utilisé pour synchroniser l'autorisation du bloc IFFT et le reset associé, avec la demande d'émission de la couche MAC et les indications du codeur sur la disponibilité de ces données. Les premières implémentations et les premiers tests sur carte ont montré la nécessité d'ajouter un bloc chargé de forcer à zéro la sortie de l'IFFT, tant en l'absence d'autorisation de codage qu'au cours du délai de latence, afin d'empêcher l'émission de données parasites dans ces moments.

La figure 80 présente l'implémentation du bloc IFFT. Les multiplexeurs présents en sortie permettent d'imposer une valeur nulle. Les blocs retard servent à faire coïncider l'émission des symboles de synchronisation avec l'arrivée des premières données modulées.

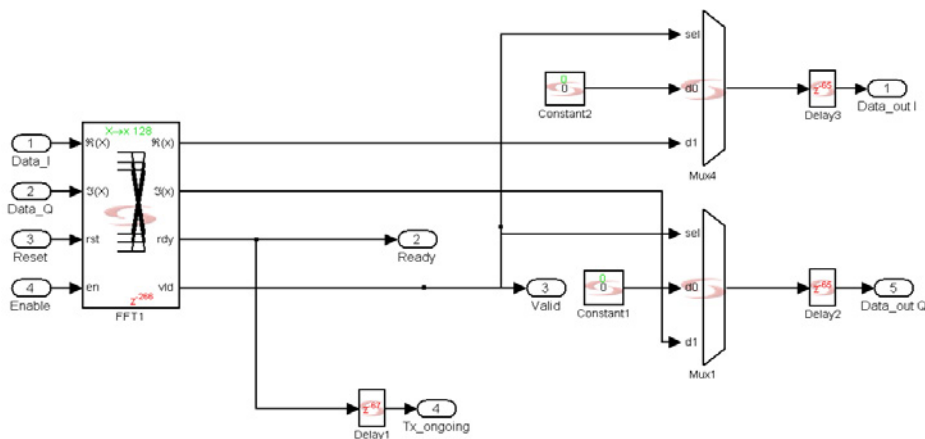


FIGURE 80 : IMPLEMENTATION DU BLOC DE MODULATION OFDM

5.3 DEMODULATION OFDM AU NIVEAU DU RECEPTEUR: FFT

A la manière de la modulation, la démodulation est effectuée grâce au bloc FFT fourni par l'outil de synthèse haut niveau Symphony HLS, qui implémente une transformée de Fourier entièrement « pipelinée », combinant un premier étage de type Radix 2 et un second étage de type Radix 4. L'entrée Enable permettant de « démarrer » le calcul de la FFT est pilotée par le signal issu du bloc de « déclenchement de la réception » décrit ci-dessous. Le bloc FFT est remis à zéro après la réception des quatre symboles constituant la trame de données.

Le bloc de transformée de Fourier étant l'un des premiers blocs du récepteur, l'impact de la précision de ce bloc sur la taille finale du récepteur est très important. En effet, si le nombre de bits en sortie de ce bloc est élevé, le nombre de bits à travers l'ensemble du récepteur sera lui aussi important. L'outil Fixed Point Tool de Mathworks a ainsi été utilisé pour de déterminer au plus juste la précision de ce bloc. Cet outil permet de réaliser une première simulation avec une précision maximum obtenue automatiquement à partir des 6 bits d'entrée (précision du convertisseur analogique-numérique d'entrée). En réalisant ensuite des simulations et en réduisant la précision du bloc, il est possible de calculer le taux d'erreur par rapport à la simulation initiale. Une précision de 23 bits permet un taux d'erreur inférieur à 0,1% sur la sortie du bloc.

6 SYMBOLES DE SYNCHRONISATION ET PREFIXES

6.1 INSERTION DES SYMBOLES DE SYNCHRONISATION

Le symbole de synchronisation est constitué de 128 valeurs complexes et de 35 valeurs à zéro permettant d'éviter les interférences inter-symboles. L'implémentation du bloc d'insertion du symbole de synchronisation au niveau de l'émetteur se fait à travers la lecture d'une mémoire contenant les valeurs décrites en figure 62. Grâce à l'implémentation du système sélecteur de voie présenté en figure 81 au niveau de la sortie de l'émetteur, il est possible de choisir d'envoyer les données de synchronisation sur le lien radio avant les données de sortie du bloc IFFT provenant de la couche MAC.

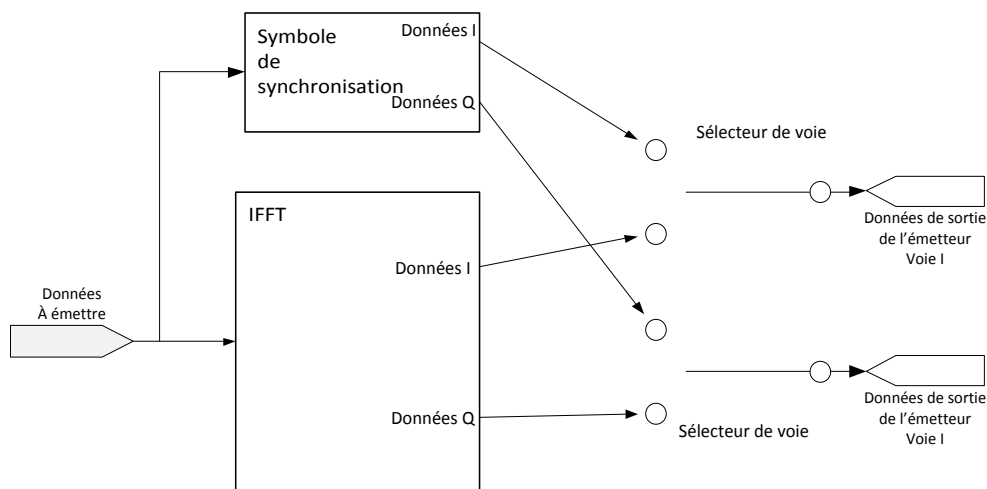


FIGURE 81 : SYSTEME SELECTEUR DE VOIE DE SORTIE POUR L'INSERTION DES DONNEES DE SYNCHRONISATION

Afin d'assurer une parfaite synchronisation des deux données et de minimiser le temps de latence de la couche physique, la lecture de la mémoire contenant les données des symboles de synchronisation doit être déclenchée de sorte que l'opération prenne fin dès que la première donnée du premier symbole OFDM est disponible au niveau de la sortie de l'IFFT. Ainsi, la mémoire est activée très en amont, alors que les données sont encore en cours de codage dans la IFFT. La latence introduite par le bloc de transformée inverse de Fourier étant de 266 tops d'horloge pour une transformée de Fourier sur 128 points, et la longueur du symbole de synchronisation à envoyer étant de 330 éléments (soit 330 tops d'horloge), il convient de retarder le signal en sortie de l'IFFT de 65 tops d'horloge supplémentaires. La lecture de la mémoire et le calcul de la FFT sont déclenchés simultanément. La figure 82 présente l'ensemble de la structure mise en place pour l'insertion des symboles de synchronisation. La couche de

synchronisation des éléments utilise l'information du détecteur d'émission retardé de 65 tops d'horloges pour enregistrer le moment précis de début d'émission de données utiles sur le canal.

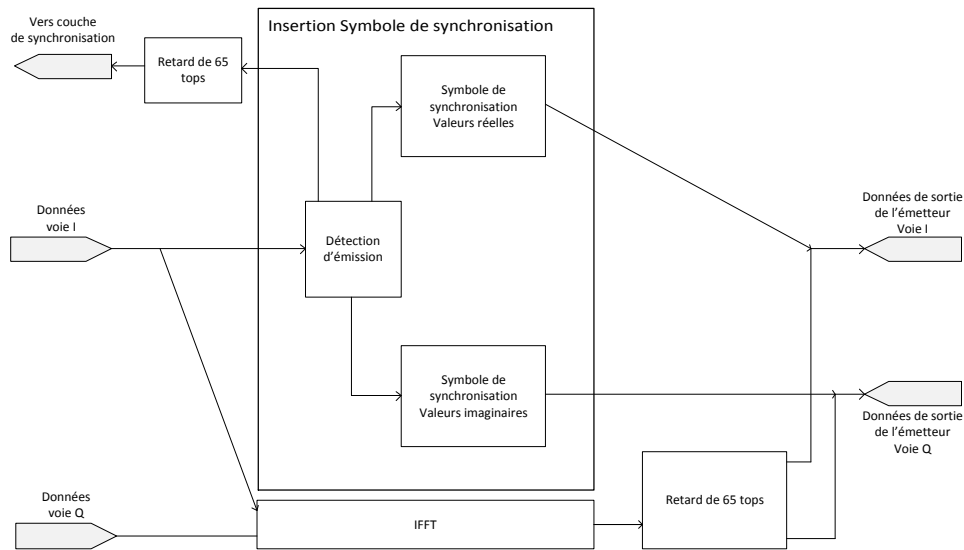


FIGURE 82: SCHEMA DU BLOC D'INSERTION DES SYMBOLES DE SYNCHRONISATION

6.2 SYNCHRONISATION DU RECEPTEUR

La synchronisation du récepteur repose sur l'utilisation de deux symboles connus insérés en début de toute trame émise.

Le signal recueilli au niveau du récepteur est filtré par un filtre adapté au symbole de synchronisation et utilisé pour détecter la présence d'une séquence connue dans un signal inconnu. Cela équivaut à la convolution du signal inconnu par le conjugué du signal recherché inversé dans le temps. Dans ce type de filtrage, la sortie du filtre présente un maximum lorsque le symbole de synchronisation est détecté et le rapport signal à bruit est ainsi maximisé.

Un détecteur de seuil permet de repérer le pic et de déclencher la transformée de Fourier de réception au début du symbole OFDM. Le symbole de synchronisation est répété deux fois afin que le détecteur de seuil puisse observer deux pics espacés d'une distance correspondant à la taille d'un symbole. Le nombre d'échantillons du symbole est commun à tous les éléments du système, mais leur fréquence de génération est fonction des dérives d'horloge. Le délai séparant les deux pics est ainsi mis à profit pour recaler l'instant précis du déclenchement de la fenêtre de la transformée de Fourier assurant la démodulation OFDM.

L'instant de démarrage de la démodulation OFDM est transmis à la couche de synchronisation qui évalue la dérive d'horloge de l'émetteur par rapport à l'instant de démarrage de son slot d'émission. La figure 83 présente un schéma de l'organisation du bloc de déclenchement de la démodulation OFDM et de détection de l'instant de réception.

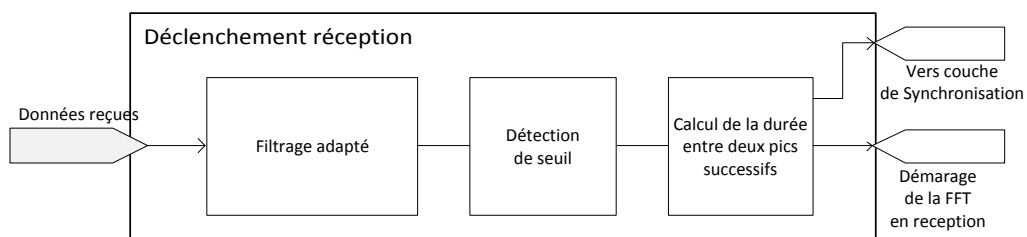


FIGURE 83: SCHEMA DU BLOC DE DECLENCHEMENT DE LA DEMODULATION OFDM

6.3 INSERTION DES TEMPS DE GARDE

L'insertion des temps de garde entre deux symboles représente une étape délicate. Pour que la sortie de l'IFFT prenne la valeur 0, on place son entrée « Enable » à 0. Le calcul est ainsi stoppé, et l'état courant conservé jusqu'au redémarrage créé par un état 1 sur la broche Enable. Pendant cet arrêt, aucune donnée n'est produite en sortie du bloc, mais étant donné que l'horloge du cœur numérique continue alors de fonctionner, des 0 sont émis à la sortie du module émetteur. Cependant, l'IFFT a une latence de 266, et lorsque le calcul est stoppé avec la fonction Enable, ni l'entrée ni la sortie ne fonctionnent, alors que le reste de la couche physique continue de traiter les données entrantes. Ainsi, lorsque le bloc est stoppé après l'introduction des 128 premiers bits (taille d'un symbole), le temps de garde est inséré alors qu'aucune donnée n'est encore disponible. Si le signal Enable est baissé après le deuxième symbole, le phénomène est identique. De plus, lorsque le signal est baissé au cours d'un calcul, le symbole OFDM correspondant est disponible avec une latence de 266 tops additionnée du temps d'arrêt du calcul. Il est alors impossible de rattraper les arrêts de calcul, et cette méthode ne permet donc pas d'insérer les temps de garde de façon satisfaisante.

Afin d'arrêter le bloc au bon moment, il convient donc d'attendre qu'une donnée soit disponible en sortie (soit 266 tops) sans générer le moindre arrêt. Ainsi, le premier symbole OFDM étant composé de 128 points, l'arrêt doit intervenir après $266 + 128$ points. Si l'on stoppe le calcul à cet instant précis pendant 10 tops, un temps de garde correspondant est inséré. En redémarrant ensuite le calcul du bloc IFFT pendant 128 tops, le calcul du deuxième symbole OFDM se termine et peut ainsi être émis sans encombre. La figure 84 illustre le principe retenu. Le signal Enable du bloc IFFT, présenté sur la ligne centrale, prend la valeur 1 dès que des données sont prêtes à être encodées (Signal Data Available) et n'est mis à 0 que 138 tops après que le signal Data Available ait été repositionné à 0. Il conserve cet état pendant 10 tops, et reprend ensuite la valeur 1 pour une durée de 128 tops.

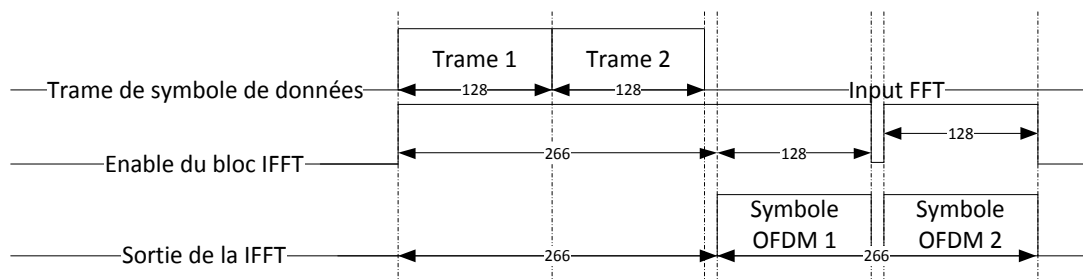


FIGURE 84 : SIGNAUX UTILISÉS POUR LE PILOTAGE DE LA IFFT AVEC INSERTION DES TEMPS DE GARDE

Ce principe est simplifié par le choix d'un calcul d'IFFT sur 128 points. En effet, le temps de génération des deux trames à moduler est plus court que le temps de latence du bloc. Ainsi, aucune donnée ne doit être traitée lorsque le bloc est arrêté pour l'insertion du temps de garde.

Il peut cependant être nécessaire de générer un signal purement réel en sortie du circuit numérique afin de n'utiliser qu'un seul convertisseur numérique/analogique en sortie. Cela a pour conséquence de diminuer de moitié la quantité de données utiles dans un symbole et de doubler ainsi le nombre de symboles émis. Dans une telle situation, il est nécessaire d'encoder 4 segments de trame de 128 valeurs. Ainsi, des données sont encore émises sur le bus au moment de l'insertion du premier temps de garde. Dans cette situation présentée en figure 85, il convient de retarder les données du quatrième segment de la trame de 10 tops. Aucune donnée n'est alors présente en entrée de l'IFFT pendant son inactivité. Les données sont émises selon principe énoncé précédemment, si ce n'est que lorsqu'un front montant est

détecté sur l'Enable de l'IFFT, un délai de 10 tops est activé sur le bus de la trame de données. Ce système, développé pour permettre l'utilisation d'un seul convertisseur, peut s'avérer utile dans le cas où la trame de données à transférer dépasserait les 192 bits.

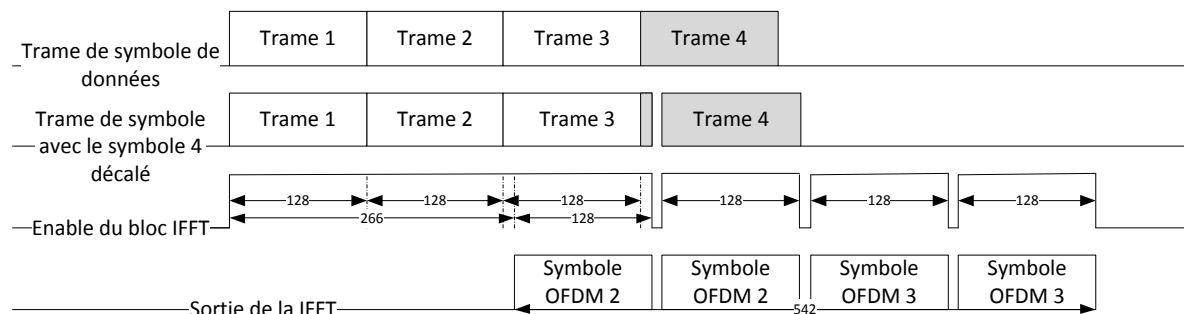


FIGURE 85 : SIGNAUX UTILISES POUR LE PILOTAGE DE L'IFFT AVEC INSERTION DES TEMPS DE GARDE

L'organisation logique du bloc de création du signal Enable est présentée en figure 86. Le signal qui indique que des données doivent être modulées par l'IFFT est envoyé sur l'entrée 1 d'un multiplexeur. Ce même signal est retardé de 266 tops et sert d'entrée de sélection du multiplexeur. Ainsi, à l'arrivée de données en entrée de l'IFFT, le signal Data Available vaut 1, et le signal de sélection vaut 0. C'est donc le signal Data Available qui joue le rôle d'Enable. Le bloc peut calculer la transformée et, dès que des données sont disponibles en sortie (après 266 tops), le signal de sélection vaut 1 et le compteur est enclenché. Ce dernier détecte le dépassement de la valeur 127 et crée alors un signal Enable de 1 pour une valeur inférieure à 127, et de 0 dans le cas d'une valeur comprise entre 128 et 137. Pour assurer un fonctionnement optimal de cette architecture, il est indispensable que la durée du signal « Data Available » soit supérieure de 276 tops par rapport au moment des données utiles. Cette opération, qui n'est pas détaillée ici, repose sur un principe similaire à celui du multiplexeur présenté.

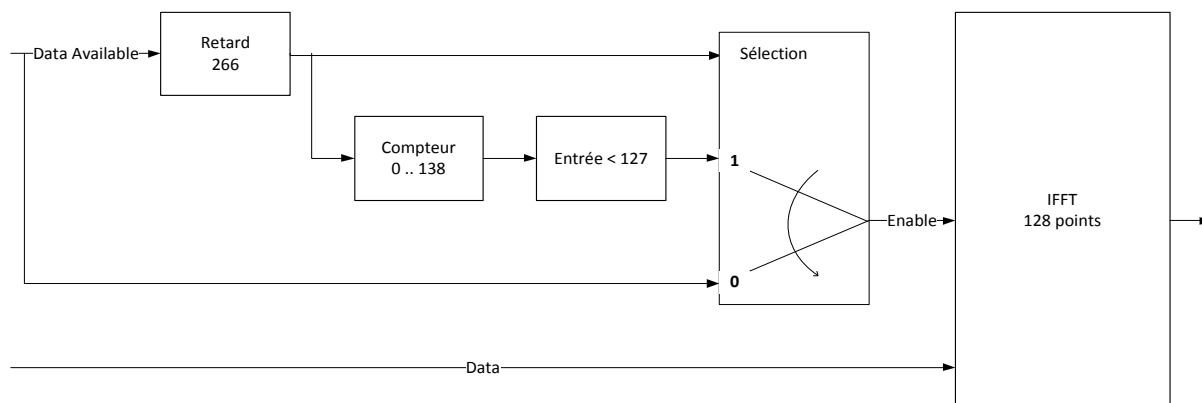


FIGURE 86 : REPRESENTATION SCHEMATIQUE DU BLOC DE GESTION D'ENABLE POUR L'INSERTION DES TEMPS DE GARDE

6.4 ARCHITECTURE POUR LA GENERATION DU SYMBOLE OFDM REEL A PARTIR D'UN SIGNAL COMPLEXE

L'architecture de traitement de signal numérique présentée produit un signal OFDM complexe qui se traduit par une sortie sur deux voies numériques I (représentant la partie réelle) et Q (représentant la partie complexe). Ces deux voies doivent être converties par des convertisseurs numérique/analogique afin d'assurer la modulation du signal autour de la porteuse par le mélangeur I/Q. Les deux

convertisseurs doivent être parfaitement synchronisés, c'est-à-dire qu'ils doivent utiliser la même horloge source. Pour la réception, la conversion numérique/analogique s'effectue simultanément sur les deux voies de sortie du mélangeur, ce qui représente généralement un blocage car la connexion du couple de convertisseurs analogique/numérique et numérique/analogique nécessite un grand nombre d'entrée-sortie. Or, sur la plupart des cartes de développement FPGA, leur nombre est insuffisant.

L'une des cartes de développement, présentée dans le chapitre suivant, ne possède que deux connecteurs et ne pourra donc pas être connectée à la fois aux deux CAN et aux deux CNA nécessaires à la gestion d'un émetteur-récepteur IQ. De plus, cette architecture ne permet pas de tester la synchronisation des éléments. La mise en place d'un émetteur-récepteur complet n'est alors possible que si la sortie du modulateur est exclusivement réelle (pas de communication bande de base I/Q).

L'utilisation d'une modulation OFDM calculée par l'intermédiaire d'une transformée de Fourier fournit, par définition, un signal complexe. Pour obtenir un résultat réel lors du calcul d'une IFFT, il est nécessaire d'ajouter à la séquence d'un symbole à transmettre, la séquence miroir de son complexe conjugué. Ainsi, il convient par exemple de remplacer la séquence $(1-i ; 1+i ; -1-i ; -1+i)$ en entrée par la séquence $(1-i ; 1+i ; -1-i ; -1+i ; -1-i ; -1+i ; 1-i ; 1+i)$. Le résultat du calcul de la transformée est alors réel, et les deux convertisseurs ne sont plus indispensables.

Il est cependant évident que la transmission d'une séquence de 4 éléments (IFFT sur 4 points) avec une sortie réelle requière un doublement de la taille de l'IFFT (séquence et IFFT sur 8 points). Pour l'éviter, et réduire le niveau de complexité, on divise en amont le débit par 2. Dans notre application, les symboles transmis ne comportent ainsi que 64 éléments utiles, auxquels s'ajoutent les 64 éléments miroirs pour obtenir 128 porteuses. En conséquence, le débit transmissible est divisé par 2, et le circuit doit alors fonctionner à une fréquence numérique double, soit 400 MHz, ce qui est particulièrement délicat avec une cible FPGA. L'ensemble du système mis en œuvre est présenté en figure 87

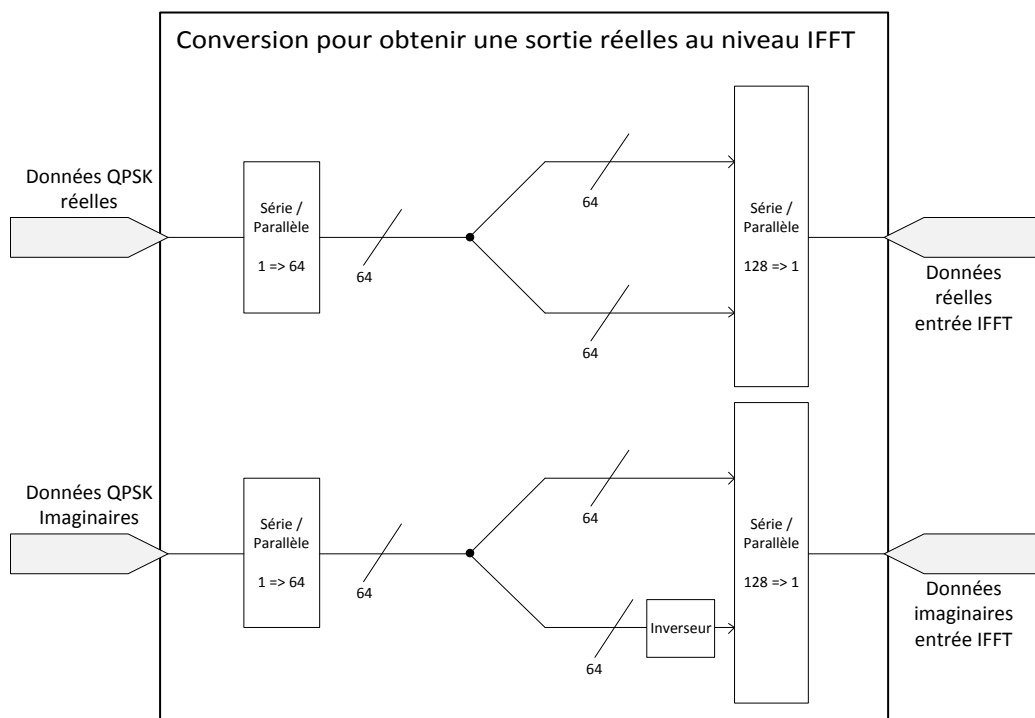


FIGURE 87 : BLOC DE CONVERSION DES DONNEES POUR OBTENIR UNE SORTIE REELLE SUR L'IFFT

7 CONCLUSION

L'ensemble de l'architecture de traitement du signal mise en place pour la réalisation d'une couche physique haut débit adaptées aux contraintes propres aux réseaux de capteurs pour l'aéronautique et le spatiale vient d'être décrit.

L'architecture réseau de type arbre, le partage TDMA et la structure de trame proposée permettent d'assurer la synchronisation des éléments avec les niveaux de précision attendus, tout en assurant un système fiable, un débit raisonnable et la prise en compte de l'ensemble des demandes des opérateurs. Le débit à l'interface PHY/MAC est ainsi d'environ 60 Mbits/s.

L'utilisation d'un codage correcteur d'erreur de type convolutionnel, l'organisation des porteuses OFDM proposée alliée au choix de préfixes et des symboles de synchronisation, permettent d'assurer une communication d'une grande robustesse. Le circuit numérique peut assurer le débit de la liaison en fonctionnant à une fréquence d'environ 200 MHz, et le signal a alors une bande passante de 200 MHz, compatible avec les règles UWB européennes.

Ensuite, l'architecture de la puce numérique présentée est choisie afin de réduire la taille et la complexité de chaque bloc et répondre ainsi aux contraintes de faible consommation.

Enfin, l'utilisation de la synthèse haut niveau de type HLS permet, une fois l'ensemble de l'architecture établie, de valider les performances attendues sur une plateforme matérielle numérique et radio fréquence.

CHAPITRE V

COUCHE PHYSIQUE HAUT DEBIT UWB-OFDM :
IMPLEMENTATION ET DEMONSTRATEUR

1 PLATEFORME MATERIELLE

Une fois établie la structure de la couche physique destinée au traitement des données à transmettre, et les architectures de blocs de traitement de signal fixées et validées en simulation, la réalisation d'un démonstrateur capable de valider les concepts proposés nécessite une plateforme matérielle adaptée. Cette dernière se compose d'un élément logique programmable effectuant les opérations de traitement et de modulation-démodulation, d'un bloc de conversion analogique/numérique et numérique/analogique, ainsi que d'une tête radiofréquence assurant la transposition de fréquence associée à une antenne adaptée.

1.1 LOGIQUE PROGRAMMABLE

Le cœur de l'architecture de traitement est réalisé à l'aide d'un circuit logique programmable de type FPGA. On utilise deux cartes intégrant ce type de circuit :

- La première est la carte HTG-V5-PCIE [129] de HiTech Global [130]. Elle dispose d'un grand nombre d'interfaces évoluées telles que des connecteurs Ethernet, des prises SATA, ou des interfaces utilisateurs comme des interrupteurs. Mais elle présente avant tout l'intérêt d'être équipée de nombreuses entrées/sorties numériques directes via des connecteurs LVDS de SAMTEC. Chaque connecteur permet l'accès à 64 entrées/sorties numériques utilisées pour la connexion avec les convertisseurs. Le FPGA utilisé sur cette carte est un modèle Virtex 5 LX50T de Xilinx [113], dont les performances sont présentées dans le tableau 29.
- La seconde carte, qui inclue le FPGA choisi au chapitre III, est le modèle Channel Express 365 [131] de la société Red Rapids. Cette carte est destinée à servir de module d'acquisition et restitution de données sans développement de matériels propres. Elle intègre deux convertisseurs numérique/analogique ainsi que deux convertisseurs analogique/numérique, et comporte un synthétiseur de fréquence à 500 MHz ainsi qu'un circuit de division et de partage d'horloge. Les quatre convertisseurs et le FPGA sont ainsi parfaitement synchrones. Cette carte destinée à analyser ou à générer des signaux analogiques ne dispose que de quelques entrées-sorties numériques en façade. Enfin, elle intègre des blocs de mémoire RAM externes qui ne sont pas utilisés ici.

La carte CE-365 est disponible avec de nombreux FPGA, et le modèle Xilinx Virtex 5 SX50T [113] a été choisi d'après les résultats présentés en partie III. Il est particulièrement adapté au traitement de signal et intègre donc davantage de blocs de traitement numérique (DSP48) rendant les calculs, et notamment ceux de transformée de Fourier, plus rapides. Les caractéristiques de ce FPGA sont présentées dans le tableau 29.

Enfin, cette carte doit être interconnectée avec un ordinateur via un lien PCI-Express qui assure son alimentation et qui pourrait être utilisé pour permettre au concentrateur de dialoguer avec un ordinateur et afficher ainsi directement les données mesurées. Cependant, afin d'obtenir un module autonome par rapport à un ordinateur, on utilise un boîtier eInstrument-DAQ Node de la société Innovative Integration permettant de connecter la carte Red Rapids à une alimentation électrique.

TABLEAU 29 : DETAIL DES FPGA UTILISES

CARTE	HTG-V5-PCIE	Channel Express 365
FPGA	Virtex 5 LX50T	Virtex 5 SX50T
SLICES 4 LUT ET 2 FLIP-FLOP	7200	8160
RAM DISTRIBUEE	480 kbits	780 kbits
DSP48 MULTIPLICATEUR 25X18 AVEC UN ADDITIONNEUR ET UN ACCUMULATEUR	48	288
BLOC DE RAM TAILLE D'UN BLOC : 36 KBITS	2160 kbits	4752 bits
CMT CLOCK MANAGEMENT TILE : 2 DCM ET 1 PLL	6	6
ENTREE/SORTIE UTILISATEUR	480	480

1.2 CONVERSION ANALOGIQUE/NUMERIQUE ET NUMERIQUE/ANALOGIQUE

Le circuit logique programmable permet à la fois de générer un signal numérique correspondant à la modulation OFDM de la trame de données, et d'analyser le signal numérique reçu. Les signaux émis et reçus étant analogique, il est indispensable de disposer d'un bloc capable d'assurer la conversion analogique des signaux émis et la conversion numérique des signaux reçus afin que le composant puisse les interpréter.

1.2.1 CONVERSION NUMERIQUE/ANALOGIQUE

1.2.1.1 CARTE HiTECH GLOBAL

La carte HiTech global n'intégrant aucun convertisseur, on choisit donc de lui associer, en externe, un CNA de référence MD681S [132] de la marque EUVIS, dont les caractéristiques sont détaillées dans le tableau 30. Ce convertisseur, qui fonctionne à une fréquence de 4 Gsps, travaille avec un rapport de multiplexage 8:1 afin que les circuits numériques classiques puissent lui fournir des données dans un délai suffisamment court. Les entrées numériques sont connectées sur un multiplexeur 8 voies. Ainsi, pour travailler à la vitesse maximale du convertisseur, 8 lignes d'entrée de 12 bits fonctionnent chacune à une fréquence 8 fois moins rapide, soit 500 MHz. Ces entrées sont reliées à un connecteur TYCO traversant coudé de référence HM-ZD 6469169-1.

TABLEAU 30 : CARACTERISTIQUES DU CNA EUVIS MD681S [132]

NOMBRE DE BITS	12
TAUX DE CONVERSION	4 Gsps
RAPPORT DE MULTIPLEXAGE	8 : 1
IMPEDANCE DE SORTIE	50 Ω
TENSION DE SORTIE TYPIQUE	600 mVpp

Ce convertisseur travaille en binaire décalé. Dans cette représentation, la plus petite valeur est codée par la valeur "000000000000" et la plus grande par la valeur "111111111111". Enfin, la valeur nulle est obtenue pour "100000000000".

Le modèle de l'émetteur génère un signal binaire signé complément à 2, et un bloc de conversion entre les deux formats est donc nécessaire. L'émetteur ne bénéficiant que d'une seule voie de sortie, il convient également de convertir son signal de sortie en un signal multiplexé sur 8 voies. Le bloc fonctionnel est décrit en figure 88.

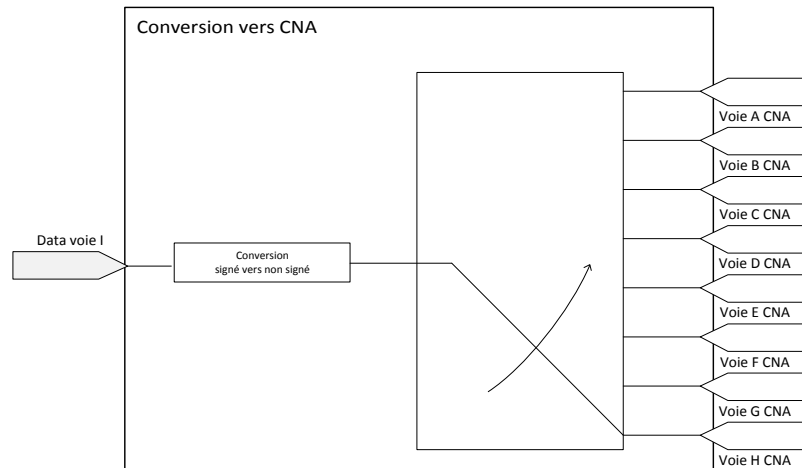


FIGURE 88: BLOC DE CONVERSION DES DONNÉES EMETTEUR VERS LE CONVERTISSEUR NUMERIQUE/ANALOGIQUE

La sortie analogique de ce convertisseur se fait via des connecteurs SMA différentiels d'une impédance de 50 Ω.

Enfin, le MD681S dispose d'une entrée d'horloge différentielle qui doit être à la fréquence d'échantillonnage du convertisseur (4 Gsp/s). Ce signal d'horloge rapide provient d'un générateur de créneaux externe. A partir de cette horloge principale, le convertisseur fournit une horloge 8 fois moins rapide avec laquelle les données numériques à convertir doivent être synchronisées. C'est pourquoi cette dernière horloge doit nécessairement être utilisée pour cadencer le cœur numérique du FPGA. Les connecteurs SAMTEC de la carte HiTech Global et TYCO du convertisseur MD681S n'étant pas mécaniquement compatibles, une carte d'interconnexion est réalisée pour permettre leur interconnexion. L'architecture numérique de l'émetteur est alors celle présentée en figure 89.

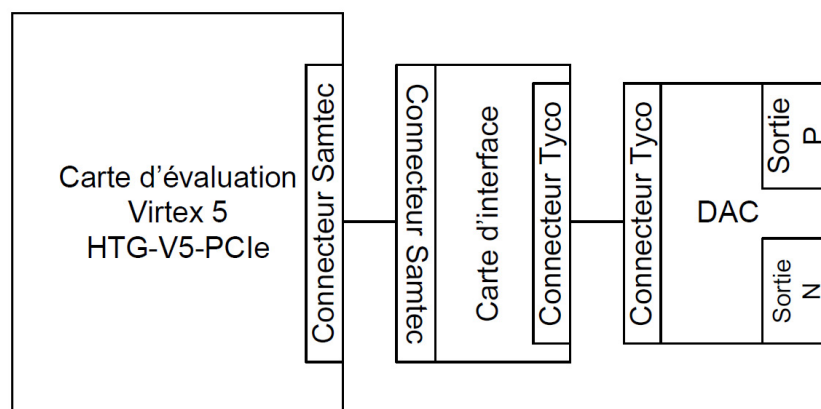


FIGURE 89: DESCRIPTION DE LA CONNEXION FPGA - CNA

Le CNA, fonctionnant à une fréquence maximale de 4 Gsp/s et présentant des entrées multiplexées sur 8 voies, peut donc recevoir des données numériques jusqu'à une fréquence pouvant atteindre les 500

MHz. Il est alors indispensable que les lignes de la carte d'interconnexion entre les deux connecteurs fonctionnent correctement à cette fréquence. Elles doivent également avoir une longueur parfaitement identique afin d'éviter les déphasages entre les bits d'une même voie, et donc les erreurs de conversion. Compte tenu du nombre d'entrée/sorties disponibles sur le FPGA (64 lignes), il n'est possible d'utiliser que 7 bits sur chacune des 8 lignes d'entrées. On a ainsi 56 lignes d'entrée/sorties, ce qui est bien inférieur aux 64 entrée/sortie disponibles. La carte d'interconnexion ainsi développée est représentée en figure 90.

Il n'a pas été possible d'utiliser 8 bits sur chaque ligne car le connecteur SAMTEC est également connecté à un connecteur HE14 à trois broches chargé de sélectionner l'une des quatre phases disponibles sur l'horloge interne du convertisseur. Les fiches SMA, situées en bas à droite, permettent de connecter l'horloge différentielle, issue du convertisseur au FPGA.

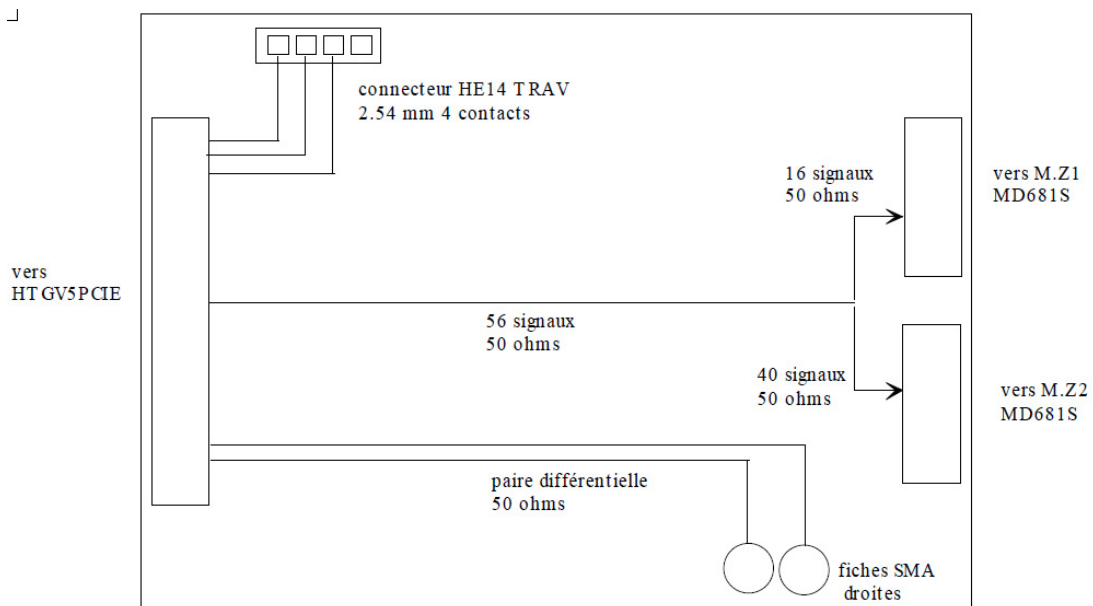


FIGURE 90 : SCHEMA DE LA CARTE D'INTERCONNEXION ENTRE LE FPGA ET LE CNA

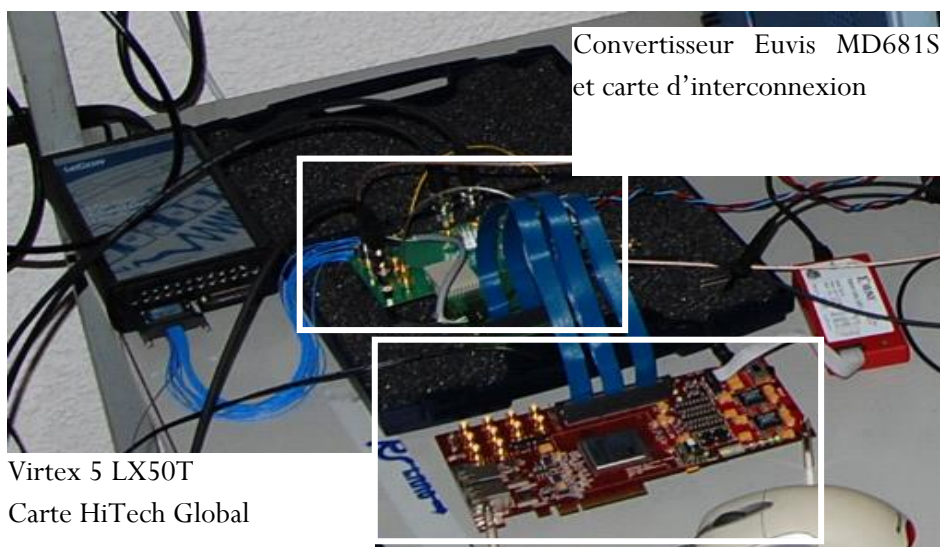


FIGURE 91 : PHOTOGRAPHIE DE LA PLATEFORME VIRTEX5 HiTECH GLOBAL AVEC LE CONVERSION MD681S ET LA CARTE D'INTERCONNEXION

1.2.1.2 CARTE CHANEL EXPRESS 365

Le module Chanel Express 365 intègre, en interne, le convertisseur numérique analogique et le circuit de partage des horloges. Aucune carte d'interconnexion ou horloge externe n'est alors nécessaire. Le CNA intégré est un modèle DAC5682 [133] de Texas Instruments [58] dont les caractéristiques sont présentées dans le tableau 31. Ce convertisseur n'utilise pas de multiplexage en entrée et dispose directement de 16 entrées différentielles.

Il s'agit d'un convertisseur dit « Dual » intégrant deux convertisseurs dans un même boîtier qui, cadencés sur la même horloge, permettent ainsi la conversion simultanée des données I et Q. Cependant, le circuit ne disposant que de 16 entrées et d'une seule horloge, on a recours au principe DDR (Double Data Rate) pour séparer les deux voies. Chaque cycle d'horloge contient deux données. La première, convertie par la voie A, est analysée sur le front montant de l'horloge. La seconde, convertie par la voie B, est analysée sur le front descendant. Sur la carte RedRapids, le convertisseur est cadencé à une fréquence générée par le synthétiseur, qui est donc identique à celle du cœur numérique du FPGA. Afin de rendre compatible le circuit présenté précédemment, on utilise les blocs gestionnaires DDR existant dans les FPGA de la famille Virtex5, appelés ODDR (Output Data Rate) pour les sorties du FPGA. Présents sur tous les ports d'entrée-sortie du FPGA, il suffit de les activer lors de la synthèse. Le bloc ODDR possède deux entrées de données (D1 et D2) et une entrée horloge. En fixant le paramètre DDR_CLK_EDGE à SAME_EDGE, les données en entrée (D1 et D2) sont présentées sur les fronts montant de l'horloge et sont disponibles sur la sortie Q à chaque changement d'état de l'horloge (D1 sur le front montant et D2 sur le front descendant).

TABLEAU 31 : CARACTERISTIQUES DU CNA TEXAS INSTRUMENTS DAC5681

NOMBRE DE BITS	16
TAUX DE CONVERSION	1 Gsps
RAPPORT DE MULTIPLEXAGE	1 : 1
IMPEDANCE DE SORTIE	50 Ω
TENSION DE SORTIE TYPIQUE	1,2 Vpp

1.2.2 CONVERSION ANALOGIQUE/NUMERIQUE

1.2.2.1 CARTE HI-TECH-GLOBAL

Un convertisseur analogique/numérique externe est utilisé pour la conversion du signal analogique bande de base reçu par l'étage radio, en signal numérique démodulable par un FPGA. Le composant utilisé avec les carte HiTech Global est l'ADC EV8AQ160 de E2V [134]. Ses caractéristiques sont présentées dans le tableau 32. Le convertisseur fonctionne selon deux modes : 5 Gsps en une seule voie ou 1.25 Gsps en 4 voies, équivalent ainsi à 4 ADC fonctionnant en parallèle. Ce mode est indispensable pour convertir parallèlement la voie I et la voie Q. Piloté par une horloge externe dont la fréquence est égale à la moitié du taux de conversion attendu, soit 2.5 GHz au maximum, il reprend un principe similaire au principe DDR.

La programmation des réglages du convertisseur se fait par SPI via un lien série et un programme fourni par E2V. Elle est ainsi réalisable sans développement propre mais nécessite la connexion permanente d'un PC à la carte.

Enfin, les sorties sont toutes LVDS et synchronisées sur un signal XDR (horloge divisé par 2) utilisé comme horloge du FPGA en réception.

TABEAU 32 : CARACTERISTIQUES DU CONVERTISSEUR ANALOGIQUE/NUMERIQUE EV8AQ160

TAUX DE CONVERSION	5 Gsps
RESOLUTION	8 bits
FORMAT DE SORTIE NUMERIQUE	LVDS
TENSION D'ALIMENTATION	1.8 V et 3.3 V

D'un point de vue matériel, les signaux analogiques d'entrée et le signal d'horloge sont reliés à des connecteurs SMA LVDS. Chaque "sous CAN" possède sa propre entrée, et les sorties se font sur des connecteurs traversant au pas de 2.54 mm¹⁰. La carte d'évaluation montre les quatre connecteurs permettant d'accéder aux signaux numériques.

Cette carte n'étant pas mécaniquement compatible avec le FPGA, on développe une carte d'interconnexion permettant l'utilisation du convertisseur E2V avec la plateforme Virtex 5 LX50T. Sur chaque connecteur SAMTEC sont reliés les signaux correspondant aux données LVDS (6 bits), un signal d'horloge synchronisé avec les bits de données, ainsi qu'un signal indiquant le dépassement du maximum de conversion. Il est ainsi possible d'utiliser deux "sous CAN" en parallèle et donc de convertir un signal I/Q.

La carte de développement Virtex 5 n'est équipée que de 2 connecteurs SAMTEC et ne peut donc pas être connectée à la fois à deux CAN et à deux CNA pour gérer un émetteur-récepteur IQ. Il est donc nécessaire de connecter séparément deux CAN ou deux CNA sur la plateforme FPGA. Il est ainsi possible de valider indépendamment le fonctionnement complet d'un émetteur I/Q ou d'un récepteur I/Q.

La connexion simultanée d'un convertisseur numérique/analogique et d'un convertisseur analogique/numérique est cependant envisageable pour la validation d'une demie voie de l'émetteur (I ou Q) et d'une demie voie du récepteur (I ou Q). Mais cette situation implique un conflit d'horloge. En effet, les deux cartes convertisseurs fournissent au FPGA une horloge synchronisée avec les données à convertir qu'il doit utiliser pour fournir ou recevoir les données sur la voie correspondante. Avec deux circuits, les deux horloges non synchrones entre elles sont ainsi difficilement utilisables dans le FPGA. Les cartes de développement HiTech Global ne permettent donc pas la mise en place d'un émetteur-récepteur complet et sont donc utilisées pour développer l'émetteur et le récepteur de manière indépendante.

1.2.2.2 CARTE CHANEL EXPRESS 365

Sur la carte de développement RedRapids, on utilise un convertisseur simple de type ADS5474 [135] de Texas Instruments [58], dont les caractéristiques sont présentées dans le tableau 33. La plateforme CE-365 intègre ainsi deux convertisseurs du même type pour permettre une conversion des voies I et Q. Le synthétiseur de la carte étant utilisé pour l'ensemble des éléments, les deux convertisseurs sont parfaitement synchronisés. Le convertisseur, qui fournit une donnée de sortie sur 14 bits, peut fonctionner jusqu'à un taux de conversion de 400 Msps.

Son format de sortie étant de type binaire décalé, la mise en place d'un système de conversion identique à celui présenté avec le CNA EUVIS est nécessaire.

¹⁰ Une connexion pour chaque bit de sortie

TABLEAU 33 : CARACTERISTIQUES DU CONVERTISSEUR ANALOGIQUE/NUMERIQUE ADS5474

TAUX DE CONVERSION	400 Msps
RESOLUTION	14 bits
FORMAT DE SORTIE NUMERIQUE	Simple
TENSION D'ALIMENTATION	3,3 V et 5 V
BANDE PASSANTE DES ENTREES	1,4 GHz

Dans le cadre des cartes Red Rapids, les sorties du convertisseur numérique/analogique ainsi que les entrées des convertisseurs analogique/numérique sont connectées aux connecteurs SMA de la carte par une liaison capacitive. Il existe ainsi une fréquence de coupure basse d'environ 1 MHz. Le couplage capacitif ayant été prévu au moment de la conception de l'émetteur récepteur (5,5 MHz), ce point n'est pas problématique pour la génération ou la réception des signaux.

1.3 TETE RADIO FREQUENCE

1.3.1 TRANSPOSITION HAUTE

Le couple FPGA et CNA permet d'obtenir un signal analogique en bande de base, c'est à dire présentant un spectre centré autour de la fréquence nulle. Ce spectre ne peut pas être directement transmis via un canal de communication sans fil [119]. Il est en effet indispensable d'effectuer une transposition haute du signal en bande de base. La modulation translate le spectre du message dans un domaine de fréquence plus adapté au canal de propagation. La présente étude utilisant la bande de fréquence UWB européenne, l'objectif de l'étage de radio est donc est d'effectuer la transposition vers une fréquence comprise entre 6 et 8.5 GHz. Bien qu'une tête RF complète sur puce soit en cours de développement dans le cadre de ce projet [136], c'est ici un développement à partir de composants sur étagère qui est proposé en attendant sa disponibilité.

L'architecture de la tête radio développée est de type conversion directe. Il s'agit en effet de l'architecture retenue pour le développement de la puce radio. Celle-ci offre une grande flexibilité pour un faible nombre de composants, ce qui pourrait permettre l'intégration du démonstrateur sur avion pour réaliser des tests en conditions réelles. L'architecture générale du bloc de transposition haute est présentée en figure 92.

La porteuse située entre 6 et 8.5 GHz est générée par un oscillateur contrôlé en tension. Le circuit utilisé est le modèle HMC-C029 [137] de Hittite [138], dont les performances sont décrites dans le tableau 34. Mesuré avec un analyseur de spectre, il couvre l'ensemble de la bande comprise entre 6 GHz à 8.5 GHz pour des tensions de contrôle s'échelonnant de 6.8 V à 8 V. Ce VCO propose également une importante puissance de sortie qui permet le pilotage d'un mélangeur passif sans amplificateur intermédiaire. Enfin, le composant fourni en boîtier dit « militaire » offre une plage de températures de fonctionnement extrêmement large.

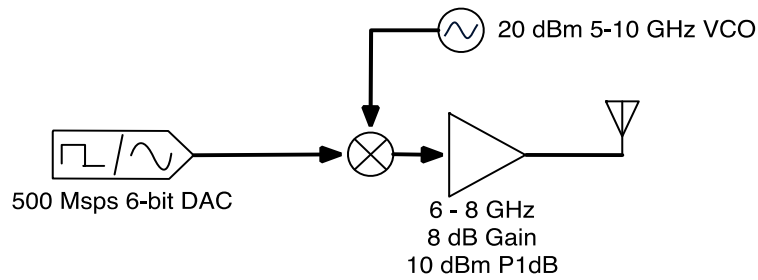


FIGURE 92: ARCHITECTURE DU BLOC DE TRANSPOSITION

Le mélangeur, de type I/Q, est une combinaison de deux mélangeurs en quadrature de phase (figure 93). On utilise ici un modèle HMC520LC4 [139] de Hittite [138], dont les caractéristiques sont présentées dans le tableau 35. La porteuse issue du VCO est séparée à l'intérieur du mélangeur en deux voies dont l'une est déphasée de 90° . Les deux porteuses ainsi générées modulent alors chacune l'une des deux voies bande de base réelles I et Q fournies par le CNA. Enfin, un additionneur combine les deux signaux produits pour fournir un signal RF complexe.

TABEAU 34 : CARACTERISTIQUES DU VCO HMC-C029

BANDE DE FREQUENCE	De 5 GHz à 10 GHz
PUISSANCE DE SORTIE	20 dBm
TENSION DE CONTROLE	De 0 V à 20cV
TENSION D'ALIMENTATION	12 V
TENSION DE SORTIE TYPIQUE	600 mVpp
TEMPERATURE DE FONCTIONNEMENT	- 40° C à + 85° C
CONSOMMATION	1.56 W

TABEAU 35 : CARACTERISTIQUES DU MELANGEUR HMC520LC4

TYPE DE MELANGEUR	I/Q
BANDE DE FREQUENCE RF	de 6 GHz à 10 GHz
BANDE DE FREQUENCE BB	de 0 Hz à 3.5 GHz
POINT DE COMPRESSION A 1dB	12 dBm
PERTE DE CONVERSION	7 dB
CONSOMMATION	circuit passif
ISOLATION OSCILLATEUR LOCAL - SORTIE	45 dB (typ)

Dans le cadre d'une conversion directe, la fréquence de l'oscillateur se retrouve dans le signal transposé et ne peut pas être supprimée par la suite. C'est pourquoi le choix s'est ici porté sur un mélangeur doté d'une forte isolation LO/RF.

Pour finir, un signal OFDM présentant toujours un très fort rapport entre la puissance maximale et la puissance moyenne sur un symbole (PAPR), on choisit un mélangeur passif qui offre une très grande linéarité en entrée (1 dB Compression point ou IP3). Cependant, ce mélangeur passif atténuant fortement le signal (~ 10 db de perte), un amplificateur de puissance de marque Mini-Circuits [140] doit être ajouté en sortie afin d'amplifier le signal avant d'attaquer l'antenne pour la transmission. Après conversion numérique/analogique, la puissance de sortie du signal est de -13 dBm et, après mélange et amplification, la puissance du signal émis est de -8 dBm.

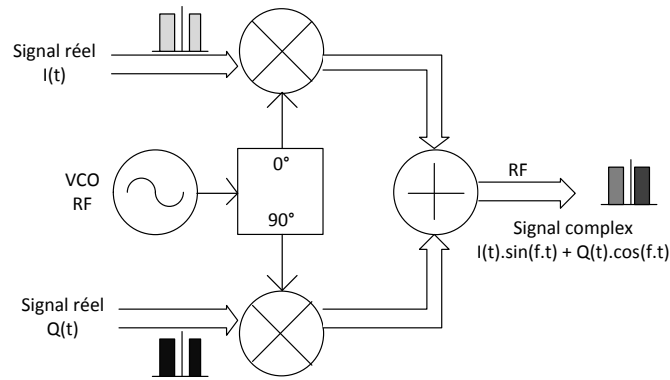


FIGURE 93 : SCHEMA DE PRINCIPE DU MELANGEUR I/Q

1.3.2 TRANSPOSITION BASSE

L'étage radiofréquence de réception est quasiment identique à l'étage d'émission. Il reprend les mêmes composants (mélangeur [139] et VCO [137]) additionnée d'amplificateurs à différents niveaux pour augmenter le niveau de signal reçu. La figure 94 montre l'architecture du bloc de transposition radio en réception.

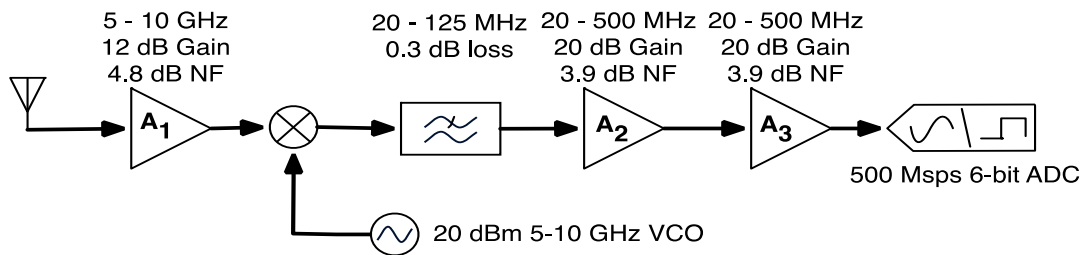


FIGURE 94 : ARCHITECTURE DU BLOC DE TRANSPOSITION AU NIVEAU DU RECEPTEUR

Tous les amplificateurs utilisés sont de marque Mini-Circuits [140] mais présentent des caractéristiques différentes en fonction de leur position au sein de la chaîne. L'amplification la plus proche de l'antenne est réalisée grâce à un amplificateur faible bruit (LNA). Ce dernier étant le premier de la chaîne, son bruit est en effet amplifié par les autres éléments et doit donc être aussi faible que possible. Cette condition est cependant difficile à assurer compte tenu de la bande passante nécessaire en réception. Après abaissement de la fréquence par le mélangeur, le signal est filtré par l'intermédiaire d'un filtre passe bas de bande passante 125 MHz. Le signal ainsi filtré est alors amplifié par deux amplificateurs en cascade d'un gain unitaire de 20 dB afin d'atteindre un niveau proche de la pleine échelle du convertisseur. Le gain total du récepteur est ainsi de 45 dB et une figure de bruit de 6,15 dB, calculée par l'équation suivante :

$$NF_{Rx} = NF_{A1} + \frac{NF_{Mix}}{G_{A1}} + \frac{NF_{LPF}}{G_{A1} + G_{Mix}} + \frac{NF_{A2}}{G_{A1} + G_{Mix} + G_{LPF}} + \frac{NF_{A3}}{G_{A1} + G_{Mix} + G_{LPF} + G_{A2}}$$

Le principal défaut de la chaîne de conversion radio telle qu'elle vient d'être présentée réside dans l'absence de contrôle automatique du gain. Le système nécessite en effet un réglage manuel particulièrement précis afin de s'assurer que l'amplification créée par les différents éléments ne vienne pas saturer le convertisseur analogique/numérique en réception. Une opération manuelle est nécessaire pour s'assurer que le signal reçu est aussi proche de la pleine échelle du convertisseur que possible. Le contrôle automatique de gain permet l'automatisation de la recherche du point optimal.

1.4 ANTENNES

L'antenne adaptée au système doit respecter des contraintes liées à la fois à la couche physique elle-même et au contexte d'application. Ces dernières imposent une limite de taille : l'épaisseur de l'antenne doit être très limitée. L'ensemble du nœud positionné sur l'aile de l'avion ne doit en effet pas dépasser 2,2 mm d'épaisseur. De plus, dans les conditions d'intégration aéronautiques, le diagramme de rayonnement de l'antenne doit être « couché » afin de ne pas éclairer le ciel et se concentrer sur la cabine dans laquelle est installé le concentrateur. Ensuite, la couche physique étant de type UWB, la bande passante de l'antenne doit être très large, avec des fréquences comprises entre 6 GHz et 8,5 GHz. Enfin, le gain de l'antenne doit être élevé (de 5 dBi à 15 dBi) afin de garantir une distance de communication importante.

Des antennes respectant l'ensemble de ces conditions ont été développées par Sofiene Bouaziz et publiées dans [141]. Cependant, ces dernières n'étant pas disponibles au moment du développement de la couche physique, des antennes microstrip de type Vivaldi [142] ont été choisies. Ces dernières ne respectent pas la contrainte d'épaisseur fixée puisqu'elles doivent impérativement être positionnées à la verticale, mais présentent malgré tout un gain important (9 dBi) et une fréquence de fonctionnement comprise entre 5 GHz et 10 GHz. C'est donc avec ces antennes microstrip que les résultats présentés sont obtenus. Lors de la validation de la chaîne complète, le module représentatif du concentrateur utilise une antenne de type cornet UWB, dont la bande passante est comprise entre 3 GHz et 8 GHz.

2 PERFORMANCES MATERIELLES ET SIMULATIONS COMPLETES DU SYSTEME

La présente partie expose les résultats de l'implémentation de la couche physique proposée. Sa taille et sa fréquence de fonctionnement sont d'abord détaillées. On propose également de comparer les résultats obtenus en simulation grâce au modèle Simulink aux données effectivement générées par le circuit numérique pour vérifier leur parfaite concordance. L'émetteur et le récepteur, réalisés sur les cartes HiTech global et RedRapids, sont ensuite présentés. On revient enfin sur la liaison complète, telle que présentée à IMS 2011 avec les modules RedRapids.

2.1 TAILLE DU CIRCUIT NUMERIQUE

En raison des contraintes que représenterait une augmentation de la fréquence, aucune optimisation de la taille du circuit numérique n'est envisageable. Il est donc nécessaire de s'accommoder de l'architecture proposée, et c'est pourquoi une très grande attention a été portée aux différents choix effectués à chaque étape de la définition de l'architecture.

Les résultats présentés ici intègrent un décodeur RS [123], ajouté dans le but de gagner un niveau de codage supplémentaire, et d'obtenir une indication de l'état de la trame une fois qu'elle a été reçue.

En effet, le codage convolutionnel ne permet pas le rejet d'une trame qui serait toujours erronée après décodage. Or, les premiers essais ont montré la grande sensibilité de la technique de synchronisation aux erreurs de communication. En effet, si l'indication de correction d'horloge au sein de la trame transmise est erronée, les nœuds se recalent sur une mauvaise horloge.

Un codeur bloc permet de vérifier si la trame reçue est correcte, et de l'accepter ou de la rejeter en fonction de son état. Aucune étude détaillée n'a été effectuée pour appuyer le choix de ce codeur, mais

on retient une taille du bloc de données et une taille des mots de code standards, traditionnellement retenus dans d'autres systèmes de communication.

L'introduction de ce code bloc supplémentaire entraîne certaines modifications mineures de l'architecture, mais ces dernières étant négligeables, elles ne sont pas détaillées ici.

Le tableau 36, la figure 96 et la figure 95 présentent la répartition des éléments de l'implémentation FPGA de l'émetteur. Ces données proviennent de la synthèse avant placement/routage, dont la cible est un FPGA de type V5SX50T.

La figure 95 montre la répartition des portes logiques utilisées par les différents blocs du circuit d'émission. Le bloc chargé de la modulation OFDM est, sans surprise, le plus volumineux de notre conception et mobilise l'ensemble des blocs de traitement de signal DSP48 utilisés pour l'implémentation. L'émetteur a une taille d'environ 2100 LUT, et la gestion de la conversion des données entre le flux d'octets de la couche MAC et le flux binaire de la couche physique, la modulation QPSK, ainsi que l'insertion des symboles de synchronisation représentent chacun moins de 1% du nombre de LUT utilisées. Ces blocs effectuent en effet de simples manipulations de données et mobilisent donc peu de ressources. Comme présenté précédemment, le codeur convolutionnel est lui aussi particulièrement simple, et compte pour moins de 1% des cellules logiques utilisées. Le travail d'optimisation de l'architecture des blocs chargés de l'insertion des porteuses pilotes leur permet de ne représenter qu'environ 10% des LUT utilisés, alors que ces opérations étaient initialement hautement complexes. Enfin, le bloc IFFT est l'élément le plus consommateur de ressources, avec près de 65% des LUT du FPGA. On constate également, en figure 26, qu'il est le seul à utiliser des blocs DSP48 spécialisés dans le traitement du signal. Malgré la complexité des opérations de calcul mathématique effectuées, le nombre de blocs utilisés (16) est faible en comparaison de la quantité totale de blocs présents dans le FPGA SX50T (288).

TABLEAU 36 : DETAIL DES ELEMENTS UTILISES DANS L'EMETTEUR

	TX COMPLET	ENCODEUR RS	CONVERTIS SEUR 8b / 1b	GESTION DES TRAMES MAC	IFFT	SYNCHRON ISATION	CODEUR CONVOLU TIONNEL	QPSK	PORTEUSE PILOTE I	PORTEUSE PILOTE Q	TEMPS DE GARDE
SLICES	1465	98	1	13	791	26	5	3	233	112	183
REGISTER	2135	180	3	13	1462	38	3	3	158	114	161
LUTS	2109	168	3	17	1374	21	2	1	189	116	218
LUTRAM	115	2	0	0	100	0	0	0	0	0	13
BRAM	11	1	0	0	6	2	0	0	0	0	2
DSP48	16	0	0	0	16	0	0	0	0	0	0

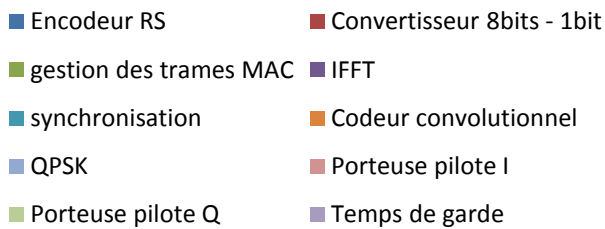
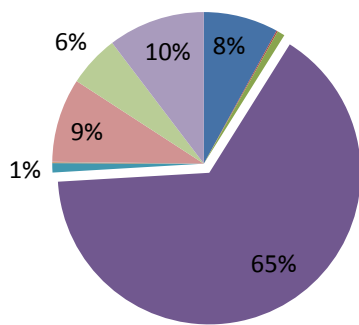


FIGURE 95: REPARTITION DES LUT UTILISEES POUR L'EMETTEUR COMPLET

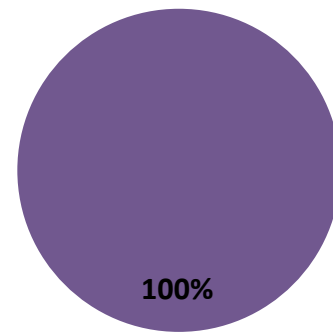


FIGURE 96: REPARTITION DES BLOCS DSP48 UTILISEES POUR L'EMETTEUR COMPLET

Le tableau 37, la figure 97 et la figure 98 présentent la répartition des éléments de l'implémentation FPGA du récepteur décrit. Comme pour l'émetteur, ces données sont issues de la synthèse avant placement/routage réalisée avec un FPGA de type V5SX50T pour cible. Le nombre total de cellules logiques utilisées est ici bien plus important que pour la partie émission, notamment en raison de la présence des deux décodeurs/correcteurs d'erreurs et du bloc de détection des symboles de synchronisation. Ce dernier est un filtre adapté de grande taille, égale au nombre de point des symboles de synchronisation (165). La figure 98 montre que ce filtrage utilise également 113 blocs de traitement du signal DSP48, soit 85% des besoins du récepteur.

Le décodeur de Viterbi optimisé pour l'application a une taille très inférieure à celle du décodeur bloc (décodeur RS) qui constitue le plus gros consommateur de cellules logiques avec près de 30% du circuit. Ce dernier a en effet dû être ajouté précipitamment afin d'autoriser le rejet des trames encore porteuses d'erreurs et d'éviter de trop grands écarts de synchronisation. Les paramètres du codage n'ayant pas été optimisés, ils constituent une source d'amélioration potentielle de la couche physique, pouvant être réalisée grâce à une étude similaire à celle menée pour le codeur convolusionnel. La taille du circuit de calcul de la transformée de Fourier du récepteur est comparable à celle du circuit de calcul de la transformée inverse de Fourier de l'émetteur, les deux opérations mathématiques étant sensiblement analogues.

La figure 97 indique cependant que, bien qu'utilisant un nombre de portes logiques semblable à celui de l'IFFT, la FFT ne représente que 25% du circuit. Enfin, le bloc permutation permettant la séparation des valeurs des porteuses pilotes et des porteuses de données est très peu gourmand en cellules logiques.

TABLEAU 37 : DETAIL DES ELEMENTS UTILISES DANS LE RECEPTEUR

	RECEPTEUR COMPLET	CONVERSION SIGNE/NON SIGNE	FFT	PERMUTATION	QPSK	DECODEUR RS	RESET ENABLE	DECODEUR VITERBI	CONVERTISSEUR 8BITS-1BIT	SYNCHRONI SATION
SLICES	3998	7	1042	15	1	1147	11	521	218	666
REGISTER	6173	11	1841	14	0	1090	8	387	356	2317
LUT	8237	17	1949	38	1	2346	13	965	361	2321
LUTRAM	215	0	169	0	0	30	0	5	6	2
BRAM	16	0	7	1	0	4	0	3	0	0
DSP48	133	0	20	0	0	0	0	0	0	113

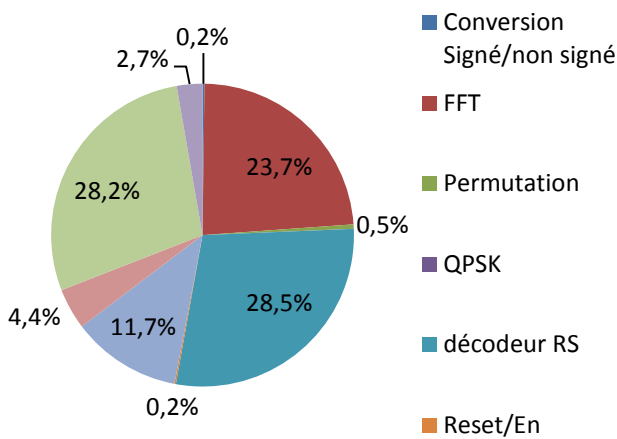


FIGURE 97 : REPARTITION DES LUT UTILISEES POUR LE RECEPTEUR COMPLET

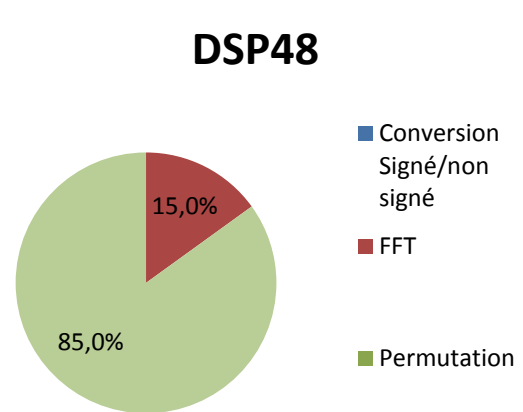


FIGURE 98 : REPARTITION DES BLOC DSP48 UTILISEES POUR LE RECEPTEUR COMPLET

L'objectif de l'ensemble du développement proposé ici est de mettre ne place une couche physique extrêmement performante, au plus près des attentes des industriels du secteur aérospatial. La taille du circuit logique correspondant à l'émetteur étant relativement limitée, elle est donc compatible avec les exigences de consommation. Cependant, le circuit de réception utilise une plus grande quantité de portes logiques, et constitue donc potentiellement un grand consommateur d'énergie. Néanmoins ce constat ne représente pas une limitation, et ce pour deux raisons principales. D'abord, le sens de communication le plus utilisé au sein du réseau métrologique développé est le sens montant. Les nœuds, éléments les plus contraints en énergie, sollicitent ainsi beaucoup plus leur émetteur que leur récepteur. Ce dernier n'est en effet activé qu'au cours de la phase de configuration des éléments préalablement aux essais ainsi que lors de la récupération les données de synchronisation au début de chaque trame. Les éléments qui sollicitent le plus le récepteur de données sont les répéteurs et le concentrateur, qui sont alimentés en énergie. Ensuite, le récepteur intègre un décodeur bloc non optimisé. L'étude détaillée du codage bloc de type Reed-Solomon est donc susceptible de donner lieu à de nombreuses optimisations permettant de réduire la taille et la complexité du circuit de réception.

2.2 FREQUENCE MAXIMALE ET OPTIMISATION

La taille du circuit émetteur-récepteur est bien compatible avec le FPGA Virtex 5. On s'attache donc à déterminer si sa fréquence de fonctionnement, qui représente souvent une limite lorsqu'elle est trop faible pour atteindre le niveau de performances attendu, et notamment en termes de débit. Pour

répondre aux contraintes de développement, il est nécessaire d'atteindre ici une fréquence de 200 MHz au minimum.

Les fréquences de fonctionnement présentées plus bas correspondent à des circuits numériques implémentés pour un FPGA de type Virtex 5 SX50T.

2.2.1 EMETTEUR

Le tableau 38 expose les performances résultant de l'implémentation de l'émetteur en Baseline, c'est-à-dire sans optimisation. Les valeurs présentées s'entendent après synthèse et avant placement-routage.

TABLEAU 38 : PERFORMANCES DE L'EMETTEUR SANS OPTIMISATION

PARAMETRES	LIMITES DEMANDEES	FREQUENCE DE FONCTIONNEMENT	NOMBRE TOTAL DE LUT
PERFORMANCES	240 MHz	228,7 MHz	2562

Le nombre de LUT utilisés est plus important que dans la partie précédente en raison de la présence dans le circuit de deux fonctions supplémentaires, non constitutives de la couche physique: des éléments de gestion et de configuration de la carte RedRapids (SPI et horloge), ainsi que les couches MAC et Synchronisation. Si l'on atteint bien une fréquence de 200 MHz, on note que la marge reste relativement faible. D'ailleurs, la fréquence du circuit après placement-routage n'atteint plus que 212 MHz. Le tableau 39 présente la composition du circuit après placement-routage.

TABLEAU 39 : COMPOSITION DE L'EMETTEUR APRES PLACEMENT-ROUTAGE

ELEMENTS DU FPGA	REGISTRES	LATCHES	LUTS	MUXCY	XORCY	SRL16	DSP48	ROM	RAM
VALEURS	2380	0	2762	919	912	148	16	43	0

Le nombre de LUT utilisés au sein du Virtex 5 est légèrement plus important qu'avant placement-routage, phénomène tout à fait courant puisque qu'après synthèse, on n'obtient qu'une estimation du nombre d'équivalents cellules logiques utilisés, alors que les données après placement-routage correspondent au nombre de LUT effectivement consommées dans la puce. De plus, l'outil de placement-routage, édité par le constructeur du FPGA, effectue un certain nombre d'optimisations supplémentaires.

Une marge de 12 MHz étant trop limitée, on active l'optimisation de timing. Comme nous l'avons vu en partie III, l'option retiming de l'outil Symphony HLS demande à être activée pour chaque niveau maximum de pipelines autorisé. Il est ainsi nécessaire de répéter l'opération comprenant la génération de code, la synthèse et le placement routage pour chaque valeur, jusqu'à ce que les performances mesurées restent identiques. Le tableau 40 et la figure 99 présentent les performances et la taille du circuit de l'émetteur pour chaque niveau de registre de pipeline

TABLEAU 40 : CARACTERISTIQUES DE L'EMETTEUR APRES SYNTHESE POUR DIFFERENTS NIVEAUX DE L'OPTION RETIMING

FREQUENCE DEMANDEE	250	270	280	280	280	280	280
VALEUR DE L'OPTION RETIMING	1	2	3	4	5	6	7
FREQUENCE DU CIRCUIT	245	263,3	273,2	273,2	273,5	273,5	273,5
NOMBRE DE LUT UTILISES	2854	2916	2914	2940	2941	2915	2915

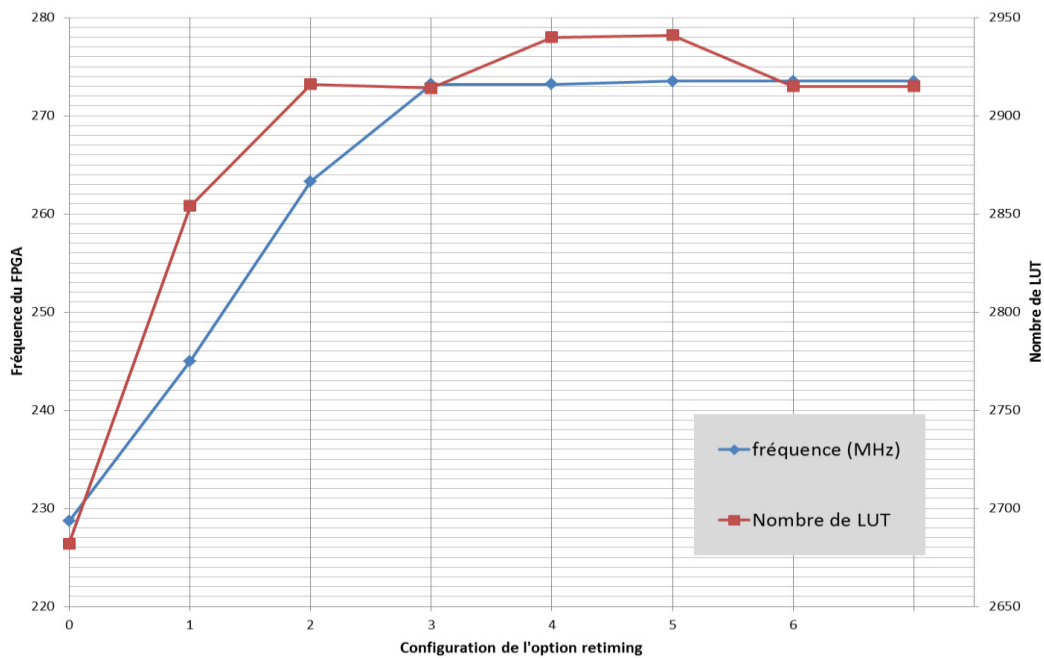


FIGURE 99 : PERFORMANCES DE L'EMETTEUR EN FONCTION DE L'OPTION RETIMING

Même avec l'ajout d'un seul niveau de pipeline, l'amélioration est déjà très nette, avec une augmentation de 12%. De plus, cette bonification intervient sans que cela implique une augmentation du nombre de LUT, et donc de la taille du circuit. A partir de 3 niveaux de pipelines, un palier apparaît pour les performances, le programme de génération du code n'estimant alors plus nécessaire l'introduction d'un niveau supplémentaire. Ainsi au-delà de 3, et quelle que soit la valeur de l'option retiming, le code VHDL demeure parfaitement identique.

Les valeurs après placement-routage sont présentées dans le tableau 41.

TABLEAU 41 : CARACTERISTIQUES DE L'EMETTEUR APRES PLACEMENT-ROUTAGE POUR DIFFERENTS NIVEAUX DE L'OPTION RETIMING

FREQUENCE DEMANDEE	250	270	280	280	280	280	280
VALEUR DE L'OPTION RETIMING	1	2	3	4	5	6	7
FREQUENCE DU CIRCUIT	253	260	243	262	276,5	263	263
NOMBRE DE LUT UTILISES	2888	3006	2795	2969	2965	2967	2967

Bien que la fréquence de fonctionnement du circuit numérique après placement-routage soit encore une fois légèrement inférieure aux performances obtenues après synthèse, elle est toujours compatible avec les besoins de l'étude, c'est-à-dire 200 MHz. En effet, la marge avoisine ici les 60 MHz, ce qui est tout à fait confortable. La valeur de retiming 5 donnant des résultats très singuliers et particulièrement élevés, ces derniers sont considérés comme non significatifs. Dans la suite du présent développement et notamment pour le démonstrateur fonctionnel, c'est la valeur de retiming 4 qui sera retenue.

2.2.2 RECEPTEUR EN SYNTHÈSE CLASSIQUE

On emploie une démarche similaire pour le récepteur, mais ce dernier étant plus complexe, la fréquence maximale sera moins importante. Le tableau 42 expose les performances résultant de l'implémentation du récepteur en Baseline, c'est-à-dire sans optimisation. Les valeurs présentées s'entendent après synthèse et avant placement-routage.

TABLEAU 42 : PERFORMANCES DE RECEPTEUR SANS OPTIMISATION

PARAMETRES	LIMITES DEMANDEES	FREQUENCE DE FONCTIONNEMENT	NOMBRE TOTAL DE LUT
PERFORMANCES	200 MHz	93,3 MHz	8928

La fréquence de 93,3 MHz obtenue ici est très insuffisante par rapport au besoin initial de 200 MHz. On note également que le nombre de LUT utilisées est particulièrement important, et représente près du triple de la taille de l'émetteur. Ce phénomène s'explique par la présence de fonctions de décodages bloc et convolutionnel particulièrement complexes au sein du récepteur. De plus, les paramètres du décodeur bloc n'ont pas été choisis avec précision, et son architecture de traitement de signal n'a pas été optimisée. Le codage bloc induit donc un délai important, ralentissant ainsi le système. En conséquence, l'activation des optimisations de retiming est ici indispensable pour prétendre approcher l'objectif cible de 200 MHz.

L'option retiming de l'outil Symphony HLS doit alors être activée pour chaque niveau maximum de pipelines autorisé, et la génération de code, la synthèse et le placement routage doivent être répétés pour chaque valeur. Si cet enchaînement d'opérations est réalisable pour l'émetteur, il serait beaucoup trop long dans le cadre du récepteur, dont la taille est trois fois supérieure. Or, les performances après synthèse et après placement-routage étant sensiblement analogues, on ne présentera ici que les résultats après synthèse.

Le tableau 43 et la figure 100 présentent les performances du récepteur pour différents niveaux de pipelines.

TABLEAU 43 : CARACTERISTIQUES DU RECEPTEUR APRES SYNTHÈSE POUR DIFFERENTS NIVEAUX DE L'OPTION RETIMING

FREQUENCE DEMANDEE	200	200	230	230	230	230
VALEUR DE L'OPTION RETIMING	1	2	3	4	5	6
FREQUENCE DU CIRCUIT	148	179,8	179,8	179,8	179,8	179,5
NOMBRE DE LUT UTILISES	13436	9012	9017	9012	9035	9035

Le gain en fréquence dépasse les 50% avec un seul niveau de pipeline, mais intervient au prix d'une explosion du nombre de LUT (+ 4000 LUT). Mais dès l'ajout d'un deuxième niveau de pipeline, le nombre de LUT, et donc la taille du circuit, redevient comparable à ce qu'il était en l'absence d'optimisation. On peut alors atteindre une fréquence de 180 MHz, plus proche de la valeur cible de 200 MHz, mais toujours insuffisante.

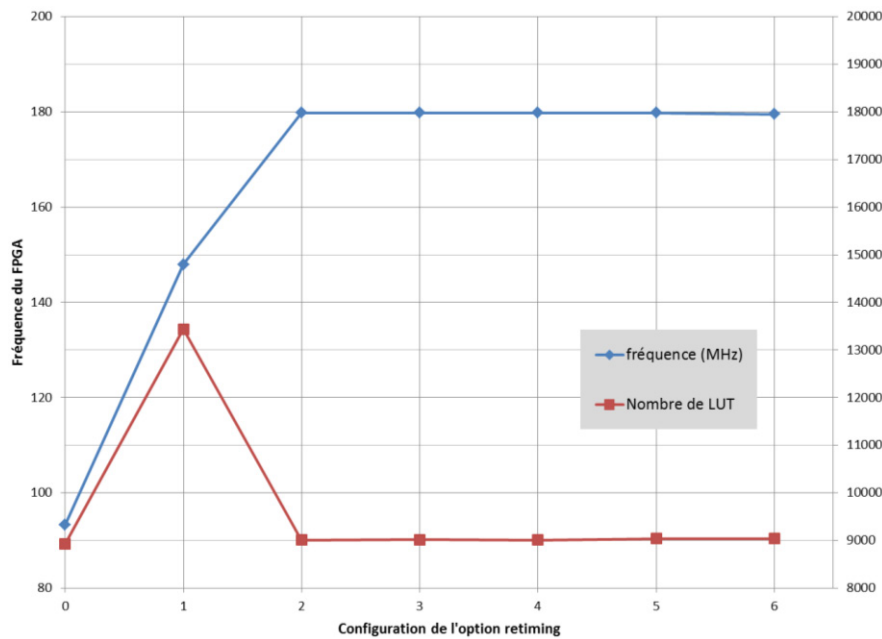


FIGURE 100 : PERFORMANCES DU RECEPTEUR EN FONCTION DE L'OPTION RETIMING

2.2.3 RECEPTEUR EN SYNTHESE PHYSIQUE

L'opération de synthèse est réalisée à l'aide de Synplify Pro, logiciel de synthèse classique. Afin d'améliorer les performances du circuit numérique, on choisit d'utiliser un logiciel de synthèse physique : Synplify Premier, basé sur l'utilisation innovante de « graphes de routage » [143].

En effet, les outils de synthèse classique ne tiennent pas compte du placement des blocs au sein du FPGA, et les outils de synthèse pseudo-physique utilisent les positions des blocs au sein de la puce pour évaluer la distance, et donc le temps de propagation du signal entre deux blocs, mais ne considèrent pas la longueur exacte des pistes d'interconnexion. En revanche, l'outil de synthèse physique Synplify Premier repose sur le fait qu'un FPGA étant une matrice figée de portes logiques, il est caractérisé par un schéma de routage prédéfini correspondant à la disposition physique des pistes d'interconnexion présentes au sein de la puce. Ses choix de synthèse intègrent donc le délai des pistes ainsi que les interconnexions effectivement disponibles.

Les performances obtenues après synthèse sont alors très proches de celles enregistrées après placement-routage, et l'outil permet une véritable amélioration de la synthèse VHDL et le développement d'un circuit optimal.

Le tableau 44 montre qu'en l'absence d'optimisation, presque aucune différence (0,2 MHz) n'est constatée entre la synthèse classique et la synthèse physique.

TABEAU 44 : PERFORMANCES DU RECEPTEUR APRES SYNTHESE PHYSIQUE SANS OPTIMISATION

PARAMETRES	LIMITES DEMANDEES	FREQUENCE DE FONCTIONNEMENT	NOMBRE TOTAL DE LUT
PERFORMANCES	200 MHz	93,6 MHz	8924

En revanche, l'activation des options de retiming combinée à la synthèse physique permet une amélioration conséquente des performances du récepteur, comme présenté dans le tableau 45 et en

figure 101. Une valeur de l'option retiming réglée à 3 permet alors d'atteindre une fréquence supérieure à 200 MHz tout en conservant un nombre restreint de LUT.

TABLEAU 45 : CARACTERISTIQUES DU RECEPTEUR APRES SYNTHESE PHYSIQUE
POUR DIFFERENTS NIVEAUX DE L'OPTION RETIMING

FREQUENCE DEMANDEE	200	200	230	230	230	230
VALEUR DE L'OPTION RETIMING	1	2	3	4	5	6
FREQUENCE DU CIRCUIT	154,3	198	219,6	219,1	219,6	219,6
NOMBRE DE LUT UTILISES	13082	8742	8752	8753	8749	8749

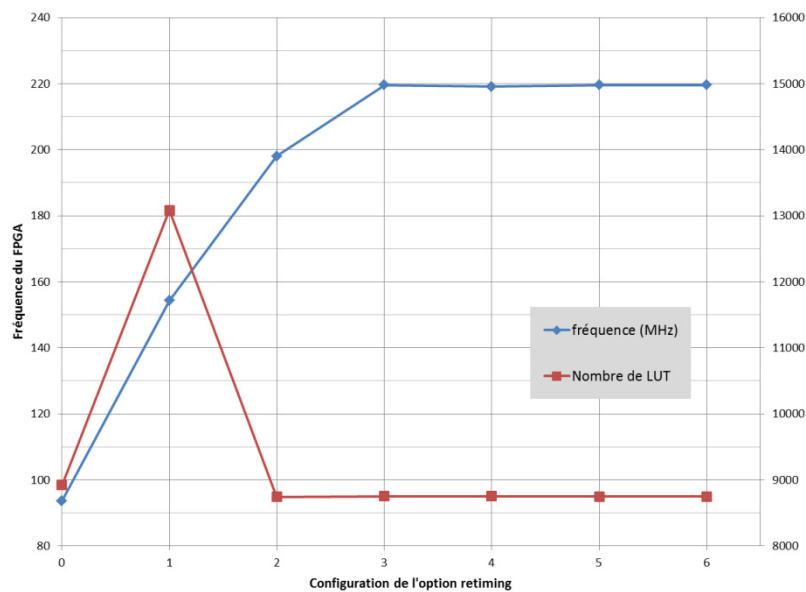


FIGURE 101 : PERFORMANCES DU RECEPTEUR EN FONCTION DE L'OPTION RETIMING
APRES SYNTHESE PHYSIQUE

Les performances obtenues grâce à la combinaison émetteur-récepteur ne sont pas présentées ici car il aurait été nécessaire, pour chaque valeur de l'option retiming, de reprendre l'ensemble des étapes (génération du code, synthèse, et placement-routage), particulièrement longues et contraignantes. De plus, la fréquence maximale de fonctionnement du circuit pour le couple émetteur-récepteur est identique à celle du récepteur seul. En effet, le FPGA étant doté de grandes quantités de ressources, la présence de deux circuits au lieu d'un seul est sans conséquence sur son fonctionnement.

2.3 VALIDATION EN SIMULATION ET COMPARAISON ENTRE LE SIGNAL SIMULE ET LE SIGNAL GENERE

Cette partie a pour objectif de réaliser un test de génération de code et de comparer les signaux obtenus en simulation (et notamment le signal de sortie de la couche physique OFDM) avec le modèle Simulink aux signaux générés par le code effectivement embarqué dans le FPGA.

La courbe présentant les signaux générés par Simulink est obtenue grâce à un bloc Scope, capable d'enregistrer les données en fonction du temps, et de créer une variable dans MATLAB.

La Figure 102 présente le modèle Simulink utilisé pour le tracé de ces courbes et met en évidence le bloc scope ainsi que les données qu'il enregistre : la trame de données numériques à transmettre, les

signaux d'entrée du bloc IFFT (voies I et Q), et le signal de sortie de la couche physique (voie I). Cette figure montre également le spectre du signal obtenu par le modèle numérique, et tracé grâce à un bloc « Spectrum Analyser ».

Les signaux générés par le FPGA sont obtenus par l'intermédiaire du logiciel ChipScope Pro [144], analyseur logique reposant sur l'interface Jtag, qui récupère la valeur numérique d'un signal en un point physique du FPGA préalablement défini par l'utilisateur. En plaçant ce point d'analyse en sortie du bloc IFFT, c'est-à-dire à la sortie de la couche physique, il est possible de comparer le signal généré par le FPGA au signal obtenu en simulation.

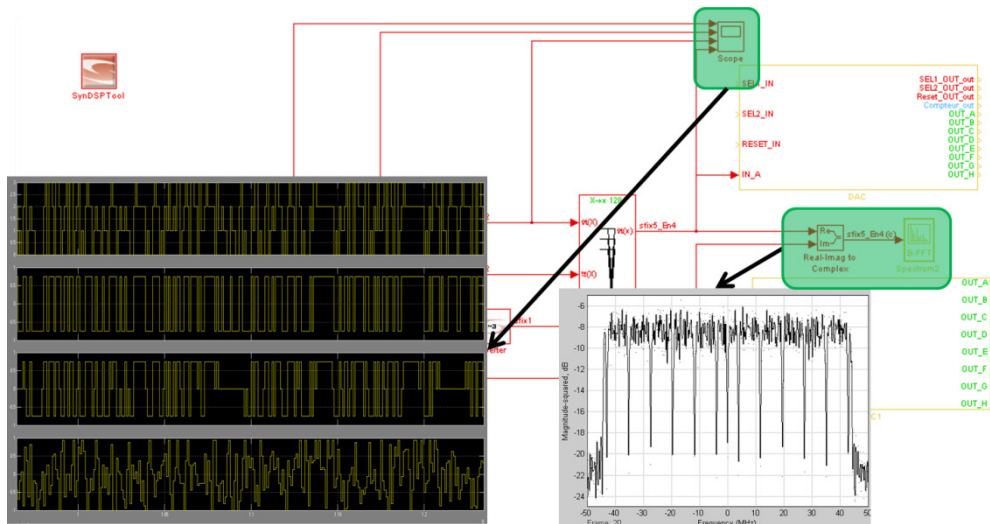


FIGURE 102 : MODELE DE L'EMETTEUR UWB-OFDM AVEC ENREGISTREMENT DES DONNEES ET AFFICHAGE DU SPECTRE DU SIGNAL GENERE

La figure 103 présente le signal généré en rouge, et le signal issu du modèle Simulink en bleu. Ces signaux de sortie de l'IFFT présentent les symboles OFDM. Le modèle utilisé ici n'intègre ni temps de garde entre symboles, ni symboles de synchronisation.

La figure 103 montre clairement que les deux signaux sont confondus, ce qui témoigne du fait que les comportements du circuit numérique après génération du code et du modèle Simulink obtenu par simulation numérique sont parfaitement identiques.

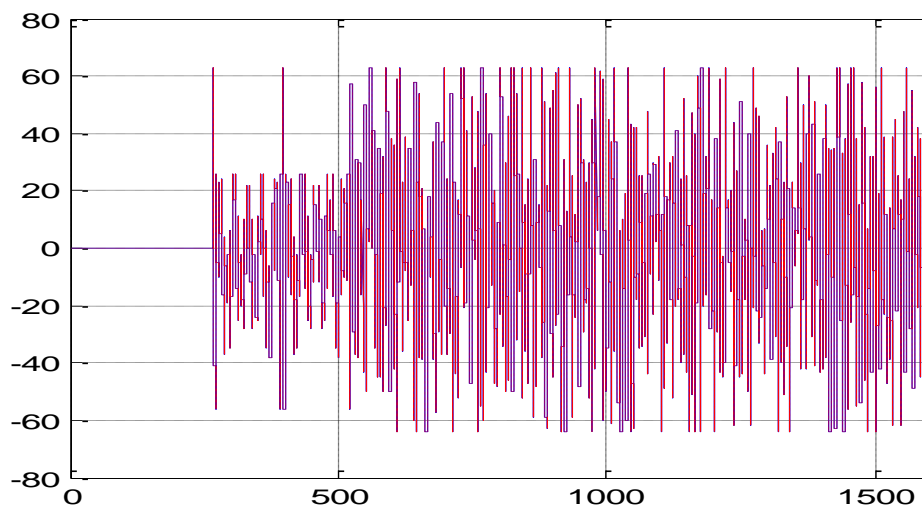


FIGURE 103 : COMPARAISON ENTRE LE SIGNAL OBTENU GRACE AU MODELE NUMERIQUE SIMULINK ET LE SIGNAL GENERE PAR LE FPGA

Bien que ces similitudes soient attendues, puisque qu'elles sont l'objet du flot de synthèse HLS, cette approche comparative a cependant été systématiquement utilisée lors des premières étapes de notre développement. Elle a permis l'identification de différents problèmes intervenant au moment de la génération du code (notamment au niveau du bloc de calcul IFFT), liés à l'activation simultanée de certains paramètres. Ces anomalies ont ainsi pu être signalées à l'éditeur de Symphony Model Compiler qui a alors rapidement œuvré à la résolution des problèmes identifiés.

2.4 VALIDATION COMPLETE DU SYSTEME EN SIMULATION

L'objectif n'est pas ici la validation indépendante de l'émetteur et du récepteur, mais une validation complète du système, intégrant de surcroît le bloc chargé du partage du canal entre plusieurs utilisateurs. Ce dernier, codé manuellement en VHDL, nécessite l'utilisation d'un bloc permettant une intégration directe de code VHDL au sein du modèle Simulink. Cette simulation permet de vérifier que l'architecture de la couche physique a été correctement développée afin d'obtenir une latence minimisée et des signaux d'information spécifiques utilisables par la couche MAC pour le partage du canal. Le test complet du système nécessite également certaines opérations complémentaires, comme par exemple la création d'un bloc de conversion 8 bits vers 1 bit.

Dans une telle simulation, un nœud se compose d'un bloc émetteur, d'un bloc récepteur ainsi que d'un bloc intégrant le code VHDL, chargé de réaliser les opérations de partage du canal, comme présenté en figure 104.

La simulation du bloc intégrant le code VHDL se fait grâce au logiciel Modelsim [145], directement appelé par Simulink, qui lui transmet les données issues du modèle numérique lui permettant ainsi de réaliser la simulation comportementale du langage VHDL. Une fois cette opération effectuée, Modelsim transmet les résultats à Simulink qui les intègre alors au modèle numérique.

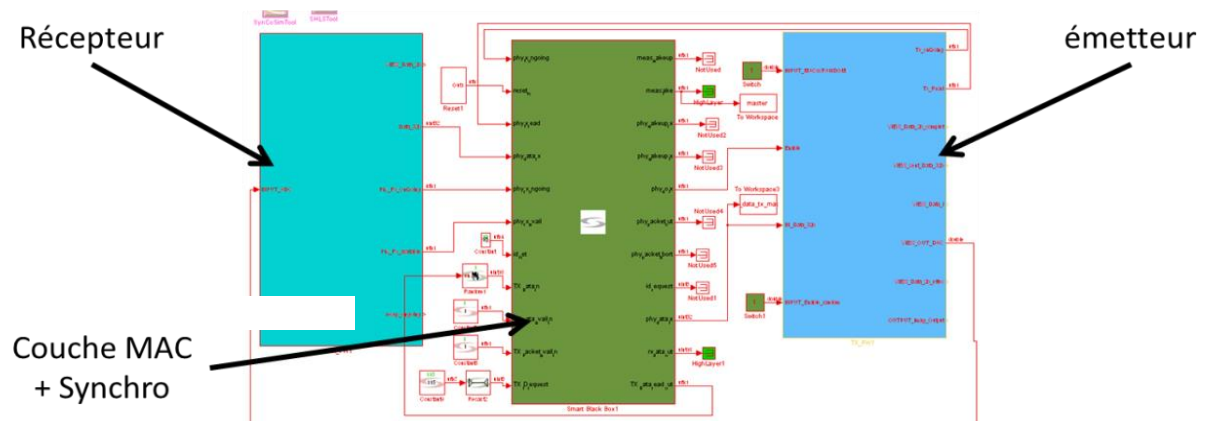


FIGURE 104 : COMPOSITION D'UN NŒUD

Le système complet, comprenant 3 nœuds capteurs (dits esclaves) et un nœud équivalent du concentrateur (dit maître), est schématisé en figure 105.

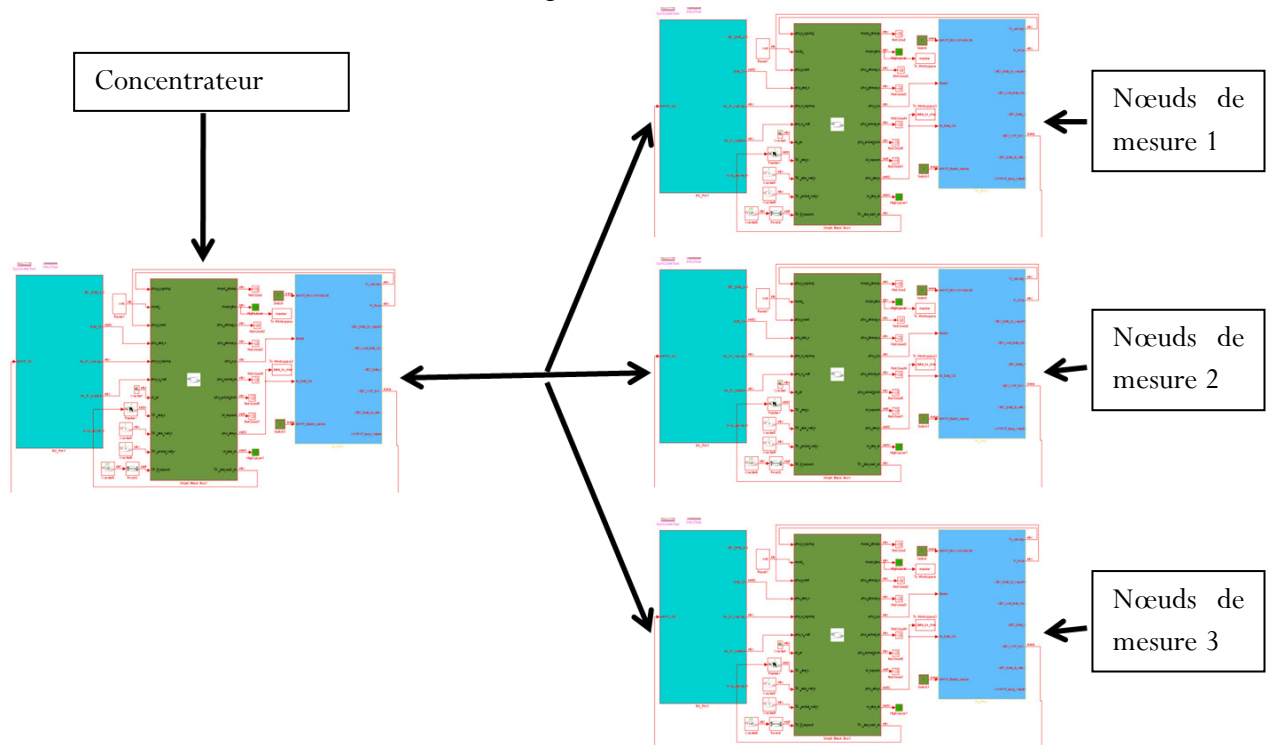


FIGURE 105 : SCHEMA DE L'ENSEMBLE DU SYSTEME

La figure 106, résultant de la simulation, présente les échanges de données sur le canal radio. La première trame, présente tout au long de la simulation, correspond à l'envoi du concentrateur chargé du contrôle du réseau. Pour éviter les brouillages radio, les trois nœuds n'émettent leurs trames (aisément repérables ici) qu'une fois leurs horloges accordées à celle du concentrateur. Les différentes trames ainsi envoyées par les nœuds ne se chevauchent pas du fait de la présence de la marge TDMA. La figure 107 présente en noir les instants de début théorique de l'envoi de la trame de chacun des esclaves, tels que définis par rapport à l'horloge étalon, c'est-à-dire celle du concentrateur. L'ensemble des nœuds de mesure doit alors transmettre la trame contenant la dernière mesure effectuée à cet instant précis pour éviter les brouillages dans la trame TDMA. Les instants repérés en bleu, rouge, et turquoise correspondent aux instants d'envoi réel de chacun des nœuds. Au démarrage du système, les nœuds sont décalés par rapport à l'instant de référence défini par le concentrateur, mais sont parfaitement dans leur slot dès le quatrième échange de données. La partie basse de la figure 107 présente, pour chaque trame de mesure, le nombre de tops d'horloge séparant l'instant théorique défini par rapport au concentrateur de ceux de chaque nœud. La couche physique fonctionnant à 200 MHz, un top d'horloge correspond à 5 ns, et l'erreur initiale est ainsi supérieure à 1,5 us, alors qu'elle retombe à 0 à partir de la quatrième trame. Cette erreur initiale a été volontairement introduite de façon à vérifier le comportement du TDMA. Enfin, au troisième envoi, seul le concentrateur parle. Les nœuds ont en effet repéré qu'un décalage trop important risquerait de compromettre leur capacité à émettre dans le slot qui leur est attribué et de brouiller ainsi leurs voisins. Ils attendent donc la trame suivante.

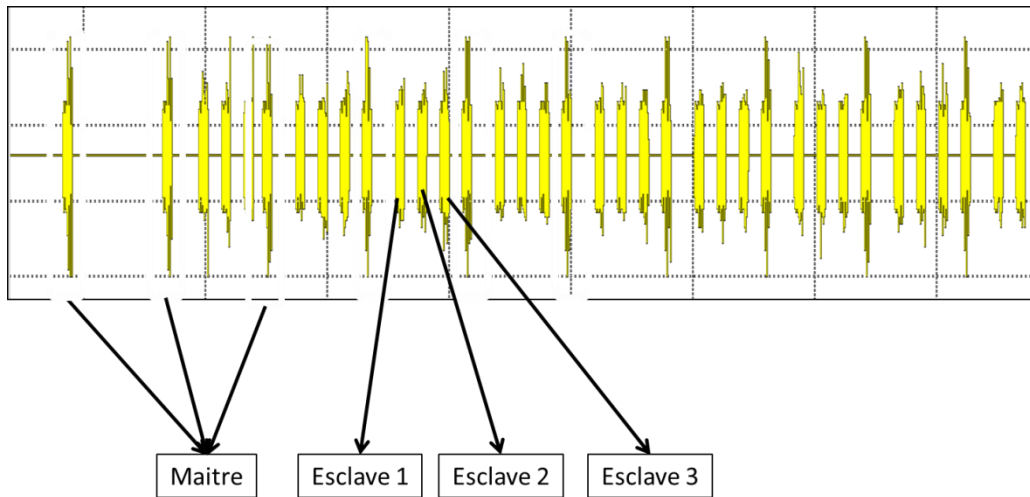


FIGURE 106 : ECHANGES DE DONNEES ENTRE LE CONCENTRATEUR ET TROIS NCEUDS DE MESURE SUR LE CANAL RADIO

La simulation réalisée montre que la couche physique est parfaitement fonctionnelle, que les choix d'architecture effectués pour réduire la latence de la couche physique sont opérationnels avec la technique TDMA, et que la marge de 10% sur chaque slot est bien suffisante. Cependant, ne s'agissant ici que d'une simulation, il n'y a pas de dérive des horloges avec le temps, et une implémentation physique est indispensable à la validation définitive de l'ensemble de la couche physique.

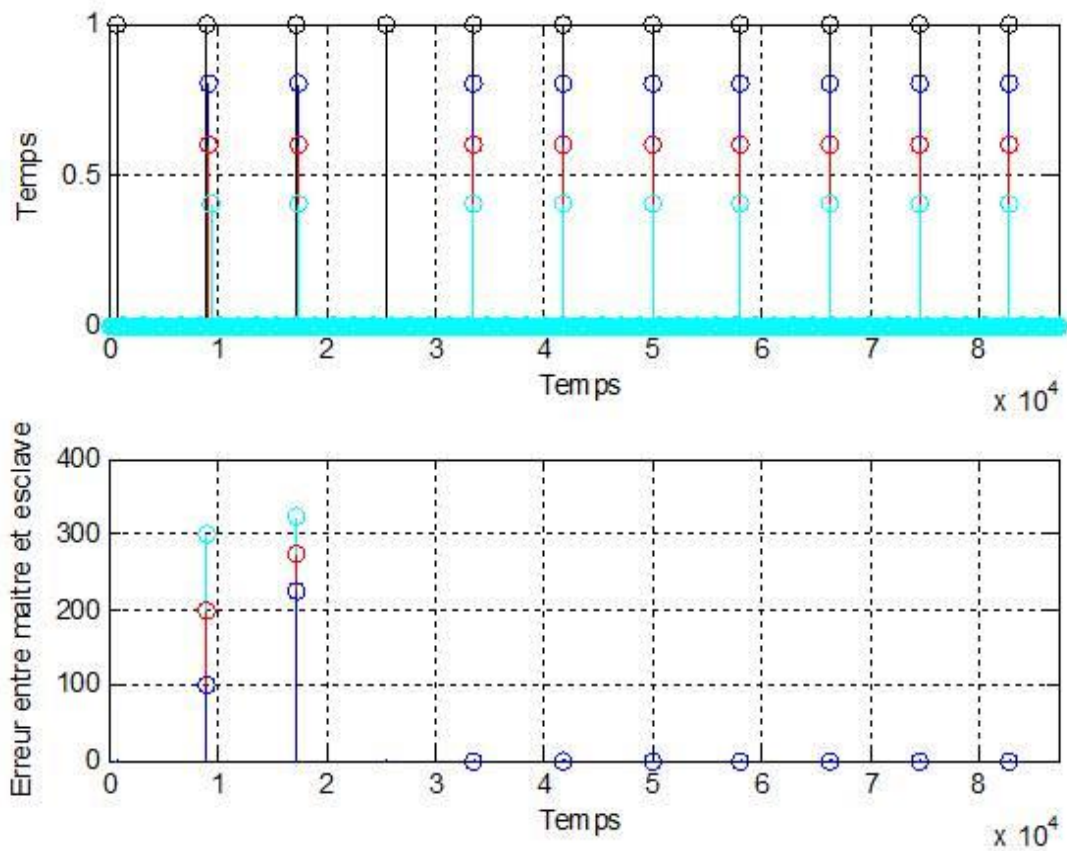


FIGURE 107 : INSTANTS DE PRISE DE MESURES DES DIFFERENTS ELEMENTS DU RESEAU

3 MESURES ET RESULTATS

3.1 SIGNAL TEMPOREL ET FREQUENTIEL OFDM

La figure 108 présente le signal analogique en sortie du convertisseur numérique/analogique sur les cartes HiTech Global au niveau de la voie I. Sur la voie Q, le signal est parfaitement identique. Le pic et le signal triangulaire visibles au début ont été ajoutés afin de permettre le déclenchement de l'oscilloscope au début de la trame grâce à un motif connu. Ils ont également vocation à garantir le bon déroulement de la conversion numérique/analogique, c'est-à-dire par exemple la bonne synchronisation des horloges ou l'absence d'inversion de données. A leur suite, les deux symboles de synchronisation sont aisément reconnaissables. Enfin, on constate que la conversion numérique/analogique est ici parfaitement propre.

On utilise la carte HiTech Global qui permet de choisir la fréquence de fonctionnement. Ainsi, afin de valider que la fréquence maximale de fonctionnement du circuit est bien de 263 MHz comme mentionné plus haut, on effectue un balayage de fréquence d'une valeur nulle jusqu'à une fréquence de 300 MHz. Il en ressort que le système est fonctionnel jusqu'à 255 MHz, mais n'est plus opérationnel passée cette limite.

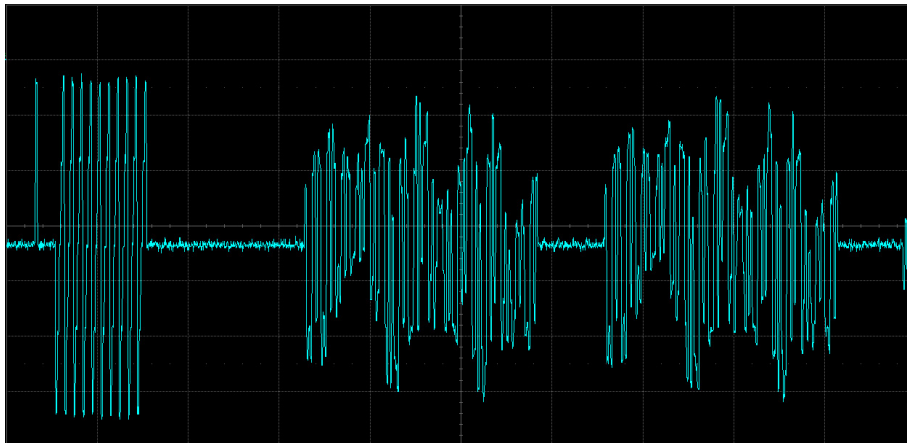


FIGURE 108 : SYMBOLE DE SYNCHRONISATION OFDM EN SORTIE DU CONVERTISSEUR ANALOGIQUE/NUMERIQUE

La carte HiTech Global réclame cependant le recours à un synthétiseur capable de générer l'horloge de cadencement du convertisseur numérique/analogique et du cœur numérique du FPGA. Cet appareil particulièrement volumineux nécessitant un raccordement au réseau électrique, nous porterons notre choix sur les cartes RedRapids qui intègrent directement cette fonction.

La figure 109 présente, en jaune, les symboles OFDM émis en continu à partir de données aléatoires. La couche MAC, chargée de générer des trames de 2 symboles, est désactivée dans ce circuit afin que l'émission soit permanente.

Les symboles, qui transportent des données aléatoires, sont tous différents. Il est cependant aisé de distinguer les temps de garde séparant deux symboles et ainsi de déterminer la durée d'un symbole. Cette figure met enfin en évidence l'un des problèmes majeurs inhérents à la technologie OFDM, à savoir la forte valeur de la PAPR, caractérisée par l'apparition de pics.

La moyenne du spectre bande de base du signal est représentée en vert sur la figure 109. On constate que le spectre OFDM est plat. On voit également que des porteuses ont été supprimées autour de la fréquence nulle afin de permettre le couplage capacitif entre la couche physique et la tête RF, autorisant

ainsi une conversion directe. On remarque ensuite la présence des 5 porteuses pilotes caractérisées par des trous dans le spectre. Ces dernières n'apparaissent habituellement pas aussi clairement dans le spectre car elles transportent, au même titre que les données, une valeur existant dans la constellation. Mais on fait ici le choix de leur associer la valeur 0 afin de les visualiser et de s'assurer du bon déroulement de leur insertion. On observe enfin un creux en bord de spectre, correspondant aux porteuses hautes fréquences supprimées dans un souci de simplification des filtres.

Si le signal semble se répéter, c'est parce que la seconde partie est en fait l'image de la partie négative du spectre, qui, le signal étant réel, est identique à la partie positive.

La largeur totale du spectre présenté est de 125 MHz seulement, au lieu des 200 MHz attendus. En effet, si le circuit numérique pourrait tout à fait fonctionner jusqu'à 219 MHz, la carte RedRapids utilisée pour le démonstrateur intègre une horloge interne cadencée à 500 MHz qu'il faudrait donc pouvoir diviser par 2,5 pour atteindre 200 MHz. Or, celle-ci ne peut être divisée que par 2, ce qui donnerait une fréquence 250 MHz, supérieure à la limite de fonctionnement du circuit, ou par 4. Il n'existe donc ici pas d'autre choix que de diviser l'horloge par 4, et de se contenter d'une fréquence de 125 MHz pour l'ensemble des mesures présentées.

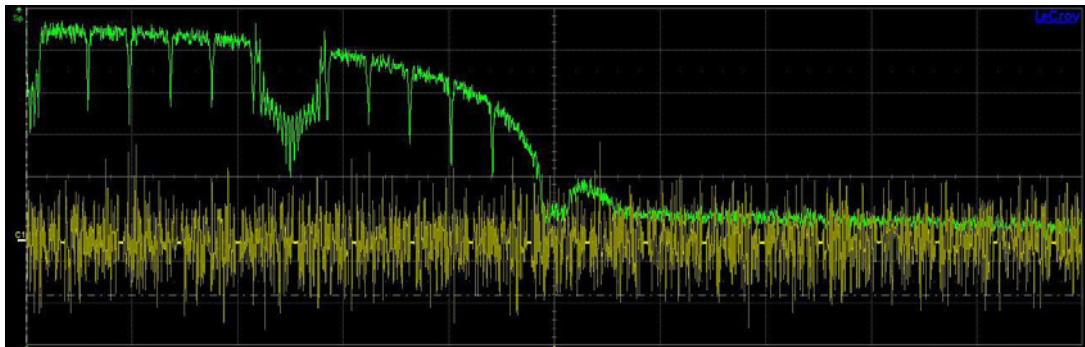


FIGURE 109 : EMISSION CONTINUE DE SYMBOLES OFDM ET SPECTRE ASSOCIE

En OFDM, chaque porteuse transportant une donnée, le spectre peut être utilisé pour la détection d'éventuels problèmes de conversion temporelle, et en particulier au moment de la conversion numérique/analogique. Cette particularité est présentée en figure 110.

Le signal jaune est correctement converti et présente un spectre propre. Le signal rose semble correct en temporel, mais des fréquences nulles apparaissent dans le spectre, et les porteuses supprimées sont peu repérables en raison d'erreurs de synchronisation des circuits d'horloges au niveau du convertisseur. Enfin, dans le cas du signal bleu, la conversion ne se fait pas correctement, et ni les porteuses supprimées, ni les pilotes ne sont visibles dans le spectre.

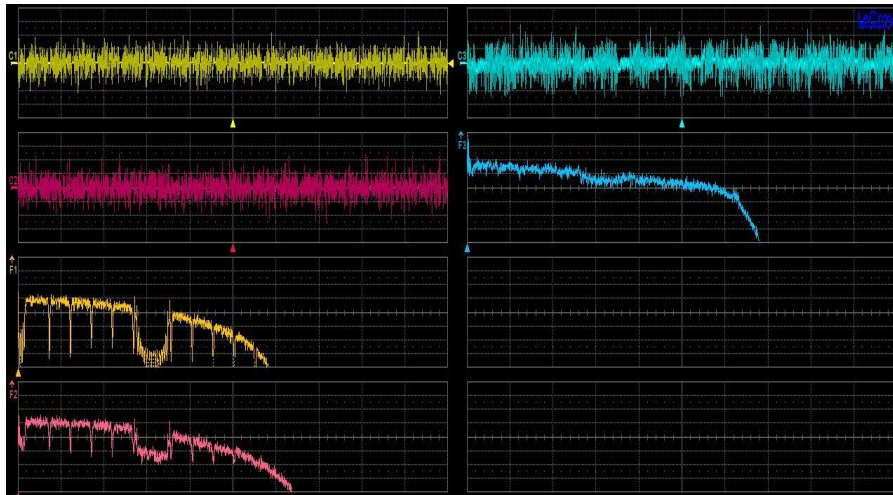


FIGURE 110 : EXEMPLES D'ERREURS LORS DE LA CONVERSION NUMERIQUE/ANALOGIQUE

Le spectre présenté jusqu'ici étant un spectre bande de base, il est donc double. Pour supprimer la partie haute du spectre qui apparaît en double, on effectue un filtrage au moyen d'un filtre passe bas de fréquence de coupure à 3 dB de 50 MHz. Bien que la largeur du spectre de 125 MHz/2, c'est-à-dire 62,5 MHz, soit supérieure à la fréquence de coupure du filtre, la forme ne s'en trouve pas modifiée puisque des précautions ont été prises sur les porteuses de bout de bande. Le spectre du signal après filtrage est présenté en figure 111.

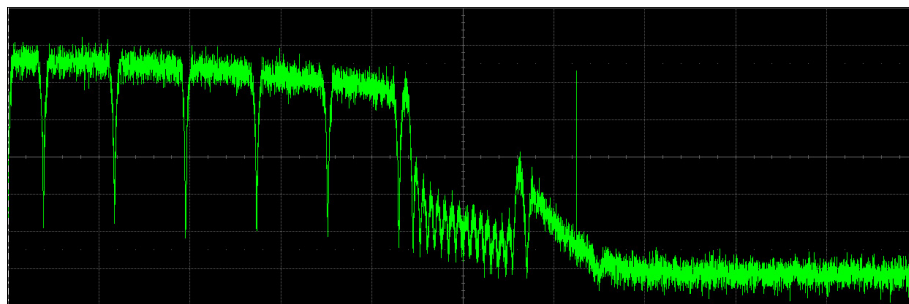


FIGURE 111 : SPECTRE DU SIGNAL APRES FILTRAGE

Le signal en temporel après filtrage est présenté en figure 112. On retrouve ici un signal quasiment identique au signal obtenu avec le modèle numérique Simulink. La couche MAC est réactivée, et l'intégralité d'une trame de données, contenant les deux symboles de synchronisation et les deux symboles OFDM, est donc visible.

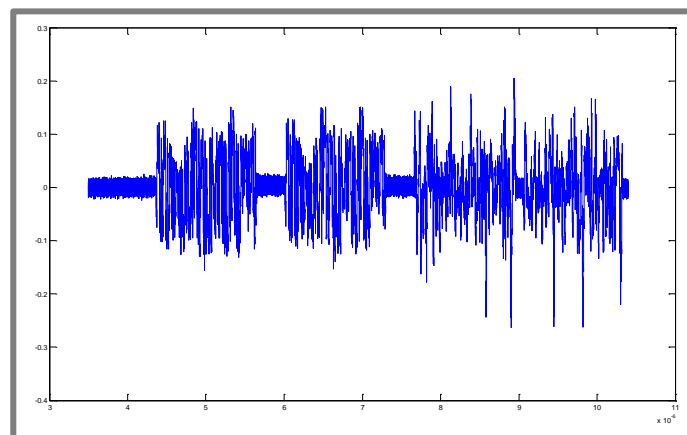


FIGURE 112 : SIGNAL EN TEMPOREL APRES FILTRAGE

Après transposition par la tête RF à une fréquence de 6,8 GHz, on obtient le spectre présenté en figure 113. Sa largeur est toujours de 125 MHz mais on note au centre du spectre la présence de la fréquence porteuse liée au recours à une méthode de conversion directe.

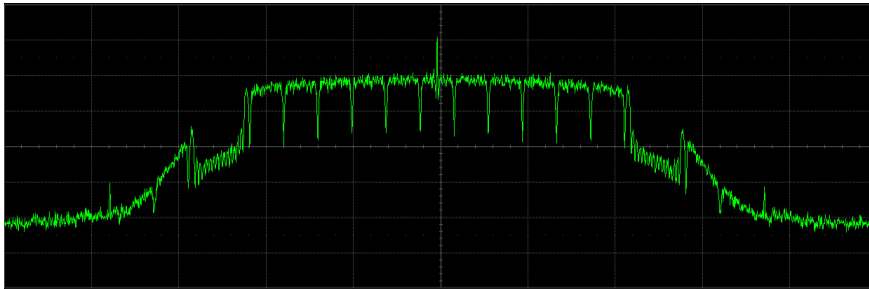


FIGURE 113 : SPECTRE OFDM TRANSPOSE AUTOUR DE 6,8 GHz

Ce même signal, représenté cette fois dans le domaine temporel, apparaît en figure 114. Les deux symboles de synchronisation ainsi que les deux symboles OFDM d'une trame MAC sont bien visibles. Le bruit est ici plus grand que sur le signal en bande de base en raison de l'étape de mélange.

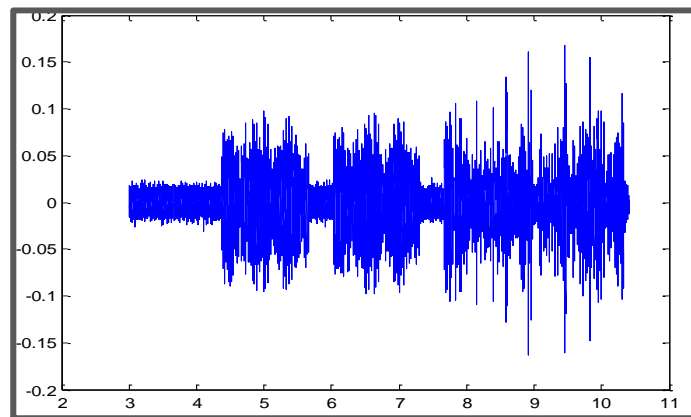


FIGURE 114 : SIGNAL TRANSPOSE AUTOUR DE 6,8 GHz

La visualisation du signal, dans le domaine temporel comme dans le domaine fréquentiel, à chaque étape de la création d'un signal UWB OFDM autour de la fréquence 6,8 GHz permet de s'assurer du bon déroulement de l'opération et de vérifier que l'émetteur remplit correctement son rôle.

3.2 VALIDATION DU RECEPTEUR

Le fonctionnement de l'émetteur étant satisfaisant, on cherche désormais à valider le choix du récepteur. Le signal présenté en figure 115 est obtenu après propagation à quelques mètres, sans utilisation de la tête radiofréquence, et avec un câble reliant les deux modules.

La courbe rouge correspond ici au signal émis, et la courbe bleue au signal reçu. L'oscilloscope utilisé ayant une fréquence d'échantillonnage de 800 MHz, on a quatre points sur le signal bleu pour chaque point du signal rouge. La liaison entre les modules est filaire et n'introduit donc presque aucun bruit. En entrée du convertisseur analogique/numérique, on retrouve alors bien le signal émis.

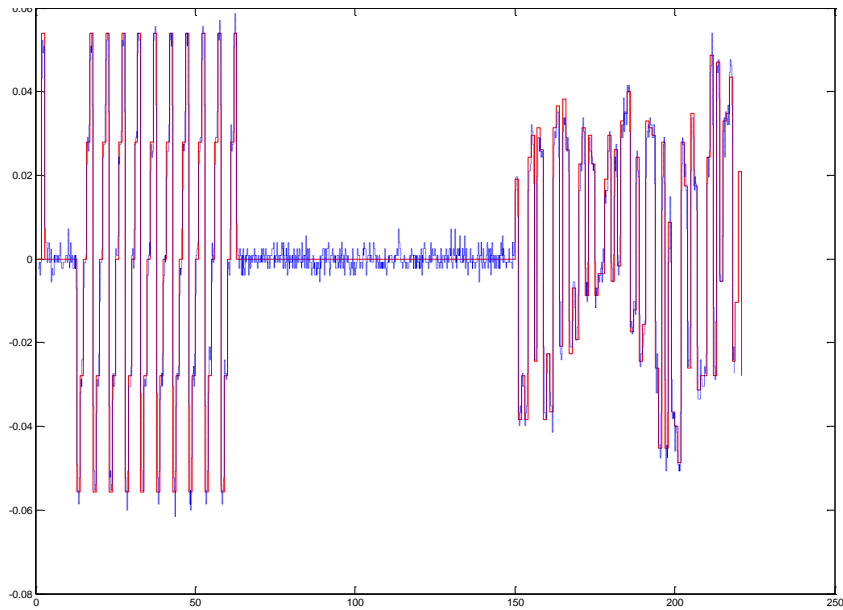


FIGURE 115 : COMPARAISON ENTRE LE SIGNAL EMIS ET LE SIGNAL REÇU
APRES PROPAGATION DANS UN CABLE

Avec la tête RF, et après une propagation de quelques mètres dans l'air et l'amplification décrite en première partie, on obtient le signal présenté en figure 116.

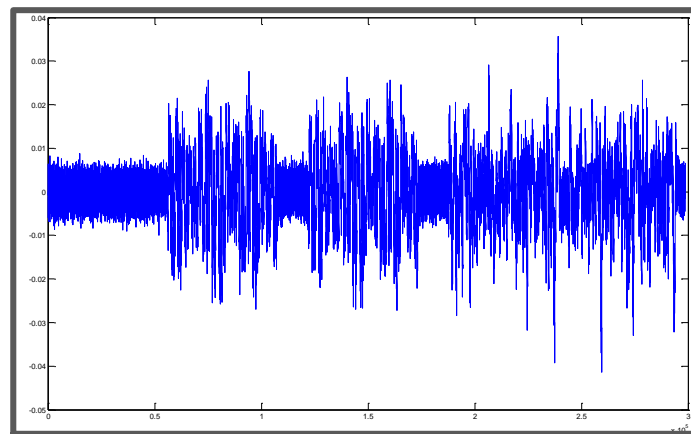


FIGURE 116 : SIGNAL APRES PROPAGATION DANS L'AIR

La figure 117 présente la superposition de ce signal et du signal émis. Malgré la transposition du signal de l'émetteur à la fréquence porteuse, la propagation dans un canal bruité ainsi que la transposition en bande de base au niveau du récepteur, le signal et les symboles émis sont parfaitement reconnaissables en entrée du convertisseur analogique/numérique du récepteur.

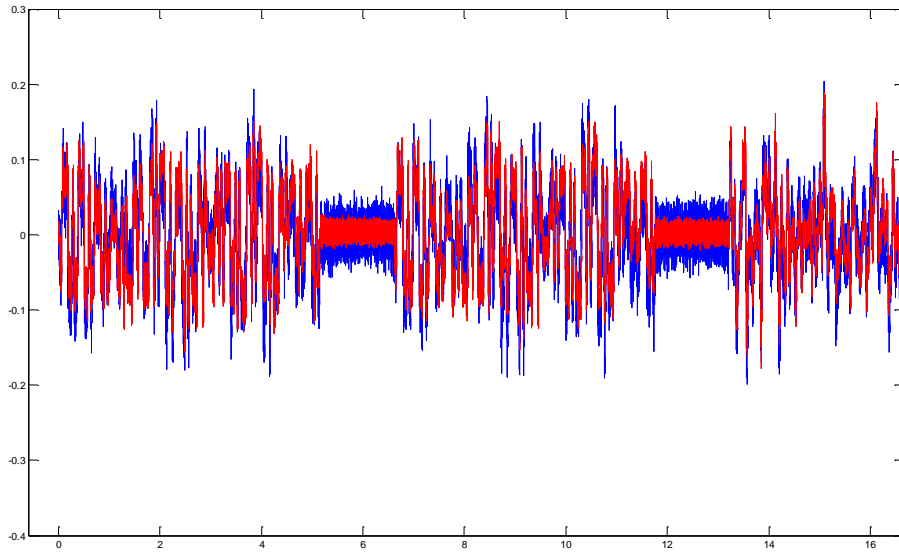


FIGURE 117 : SUPERPOSITION DU SIGNAL EMIS ET DU SIGNAL REÇU

La figure 118, détail de la figure précédente, fait clairement apparaître l'analogie des deux signaux. Le signal présent en entrée du convertisseur analogique/numérique du récepteur étant en tous points similaire au signal émis, on peut effectuer la conversion analogique/numérique nécessaire au décodage des données transmises par l'intermédiaire de la puce numérique.

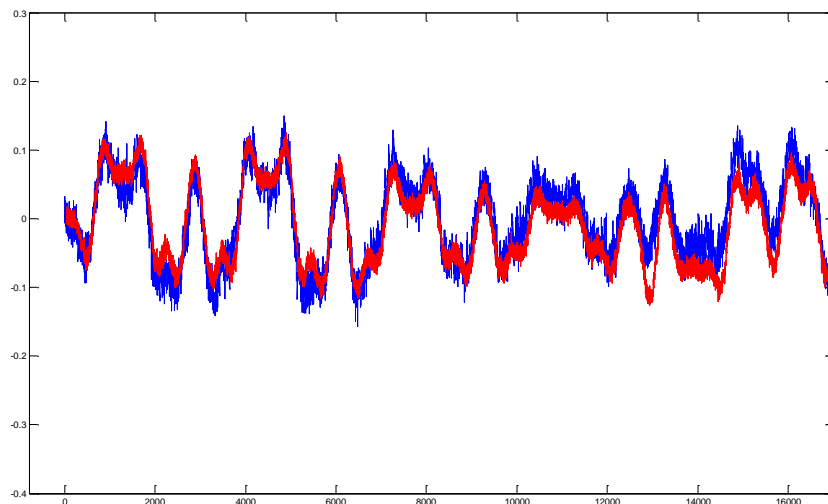


FIGURE 118 : DETAIL DE LA SUPERPOSITION DU SIGNAL EMIS ET DU SIGNAL REÇU

A cette étape ont été rencontrées deux types de problèmes auxquels il conviendra d'accorder une attention toute particulière à l'occasion de la réalisation d'un nœud complet. En effet, dans un premier temps, le signal après numérisation avait l'allure présentée en figure 119, affichant des pics anormaux, absents du signal analogique. Ce phénomène est consécutif de deux problèmes : un sous-dimensionnement des cartes RedRapids, et une mauvaise impédance d'entrée du convertisseur. D'abord, les cartes RedRapids sont installées dans des boîtiers e-DAQ node chargés de l'alimentation électrique. Dans certaines situations, ces derniers sont incapables de fournir le courant nécessaire au fonctionnement du circuit numérique, entraînant l'effondrement de la tension d'alimentation, et la conversion est alors incorrecte. Ensuite, une mauvaise impédance d'entrée des convertisseurs, c'est-à-dire légèrement différente de 50Ω , entraîne des réflexions du signal et l'apparition de parasites lors de

la numérisation. Ce dernier problème a pu être résolu grâce à la modification des valeurs des composants du circuit d'adaptation.

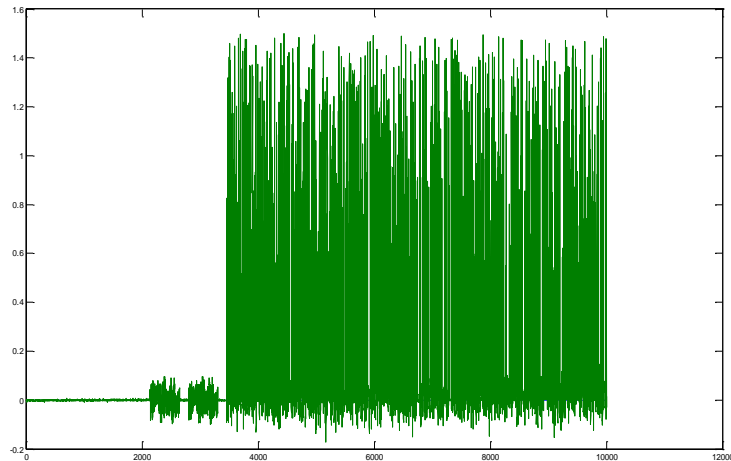


FIGURE 119 : SIGNAL NUMERISE PRESENTANT DES PICS ANORMAUX

En laboratoire, c'est-à-dire avec une distance inférieure à 5 mètres entre deux éléments, la communication est parfaite, et aucune erreur n'apparaît après décodage de Viterbi et décodage bloc. La figure 120, qui compare les données binaires émises aux données binaires reçues, met en évidence leurs similitudes. Le message transmis est donc décodé sans erreur par son destinataire.

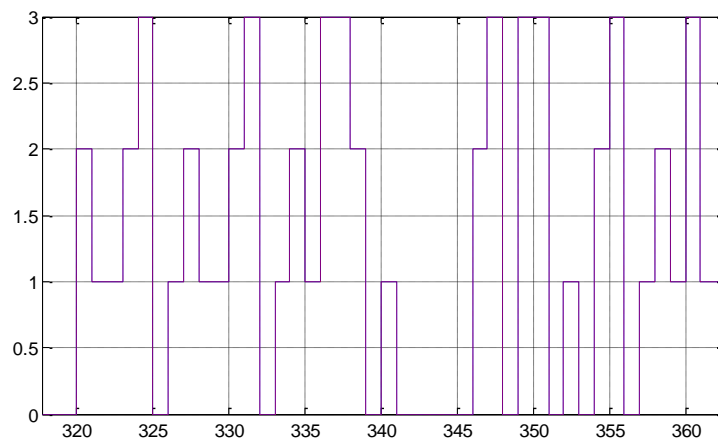


FIGURE 120 : COMPARAISON ENTRE LES DONNEES BINAIRES EMISES ET REÇUES

La prise en compte des problèmes d'impédance et d'alimentation permet le développement d'un récepteur capable de remplir son rôle de manière parfaitement satisfaisante. Il est donc désormais possible de procéder au test d'un ensemble complet.

3.3 DEMONSTRATEUR AVEC PARTAGE DU CANAL

On présente ici la validation complète du système avec la couche MAC.

Les données suivantes ont été présentées à l'occasion du « Student Contest : Software Defined Radio » d'IMS 2011 [146]. Le développement, réalisé en collaboration avec Thomas Beluch et Florian Perget, s'est vu attribuer le premier prix et a été cité dans le numéro de janvier 2012 de Microwave Magazine [147]. Les travaux permettant le partage du canal temporellement entre les éléments communiquant a été réalisé dans un contexte totalement indépendant du projet SACER.

Chaque élément du réseau intègre un émetteur et un récepteur au sein d'un même FPGA. La figure 121 représente un nœud de communication complet comprenant le circuit numérique FPGA, l'oscillateur contrôlé en tension, le mélangeur IQ, plusieurs amplificateurs, des filtres, ainsi que deux antennes Vivaldi.

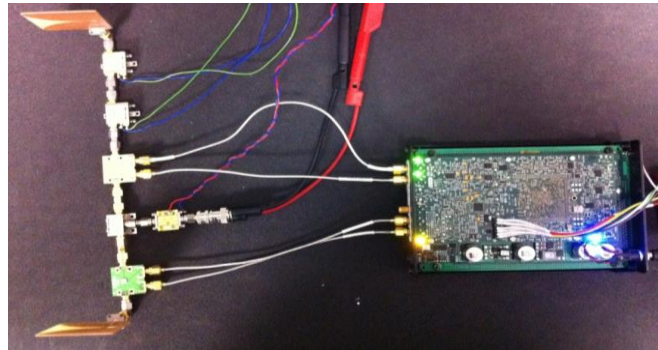


FIGURE 121 : NŒUD DE COMMUNICATION COMPLET

Ce nœud de communication complet a pour vocation la validation de la couche physique avec plusieurs nœuds communiquant dans un environnement proche des conditions d'exploitation du réseau de capteurs.

La figure 122 (gauche) montre l'environnement de test du nœud. Une plaque métallique sert à recréer le comportement d'une aile d'avion, et une antenne plate à diagramme de rayonnement couché y est collée. L'antenne est connectée à l'ensemble de la tête RF, elle-même reliée au FPGA (ici posé sur l'établi). En conditions d'exploitation, ce nœud est relié à 8 éléments sensibles. Enfin, l'ensemble est connecté à l'oscilloscope et à l'analyseur de spectre afin de valider la qualité de la communication radio, c'est-à-dire de la couche physique.



FIGURE 122 : ENVIRONNEMENT DE TEST DU NŒUD(GAUCHE) ET DU CONCENTRATEUR (DROITE)

La figure 122 (droite) présente les conditions de test du concentrateur. Un cornet est positionné à une hauteur approximative d'1,5 m au-dessus du sol, derrière un hublot. Il est connecté à une tête RF, reliée à un FPGA, le tout étant branché à l'oscilloscope et à l'analyseur de spectre.

La distance séparant le concentrateur du nœud présenté plus haut est de 5 m.

En l'absence de contrôle automatique de gain, et afin d'éviter que l'un des deux éléments ne se trouve dans un creux d'interférences destructives ou que l'entrée du récepteur ne soit saturée en raison

d'interférences constructives, le positionnement du nœud et du concentrateur doit être effectué avec précision. On place ainsi le récepteur de façon à maximiser l'amplitude du signal en entrée du convertisseur analogique/numérique.

Le spectre du signal ainsi transmis, d'une largeur de 125 MHz¹¹, est présenté en figure 123.

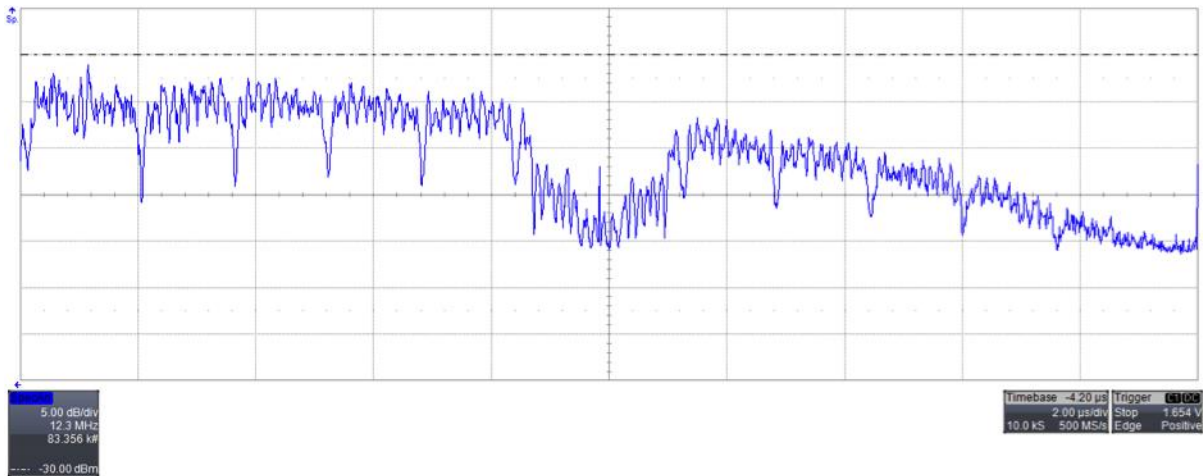


FIGURE 123 : SPECTRE DU SIGNAL

La représentation temporelle du signal apparaît en figure 124. La trame émise par le nœud de mesure figure en rose, celle émise par le concentrateur en jaune. Le slot utilisé par le nœud de mesure est le slot n°3 et il n'existe clairement aucun brouillage entre les émissions du concentrateur et celles du nœud de mesure. La figure montre également que l'instant de début d'émission du nœud de mesure ramené par rapport à la référence temporelle du concentrateur, respectivement figurés en vert et en bleu, sont parfaitement simultanés, preuve du bon fonctionnement des échanges de données.

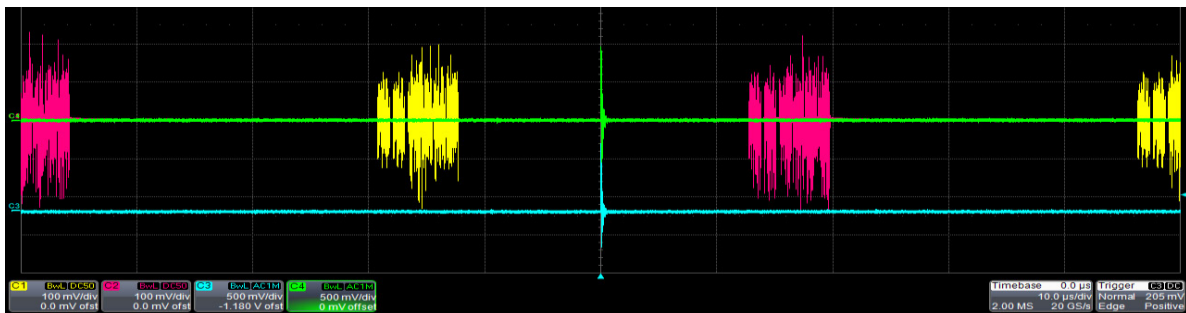


FIGURE 124 : ECHANGE DE DONNEES ET INSTANTS DE PRISE DE MESURE POUR LE NŒUD ET LE CONCENTRATEUR

On effectue ensuite un zoom afin de vérifier cette bonne coordination ou d'identifier un éventuel décalage temporel. Ces décalages n'excèdent cependant jamais les 50 ns, ce qui reste tout à fait satisfaisant, et permet de conclure au parfait fonctionnement de la couche de communication. L'ajout du codeur bloc permet d'informer la couche MAC qu'une donnée reçue n'a pu être corrigée et ainsi rejeter l'utilisation des données erronées en cas d'erreur sur le lien.

La figure 125 présente la démonstration du système complet telle qu'elle a été proposée lors de la conférence IMS. Le montage comprend deux nœuds communicants en UWB-OFDM, équipés chacun d'une antenne de type Vivaldi.

¹¹ Premier multiple de la fréquence du synthétiseur : 500 MHz, inférieur à la fréquence de fonctionnement du circuit numérique : 200 MHz

La couche physique complète, intégrant l'émetteur, le récepteur ainsi que la gestion MAC, a pu être validée. Son débit de données est ainsi parfaitement compatible avec les besoins des industriels du secteur aérospatial. De plus, la couche MAC fonctionne pleinement grâce à l'adaptation de la couche physique, et notamment à l'ajout de timestamps directement au niveau physique.

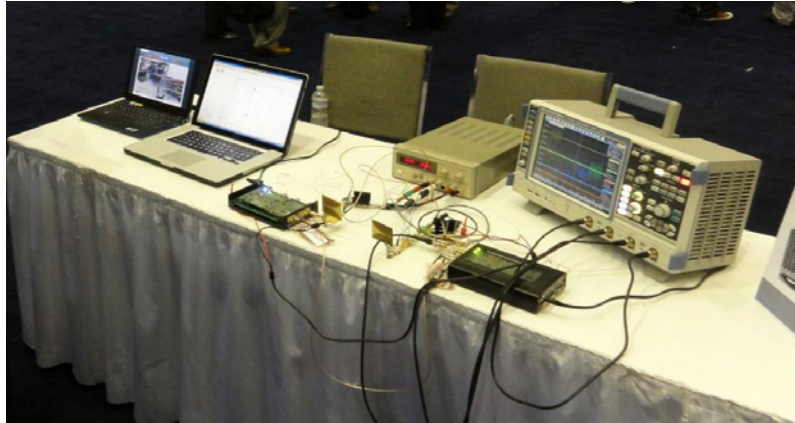


FIGURE 125 : SYSTEME COMPLET PRESENTE A L'OCCASION DE L'IMS 2011

Cependant, la consommation élevée d'un FPGA empêche la réalisation d'un nœud autonome en énergie, pourtant indispensable à la validation complète d'un réseau métrologique de 800 capteurs en condition réelles.

4 VERS UN ASIC GARANT D'UNE FAIBLE CONSOMMATION

Si les performances du circuit numérique implémenté sur FPGA sont compatibles avec l'application visée, la consommation d'un FPGA est bien trop importante. De même, son coût pouvant atteindre plusieurs milliers d'euros est particulièrement élevé, et une production limitée ne permet pas un approvisionnement en grand volume. Alors, afin de réduire la consommation, le coût de fabrication, et la taille du circuit, il convient de développer un circuit numérique spécifique (ASIC).

On recourt pour cela à la technologie 65 nm de STMicroelectronics, comparable à celle utilisée pour les Virtex 5, et dont les design kits étaient disponibles pour une évaluation des performances attendues. Cependant, le temps et les moyens ont manqué pour aboutir au développement effectif de la puce. C'est pourquoi ne seront présentés ici que des résultats de synthèse. De même, les résultats proposés ne concernent que l'émetteur, le récepteur intégrant des mémoires RAM devant être directement fournies par le fondeur qui n'ont pas pu être obtenues à temps.

Les résultats de synthèse de l'émetteur pour différentes valeurs de l'option de retiming sont détaillés dans le tableau 46, la figure 126, et la figure 127.

TABEAU 46 : PERFORMANCES DE L'EMETTEUR EN TECHNOLOGIE 65 NM

	0	1	2	3	4	5	6	7
CELLS	289102	303213	304009	304784	304784	304784	304784	304784
TIMING	2,3	2,04	2,03	2,02	2,02	2,02	2,02	2,02
FREQUENCE	434	490	492	495	495	495	495	495

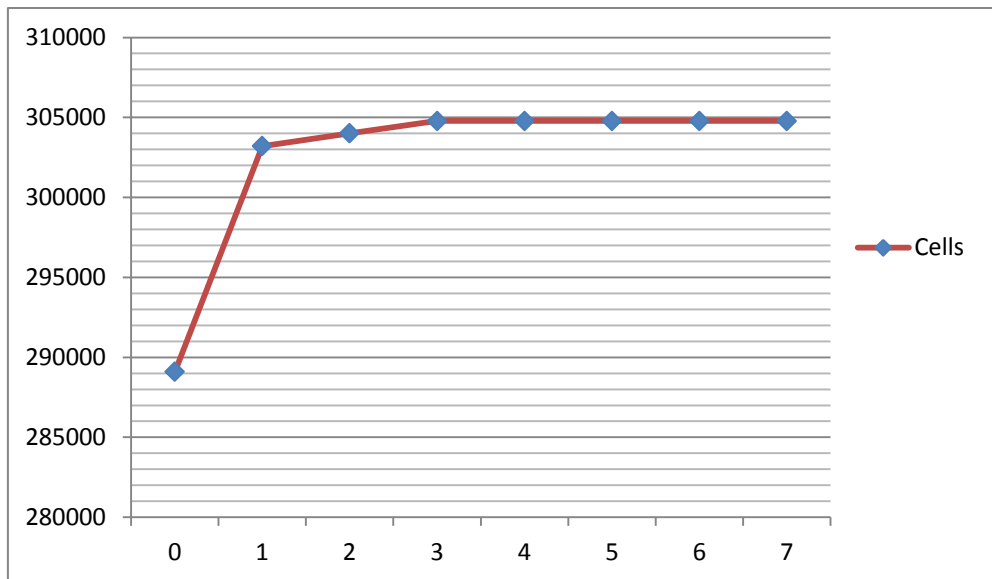


FIGURE 126: EVOLUTION DU NOMBRE DE CELLULES DE L'EMETTEUR EN FONCTION DU PARAMETRE DE RETIMING

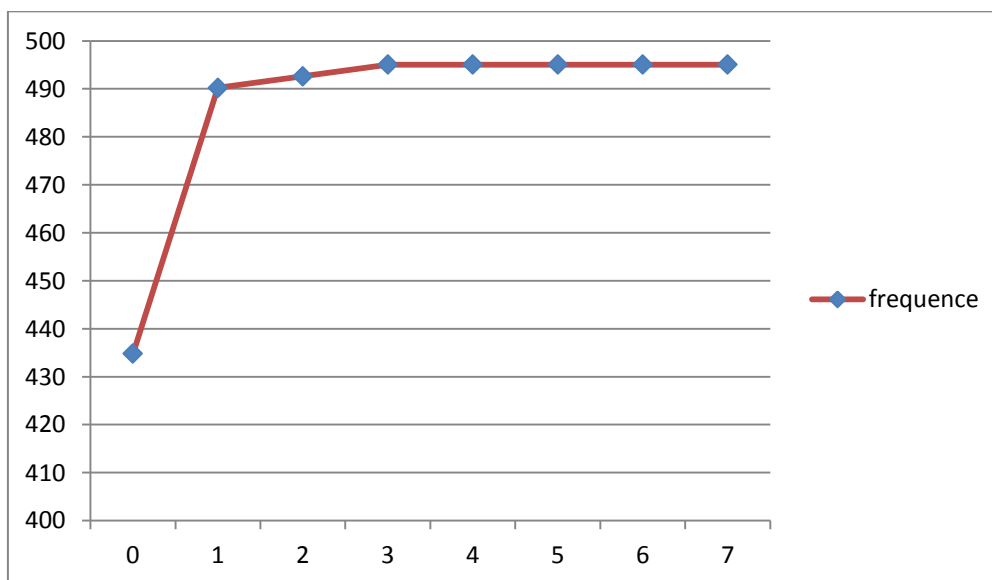


FIGURE 127 : EVOLUTION DE LA FREQUENCE MAXIMALE DE FONCTIONNEMENT DE L'EMETTEUR EN FONCTION DU PARAMETRE DE RETIMING

La fréquence de fonctionnement du cœur numérique du circuit dépasse ici largement les 200 MHz nécessaires, ce qui pourrait permettre d'augmenter le débit, et de ce fait la marge TDMA ou le nombre de nœuds d'une trame.

Cependant, en conservant les valeurs définies jusqu'à présent, et en faisant fonctionner le circuit numérique à une fréquence de 200 MHz au lieu des 500 MHz envisageables, il est possible de conserver une consommation faible. Cette dernière est en effet directement liée à la fréquence de basculement des portes logiques et donc de l'horloge de cadencement du circuit.

Le programme de synthèse DCompiler permet d'estimer la consommation finale de la puce en fonction de sa fréquence maximale de cadencement, tel que présenté dans le tableau 47 et en figure 128.

TABLEAU 47 : CONSOMMATION EN ACTIVITE ET CONSOMMATION DE FUITE DE L'EMETTEUR EN TECHNOLOGIE 65 NM

	0	1	2	3	4	5	6	7
CONSOMMATION	59,98	68,84	68,79	69,12	69,12	69,12	69,12	69,12
LEACKAGE	195,47	224,04	226,12	229,29	229,29	229,29	229,29	229,29

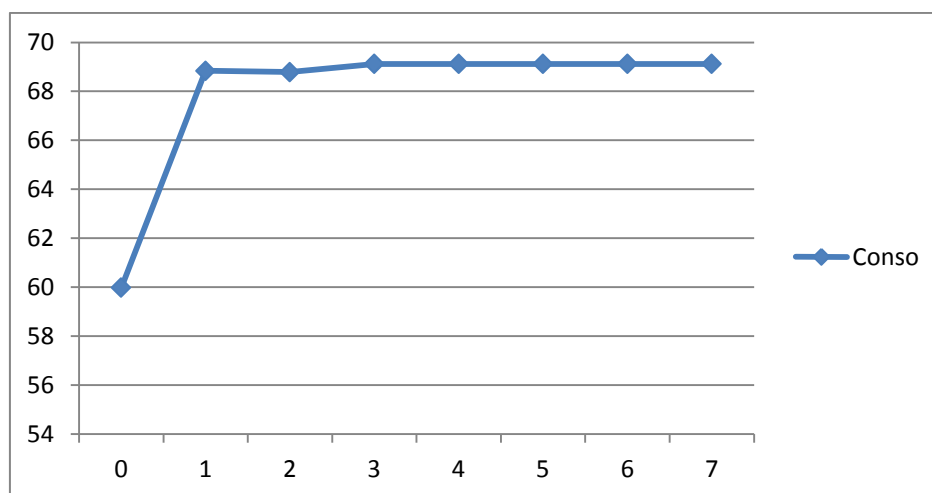


FIGURE 128 : EVOLUTION DE LA CONSOMMATION DE L'EMETTEUR EN FONCTION DU PARAMETRE DE RETIMING

A fréquence maximale, la consommation électrique en activité de l'émetteur avoisine les 70 mW. On considère que la consommation du récepteur devrait être de l'ordre de 150 mW. La consommation du couple émetteur-récepteur est ainsi élevée puisqu'elle dépasse les 200 mW, mais il convient de noter que le circuit fonctionne ici bien plus rapidement que nécessaire, et qu'aucun mécanisme de mise en sommeil en cas d'inactivité n'est activé. On estime donc qu'il est relativement aisé de limiter la consommation globale d'un nœud de communication à moins de 100 mW.

Les économies d'énergie peuvent aussi se faire grâce à une mise en veille des nœuds lorsqu'ils ne sont pas utilisés. Cette mise en sommeil des nœuds est gérée par la couche MAC. Il est ainsi prévu que la couche physique ainsi que l'ensemble du système soient mis en sommeil entre deux réceptions. Les horloges étant synchronisées à chaque émission de trame, on peut aisément prévoir un réveil périodique lorsque l'élément doit recevoir une trame. Le gain en consommation est ainsi particulièrement conséquent puisque l'émetteur et le récepteur ne doivent rester allumés qu' 1/9 du temps. Cet allumage/arrêt étant directement piloté par la couche MAC, il n'est pas décrit dans la couche physique.

5 CONCLUSION

Les résultats présentés pour l'émetteur montrent qu'une fréquence de fonctionnement de 200 MHz est aisément atteignable, et que la réalisation d'un réseau de capteurs haut débit UWB-OFDM répondant aux contraintes aérospatiales est alors possible. La consommation de l'ensemble de la partie communication peut demeurer inférieure à 100 mW et être ainsi compatible avec un système autonome en énergie. Deux autres pistes visant à la diminution de cette consommation existent cependant : l'utilisation d'une fréquence de cadencement du cœur numérique finement adaptée au besoin, et le développement de mécanismes de mise en sommeil des nœuds en cas d'inactivité.

CONCLUSION GENERALE

La mesure de la pression autour des ailes d'un appareil permet une évaluation précise de son aptitude au vol. Une cartographie à la fois minutieuse et régulière du profil de pression permet d'identifier précisément les zones et les conditions d'apparition de micro-turbulences pouvant conduire au décrochage ou à une surconsommation de carburant. Cette cartographie de l'aile en temps réel permet ainsi de réduire à la fois la consommation énergétique de l'avion, et les vibrations créées par ces micro-décollements du flux d'air qui peuvent être à la fois désagréables pour les passagers et néfastes pour les instruments électroniques embarqués. Dans le monde spatial, une revue de qualification particulièrement rigoureuse est nécessaire pour vérifier que la charge utile d'un satellite ne sera pas endommagée lors du lancement. Cette étape permet de valider l'aptitude d'un satellite à être lancé de façon certaine. Le test des avions ou des satellites ainsi que de toute structure aérodynamique est aujourd'hui une étape extrêmement longue et contraignante, notamment en raison de l'utilisation de systèmes filaires. L'objectif du projet S.A.C.E.R. (Système Autonome Communiquant En Réseau) est donc d'apporter des solutions adaptées aux contraintes liées à l'installation d'un réseau de capteurs filaires.

Les systèmes à développer ont été présentés dans leurs contextes d'utilisation respectifs. La liaison radio entre les capteurs constitue aujourd'hui l'un des points technologiques bloquants au déploiement de ce type de système. La couche physique proposée pourra s'appliquer indifféremment aux deux domaines. Les contraintes retenues pour le nombre de capteurs, la fréquence d'échantillonnage et les fréquences utilisables, sont celles définies par le projet aéronautique car elles sont les plus exigeantes.

De nombreux standards visant à interconnecter sans fil des appareils autonomes en énergie coexistent déjà et ont été examinés afin d'identifier celui qui répondrait au mieux aux besoins exprimés. Il a été montré qu'aucun protocole classique dans le contexte des réseaux de capteurs ne permet d'atteindre un débit supérieur à 100 Mbits/s, condition pourtant nécessaire au déploiement des réseaux de capteurs dans le contexte aéronautique et spatial. Cependant, certains éléments qui ont été utiles dans le cadre de notre développement ont été mis en avant. Il a surtout été montré que les techniques ultra large bande sont indispensables pour répondre aux contraintes liées à la faible puissance d'émission autorisée. En combinant ces techniques avec la modulation OFDM, il est possible d'assurer le débit nécessaire à l'application. Alors, les standards comme ECMA-368 ou WiMedia sont une base pour le développement proposé.

Dans le contexte aéronautique, l'emploi de cette technique montre des variabilités très importantes et ne permet pas d'atteindre les débits nécessaires. Cependant, le taux d'erreur sur la liaison est satisfaisant pour le lien entre les nœuds et le concentrateur, même si des précautions particulières doivent être prises quant au diagramme de rayonnement et à la polarisation des antennes.

Dans le contexte satellite, un débit proche de 100 Mbits/s peut être atteint grâce à l'utilisation des antennes à fort gain de type Vivaldi, d'un répéteur passif composé soit des antennes patch soit des antennes Vivaldi, d'un réglage du « Target Link Data Rate » à 200 Mbits/s et d'un ratio sur le lien de 98% dans une direction.

Le kit évalué ne peut pas être directement utilisé dans le cadre du développement présenté en raison de sa consommation électrique supérieure à 1W et aux problèmes de synchronisation. Cependant, la conception d'un modulateur complet UWB-OFDM est envisageable tout en assurant une consommation électrique inférieure à 100 mW.

Les fortes contraintes liées au caractère industriel du projet imposent un développement rapide qui minimise les risques d'erreur de conception et permet de présenter, au plus tôt, des démonstrateurs de concept et de justifier ainsi de la levée des points durs identifiés. L'alliance des outils Simulink et

Symphony Model Compiler a permis un développement basé sur un principe de synthèse haut niveau avec une génération de code automatique autorisant un cycle de développement court en réduisant le délai séparant la définition de l'architecture de traitement du signal de sa concrétisation au sein d'un circuit numérique. L'outil et le flot de conception associé a été décrit.

Cette démarche permet également de recourir à une méthode de conception originale reprenant les principes « Spécification – Exploration – Amélioration » limitant ainsi des délais entre la disponibilité des premiers modèles d'éléments de communication et leur évaluation en conditions réelles.

L'exploration architecturale, rendue possible par les outils de synthèse automatique de code, a permis d'identifier le FPGA assurant le meilleur rapport qualité-performances-prix. Des cartes extrêmement performantes et équipées de FPGA Virtex5, identifiée comme la seule famille capable d'assurer les performances attendues, et de type SX50T-3 ont été utilisées pour réaliser de premiers démonstrateurs avec le meilleur rapport performances/qualité.

L'ensemble de l'architecture de traitement du signal mise en place pour la réalisation d'une couche physique haut débit adaptée aux contraintes propres aux réseaux de capteurs pour l'aéronautique et le spatial a ensuite été décrite.

L'architecture réseau de type arbre, le partage de canal de type TDMA et la structure de trame proposée permettent d'assurer la synchronisation des éléments avec les niveaux de précision attendus, tout en assurant un système fiable, un débit raisonnable et la prise en compte de l'ensemble des demandes des opérateurs. Le débit à l'interface PHY/MAC est ainsi d'environ 60 Mbits/s.

L'utilisation d'un codage correcteur d'erreur de type convolutionnel, l'organisation des porteuses OFDM proposée alliée au choix de préfixes et des symboles de synchronisation, permettent d'assurer une communication d'une grande robustesse. Le circuit numérique peut assurer le débit de la liaison en fonctionnant à une fréquence d'environ 200 MHz, et le signal a alors une bande passante de 200 MHz, compatible avec les règles UWB européennes.

Ensuite, l'architecture de la puce numérique présentée est choisie afin de réduire la taille et la complexité de chaque bloc et de répondre ainsi aux contraintes de faible consommation.

Une fois la structure de la couche physique destinée au traitement des données à transmettre établie, et les architectures de blocs de traitement de signal fixées et validées en simulation, une plateforme matérielle permettant la réalisation d'un démonstrateur capable de valider les concepts a été décrite. Cette dernière se compose d'un élément logique programmable, d'un bloc de conversion, ainsi que d'une tête radiofréquence associée à une antenne adaptée. Le détail de chacun des éléments a été présenté.

Les simulations réalisées montrent que la couche physique est parfaitement fonctionnelle, que les choix d'architecture effectués pour réduire la latence de la couche physique sont opérationnels avec la technique TDMA, et que la marge de 10% sur chaque slot est bien suffisante. La visualisation du signal, dans le domaine temporel comme dans le domaine fréquentiel, à chaque étape de la création d'un signal UWB OFDM autour de la fréquence 6,8 GHz permet de s'assurer du bon déroulement de l'opération et de vérifier que l'émetteur remplit correctement son rôle.

Les résultats présentés pour l'émetteur montrent qu'une fréquence de fonctionnement de 200 MHz est aisément atteignable, et que la réalisation d'un réseau de capteurs haut débit UWB-OFDM répondant aux contraintes aérospatiales est alors possible. La couche physique complète, intégrant l'émetteur, le récepteur ainsi que la gestion MAC, a pu être validée. De plus, la couche MAC fonctionne pleinement grâce à l'adaptation de la couche physique, et notamment à l'ajout de timestamps directement au niveau physique.

Si les performances du circuit numérique implémenté sur FPGA sont compatibles avec l'application visée, la consommation d'un FPGA est bien trop importante. Alors, afin de réduire la consommation, le coût de fabrication en production, et la taille du circuit, la conception d'un circuit numérique spécifique (ASIC) a été étudiée. La consommation de l'ensemble de la partie communication peut demeurer inférieure à 100 mW et être ainsi compatible avec un système autonome en énergie grâce à ce circuit.

Cette thèse présente le développement de la communication entre les capteurs pour des applications météorologiques en environnement aéronautique et spatial très contraint et la réalisation d'une maquette permettant de valider, au sol sur A340-600 la communication entre les capteurs. La transformation de la maquette de validation de concept en prototype passe par la réalisation d'un ASIC. Deux pistes visant à la diminution de la consommation ont d'ores et déjà été identifiées : l'utilisation d'une fréquence de cadencement du cœur numérique finement adaptée au besoin, et le développement de mécanismes de mise en sommeil des nœuds en cas d'inactivité.

LISTE DES PUBLICATIONS

CONGRES INTERNATIONAUX

- J.HENAUT, A.LECOINTRE, D.DRAGOMIRESCU, R.PLANA, Radio interface for high data rate wireless sensor networks. International Conference on Computing, Communications and Control Technologies (CCCT 2008), Orlando (USA), 29 Juin - 2 Juillet 2008, 6p
- J.HENAUT, D.DRAGOMIRESCU, R.PLANA, FPGA based high data rate radio interfaces for aerospace wireless sensor systems. The Fourth International Conference on Systems (ICONS 2009), Gosier (France), 1-6 Mars 2009, pp.173-178
- J.HENAUT, D.DRAGOMIRESCU, F.PERGET, R.PLANA, Validation of the MB-OFDM Modulation for High Data Rate WSN for Satellite Ground Testing. 5th International Conference on Systems (ICONS 2010), Menuires (France), 11-16 Avril 2010, pp.41-46
- J.HENAUT, A.HAKIRI, P.BERTHOU, D.DRAGOMIRESCU, T.GAYRAUD, R.PLANA, Wireless field buses for aerospace ground and in-flight testing: an experiment. 8th IFAC International Conference on Fieldbuses & Networks in Industrial & Embedded Systems (FeT'2009), Ansan (Corée), 20-22 Mai 2009, pp.89-9
- J.HENAUT, T.BELUCH, D.DRAGOMIRESCU, R.PLANA, Mostly digital wireless ultrawide band communication architecture for software defined radio. International Microwave Symposium (IMS 2011), Software Defined Radio Contest, Baltimore (USA), 5 - 10 Juin 2011
- J.HENAUT, D.DRAGOMIRESCU, R.PLANA, High Level Synthesis of High Data Rate Metrology Wireless Sensor Network for Aerospace Applications. Synopsys User Group (SNUG 2011), Grenoble (France), 23 Juin 2011
- N.NASREDDINE, J.L.BOIZARD, J.Y.FOURNIOLS, J.HENAUT, D.DRAGOMIRESCU, A.COUSTOU, VHDLAMS behavioral models for the simulation of wireless sensors networks. 6th International Multi Conference on Systems, Signals and Devices (SSD'09) International Conference on Sensors, Circuits and Instrumentation Systems (SCI), Djerba (Tunisie), 23-26 Mars 2009, pp.214-216
- A.HAKIRI, P.BERTHOU, J.HENAUT, D.DRAGOMIRESCU, T.GAYRAUD, Performance Evaluation of Wireless Sensor Network for Spacial and Aeronautic Systems. International Conference on Telecommunications (IEEE ICT 2010), Doha (Qatar), 5-7 Avril 2010, 8p.

CONGRES NATIONAUX

- J.HENAUT, D.DRAGOMIRESCU, R.PLANA, Développement d'un réseau de capteurs pour des applications aérospatiales: topologie réseau et interface radio. Journées Nationales du Réseau Doctoral en Microélectronique (JNRDM 2010), Montpellier (France), 7-9 Juin 2010, 4p.
- J.HENAUT, D.DRAGOMIRESCU, R.PLANA, Adéquation algorithme. Architecture matérielle dans le cadre du développement d'interfaces radio haut débit pour les réseaux de capteurs. GDR SOC-SIP, Paris (France), 10-12 Juin 2009, 2p.
- J.HENAUT, Architecture du traitement du signal pour les réseaux de capteurs pour des applications aérospatiales. Journée de l'Ecole Doctorale GEET, Toulouse (France), 11 Mars 2010, 3p.

- T.BELUCH, F.PERGET, J.HENAUT, D.DRAGOMIRESCU, R.PLANA, Mostly digital wireless ultrawide band communication architecture for software defined radio, IEEE Microwave Magazine, Vol.13, N°1, pp.132-138, Janvier 2012

BIBLIOGRAPHIE

- [1] A. Rey, *Le Grand Robert de la Langue Française - Coffret 6 volumes, 2e ed.* Le Robert, 2009.
- [2] G. Norris, "Boeing 787 Begins Extreme Weather Tests," *Aviation Week*, Apr. 2010.
- [3] K. Daly, "Airbus A380 evacuation test: Flight exclusive from onboard the aircraft," *Flight International*, p. 2006/03/27.
- [4] J. D. Anderson, *Fundamentals of Aerodynamics, 4th Revised ed.* McGraw Hill Higher Education, 2005.
- [5] Wikipedia, "Flow separation," *Wikipedia, the free encyclopedia*. 2012.
- [6] Airbus, "A380 : AIRPLANE CHARACTERISTICS." 01-Nov-2008.
- [7] C. J. Moening, "Pyrotechnic Shock Flight Failures," *IES Pyrotechnic Shock Tutorial Program, 31st ATM, Institute of Environmental Sciences, May 1985*.
- [8] R. H. Lyon, *Random noise and vibration in space vehicles.* Shock and Vibration Information Center, U.S. Dept. of Defense: for sale by the Supt. of Docs., U.S. Govt. Print. Off., Washington, 1967.
- [9] "LE SOUND SUPPRESSION WATER SYSTEM SWS," <http://www.capcomespace.net>, 05-Feb-2012. .
- [10] P. Fortescue, G. Swinerd, and J. Stark, *Spacecraft Systems Engineering.* John Wiley and Sons, 2011.
- [11] P. Cornu, "Essais en vibrations : B.A.-BA et ABC...", *Mesures*, no. 773, p. 4, Mar. 2005.
- [12] P.-E. Dupuis, "Essais de vibrations - Mesures et exploitation des résultats," *Téchniques de l'ingénieur*, Jul. 2000.
- [13] A. Cohen, "Boeing 787 first flight a key milestone, not end of road," <http://blog.seattlepi.com>. 14-Dec-2009.
- [14] Endevo, "Global Wind and Pressure Belts," <http://pressurebelt.weebly.com>. .
- [15] J. OSTROWER, "787 first flight is just the start for gruelling programme," *Flight International*, p. 2009/12/22.
- [16] M. Holland, L. Eccles, and L. Paradis, "A pressure belt system for an airborne pressure survey," pp. 156–161.
- [17] M. H. Tanielian, W. J. Siegfried, and F. Lärmer, "MEMS Multi-sensor System for Flight Testing," *MEMS Components and Applications for Industry, Automobiles, Aerospace, and Communication*, vol. 4559, 2001.
- [18] R. D. Hanly, "Effects of transducer flushness on fluctuating surface pressure measurements," *AIAA Conference on the Exploration of the Outer Planets*, vol. -1, Mar. 1975.
- [19] "Les premiers B787 d'ANA plus lourds que prévu seront dédiés aux missions régionales," *Air Journal*.
- [20] Datus Sud-Ouest, "Commercial Website," 2012. [Online]. Available: <http://www.datus-sudouest.com/>. [Accessed: 05-Feb-2012].
- [21] Delta Technologies Sud Ouest, "Commercial Website," 2012. [Online]. Available: <http://dtso.eu/>. [Accessed: 05-Feb-2012].
- [22] Alyotech, "Commercial Website," 2012. [Online]. Available: <http://www.alyotech.fr/>. [Accessed: 05-Feb-2012].
- [23] Epsilon Ingénierie, "Commercial Website," 2012. [Online]. Available: <http://www.epsilon.fr/fr/>. [Accessed: 05-Feb-2012].
- [24] F. Chebila, "Lecteur radar pour capteurs passifs à transduction radio fréquence," *Doctorat de l'université de Toulouse, Institut National Polytechnique de Toulouse, Toulouse, 2011*.
- [25] A. Jaureguiberry, "Plan de développement Système," *SACER-10000-PDS-001-DSO*, Apr. 2007.
- [26] SACER team, "Validation de la synchronisation," *SACER-10000-NT-020-DSO*, May 2009.
- [27] Airbus, "Functionnal specifications : PT100 - Thermocouple," *SACER-10000-SPE_006-CRI*, Feb. 2007.
- [28] M. Barrault, "Functionnal specifications : Strain Gauge Application," *Intespace, SACER-10000-SPE-005-INT-2-0*, Dec. 2007.
- [29] Datus Team, "Functionnal specifications : Pressure and Acoustic Sensor Applications," *Airbus, SACER-10000-SPE-002*, Oct. 2007.
- [30] M. Paulet, "SACER : Wireless networks for pressure, acoustic, strain, accelerometric and temperature measurement," *Airbus, Toulouse, RE0700363*, Jan. 2007.
- [31] Airbus, Intespace, LAAS-CNRS, Datus Sud-Ouest, Delta Technologies, Cril Technology, and Epsilon Ingénierie, "Projet SACER : Annexe Technique," *Annexe technique dossier DGE*, Mar. 2008.
- [32] Radio Technical Commission for Aeronautics, Inc, "DO-160-E : Environmental Conditions and Test Procedures for Airborne Equipment," *DO-160-E*, Dec. 2004.
- [33] IEEE Instrumentation and Measurement Society, "Standard for Information technology -- Smart transducer interface for sensors and actuators -- Part 4: Mixed-mode communication protocols and Transducer Electronic Data Sheet (TEDS) formats," *ISO/IEC/IEEE, 1451.4*, Nov. 2003.
- [34] National Instruments, "An Overview of IEEE 1451.4 Transducer Electronic Data Sheets (TEDS)."
- [35] IEEE, "IEEE standard for a precision clock synchronization protocol for networked measurement and control systems." *Institute of Electrical and Electronics Engineers*, 2009.
- [36] European Cooperation for Space Standardization, "ECSS-Q-70-71A : Data for selection of space materials and processes." *ESA-ESTEC, 18-Jun-2004*.

- [37] MIT's Technology Review, "10 Emerging Technologies That Will Change the World," Feb-2003.
- [38] IEEE, "Commercial Website," 2012. [Online]. Available: <http://www.ieee.org>. [Accessed: 05-Feb-2012].
- [39] IEEE-Standards Association, "Commercial Website," 2012. [Online]. Available: <http://standards.ieee.org/>. [Accessed: 05-Feb-2012].
- [40] IEEE Computer Society. LAN/MAN Standards Committee. and Institute of Electrical and Electronics Engineers., IEEE standard for information technology part 11, wireless LAN medium access control (MAC) and physical layer (PHY) specifications. New York, N.Y.: Institute of Electrical and Electronics Engineers, 2007.
- [41] 802.15 Group : WPAN, "Website," 2012. [Online]. Available: <http://www.ieee802.org/15/>. [Accessed: 05-Feb-2012].
- [42] J. Kardach, "Tech History: How Bluetooth got its name," Eetimes, Apr. 2008.
- [43] Bluetooth SIG, "Official Website," 2012. [Online]. Available: www.bluetooth.org/. [Accessed: 05-Feb-2012].
- [44] Bluetooth SIG, "BLUETOOTH SPECIFICATION Version 4.0." 30-Jun-2010.
- [45] D. Sweeney, "An introduction to bluetooth a standard for short range wireless networking," in ASIC/SOC Conference, 2002. 15th Annual IEEE International, 2002, pp. 474–475.
- [46] Bluetooth SIG, "BLUETOOTH SPECIFICATION Version 2.0 + EDR." 04-Nov-2004.
- [47] Institute of Electrical and Electronics Engineers., Part 15.4: wireless medium access control (MAC) and physical layer (PHY) specifications for low-rate wireless personal area networks (LR-WPANs). New York: Institute of Electrical and Electronics Engineers, 2003.
- [48] ZigBee Alliance, "Official Website," 2012. [Online]. Available: <http://www.zigbee.org/>. [Accessed: 05-Feb-2012].
- [49] ZigBee Alliance, "ZigBee Alliance presentation Website," 2012. [Online]. Available: <http://www.zigbee.org/About/AboutAlliance/TheAlliance.aspx>. [Accessed: 05-Feb-2012].
- [50] IEEE Computer Society. LAN/MAN Standards Committee., Institute of Electrical and Electronics Engineers., and IEEE-SA Standards Board., IEEE standard for information technology telecommunications and information exchange between systems--local and metropolitan area networks--specific requirements. Part 15.4, Wireless Medium Access Control (MAC) and Physical Layer (PHY) specifications for Low-Rate Wireless Personal Area Networks (WPANs). New York, NY: Institute of Electrical and Electronics Engineers, 2006.
- [51] G. Mulligan, "The 6LoWPAN architecture," in Proceedings of the 4th workshop on Embedded networked sensors, New York, NY, USA, 2007, pp. 78–82.
- [52] HartComm, "Wireless Hart Communication Protocol." [Online]. Available: http://www.hartcomm.org/protocol/wihart/wireless_technology.html.
- [53] J. P. Norair, "Introduction to DASH7 Technologies." 16-Mar-2009.
- [54] D. Schneider, "Wireless networking dashes in a new direction," IEEE Spectrum, vol. 47, no. 2, pp. 9–10, Feb. 2010.
- [55] Ant, "Commercial Web Site." [Online]. Available: <http://www.thisisant.com/>.
- [56] dynastream innovations Inc, "Commercial Web Site." [Online]. Available: <http://www.dynastream.com/>.
- [57] Nordic Semiconductor, "Commercial Web Site." [Online]. Available: <http://www.nordicsemi.com/>.
- [58] Texas Instruments, "Commercial Web Site." [Online]. Available: www.ti.com.
- [59] Federal Communication Commission, "First report and order, ET Docket No. 98-153." Federal Communication Commission, Apr-2002.
- [60] F. Berens., "The European UWB Regulation and Standardization," presented at the WALTER UWB Workshop, ETSI, Sophia Antipolis, 2009.
- [61] I. Oppermann, M. Hämäläinen, and J. Iinatti, UWB theory and applications. John Wiley and Sons, 2004.
- [62] A. Lecointre, D. Dragomirescu, and R. Plana, "Methodology to design advanced MR-IR-UWB communication system," Electronics Letters, vol. 44, no. 24, p. 1412, 2008.
- [63] A. Lecointre, D. Dragomirescu, and R. Plana, "Design and Hardware Implementation of a Reconfigurable Mostly Digital IR-UWB Radio," Romanian Journal of Science and Technology, vol. vol 11, no. nr 4, pp. 295–318, 2008.
- [64] S. Wood and R. Aiello, Essentials of UWB, 1st ed. Cambridge University Press, 2008.
- [65] R. V. Nee, R. Prasad, and R. van Nee, OFDM for Wireless Multimedia Communications. Artech House, 1999.
- [66] N. E. L'Insalata, S. Saponara, L. Fanucci, and P. Terreni, "Automatic Generation of Low-Complexity FFT/IFFT Cores for Multi-Band OFDM Systems," in Digital System Design Architectures, Methods and Tools, 2007. DSD 2007. 10th Euromicro Conference on, 2007, pp. 361–368.
- [67] Wimedia Alliance, "Official Web Site." [Online]. Available: <http://www.wimedia.org/>.
- [68] ECMA, "High Rate Ultra Wideband PHY and MAC Standard," ECMA international, Standard, Dec. 2008.
- [69] A. Batra, "Multi-band OFDM Physical Layer Proposal for IEEE 802.15 Task Group 3a," IEEE P802.15 Working Group for Wireless Personal Area Networks (WPANs), IEEE P802.15-03/268r2, Nov. 2003.

- [70] A. Batra, J. Balakrishnan, and A. Dabak, "Multi-band OFDM: a new approach for UWB," in *Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on*, 2004, vol. 5, pp. 365–368 Vol.5.
- [71] E. Foerster, "Channel modeling sub-committee report final," Document IEEE P802.15-02/490r1-SG3a, P802.15-02/490r1-SG3a, 2003.
- [72] Wisair, "Commercial Website," 2009. [Online]. Available: <http://www.wisair.com/>. [Accessed: 23-Mar-2009].
- [73] IPERF, "iperf," 2009. [Online]. Available: <http://sourceforge.net/projects/iperf/>. [Accessed: 21-Mar-2009].
- [74] A. Ali, A. Coustou, and H. Aubert, "Wide band passive repeaters: Design and measurements," in *APSURSI*, 2009, pp. 1–4.
- [75] Universität Stuttgart, "Institut für Hochfrequenztechnik." [Online]. Available: <http://www.ihf.uni-stuttgart.de/>. [Accessed: 25-Nov-2009].
- [76] M. TERRAL and J.-C. POURTAU, "Reducing EMC verifications for future telecommunication Platforms. Reducing EMC verifications for future telecommunication Platforms," Alcatel Alenia Space, Alcatel Alenia Space Unclassified document ASP-06-EL/IP/DC-521, Jan. 2007.
- [77] B. Razavi, T. Aytur, Fei-Ran Yang, Ran-Hong Yan, Han-Chang Kang, Cheng-Chung Hsu, and Chao-Cheng Lee, "A 0.13 μ m CMOS UWB transceiver," pp. 216–218.
- [78] D. Leenaerts and J. R. Bergervoet, "Low-power receiver architecture for interference-robust UWB radio," *RF Design*, vol. Consumer Electronics, pp. 46 – 51, Aug. 2005.
- [79] A. Ismail and A. Abidi, "A 3.1 to 8.2GHz direct conversion receiver for MB-OFDM UWB communications," pp. 208–210.
- [80] S. Lou, H. Zheng, and H. Luong, "A 1.5-V CMOS Receiver Front-End for 9-Band MB-OFDM UWB System," 2006, pp. 801–804.
- [81] M. Ranjan and L. Larson, "A Sub-1mm² Dynamically Tuned CMOS MB-OFDM 3-to-8GHz UWB Receiver Front-End," 2006, pp. 438–445.
- [82] T. Aytur, Han-Chang Kang, R. Mahadevappa, M. Altintas, S. Brink, T. Diep, Cheng-Chung Hsu, Feng Shi, Fei-Ran Yang, Chao-Cheng Lee, Ran-Hong Yan, and B. Razavi, "A Fully Integrated UWB PHY in 0.13 μ m CMOS," 2006, pp. 418–427.
- [83] A. Tanaka, H. Okada, H. Kodama, and H. Ishikawa, "A 1.1V 3.1-to-9.5GHz MB-OFDM UWB transceiver in 90nm CMOS," 2006, pp. 398–407.
- [84] J. R. Bergervoet, K. S. Harish, S. Lee, D. Leenaerts, R. van de Beek, G. van der Weide, and R. Roovers, "A WiMedia-Compliant UWB Transceiver in 65nm CMOS," 2007, pp. 112–590.
- [85] R. Albu, "Architecture de communication pour les réseaux d'instrumentation sans fil," Institut National Polytechnique de Toulouse, Toulouse, 2011.
- [86] R. Albu, Y. Labit, T. Gayraud, and P. Berthou, "An energy-efficient clock synchronization protocol for Wireless Sensor Networks," in *Wireless Days (WD), 2010 IFIP*, 2010, pp. 1–5.
- [87] A. A. Markov and N. M. Nagorny, *The Theory of Algorithms*, 1st ed. Softcover of orig. ed. 1988. Springer, 2010.
- [88] P. Coussy and A. Morawiec, *High-Level Synthesis: From Algorithm to Digital Circuit*. Springer-Verlag New York Inc., 2008.
- [89] Wolfram, "Mathematica Technical Computing Software." [Online]. Available: <http://www.wolfram.com/mathematica/>.
- [90] Red Rapids, "Red Rapids - Signal Acquisition and Generation Products." [Online]. Available: www.redrapids.com/.
- [91] John W. Eaton, "GNU Octave." [Online]. Available: www.gnu.org/software/octave/.
- [92] Calerga, "Sysquake." [Online]. Available: www.calerga.com/products/Sysquake/.
- [93] MathWorks France, "Simulink Product Page." [Online]. Available: <http://www.mathworks.fr/products/simulink/>.
- [94] Consortium Scilab, "Home - Scilab WebSite." [Online]. Available: <http://www.scilab.org/>.
- [95] R. Goering, "Matlab edges closer to electronic design automation world," *EE Times*, 04-Oct-2004.
- [96] Mathworks, "MATLAB Function Reference- FFT." [Online]. Available: <http://www.mathworks.fr/help/techdoc/ref/fft.html>.
- [97] D. D. Gajski, S. Abdi, A. Gerstlauer, and G. Schirner, *Embedded System Design: Modeling, Synthesis and Verification*, 1st ed. Springer, 2009.
- [98] R. Zoss, A. Habegger, V. Bandi, J. Goette, and M. Jacomet, "Comparing Signal Processing Hardware-Synthesis Methods Based on the Matlab Tool-Chain," 2011, pp. 281–286.
- [99] B. Bailey and G. Martin, *ESL Models and their Application: Electronic System Level Design and Verification in Practice*, 1st ed. Springer, 2009.
- [100] Berkeley Design Technology Inc., "FPGAs for DSP, Second Edition: Benchmarking and competitive analysis," Oct. 2007.
- [101] Synopsys, "Synphony Model Compiler." [Online]. Available: <http://www.synopsys.com/systems/blockdesign/hls/pages/synphony-model-compiler.aspx>.
- [102] "FPGAs for DSP: An Independent Perspective," presented at the Embedded Systems Conference, San Jose, Ca, 2007.
- [103] G. Martin and G. Smith, "High-Level Synthesis: Past, Present, and Future," *IEEE Design & Test of Computers*, vol. 26, no. 4, pp. 18–25, Aug. 2009.

- [104] BDTI, "BDTI High-Level Synthesis Tool Certification Program (HLSTCP)." [Online]. Available: <http://www.bdti.com/Services/Benchmarks/HLSTCP>.
- [105] Berkeley Design Technology, Inc., "High-Level Synthesis Tools for Xilinx FPGAs," 2010.
- [106] Xilinx Inc, "DSP: Designing for Optimal Results," Advanced Design Guide, 2005.
- [107] B. Van Antwerpen, M. Hutton, G. Baeckler, and R. Yuan, "A Safe and Complete Gate-Level Register Retiming Algorithm," presented at the International Workshop on Logic & Synthesis, 2003.
- [108] Synopsys, Inc. Synplicity Business Group, "Symphony Model Compiler User Guide," 2012.
- [109] Microsemi, "Microsemi." [Online]. Available: www.microsemi.com/.
- [110] Microsemi, "Iglou Low Power FPGA series." [Online]. Available: <http://www.actel.com/products/iglooseries/>.
- [111] Xilinx, "Spartan-3 FPGA Family Data Sheet." 12-Apr-2009.
- [112] Altera, "Stratix V FPGAs: Built for Bandwidth." [Online]. Available: <http://www.altera.com/devices/fpga/stratix-fpgas/stratix-v>.
- [113] Xilinx, "Virtex-5 Family Overview." 02-Jun-2009.
- [114] Innovative Integration, "Innovative Integration." [Online]. Available: <http://www.innovative-dsp.com/>.
- [115] K. Al Agha, M.-H. Bertin, T. Dang, A. Guitton, P. Minet, T. Val, and J.-B. Viollet, "Which Wireless Technology for Industrial Wireless Sensor Networks? The Development of OCARI Technology," *IEEE Transactions on Industrial Electronics*, vol. 56, no. 10, pp. 4266–4278, Oct. 2009.
- [116] D. Sun, S. Jiang, W. Wang, and J. Tang, "WSN Design and Implementation in a Tea Plantation for Drought Monitoring," 2010, pp. 156–159.
- [117] A. H. Shuaib and A. H. Aghvami, "A Routing Scheme for the IEEE-802.15.4-Enabled Wireless Sensor Networks," *IEEE Transactions on Vehicular Technology*, vol. 58, no. 9, pp. 5135–5151, Nov. 2009.
- [118] D. Cook and S. Das, *Smart Environments: Technologies, Protocols, And Applications*. John Wiley & Sons Inc, 2004.
- [119] G. Baudoin and M. Villegas, *Radiocommunications numériques*. Paris: Dunod, 2007.
- [120] T. Beluch, D. Dragomirescu, F. Perget, and R. Plana, "Cross-Layered Synchronization Protocol for Wireless Sensor Networks," in 2010 Ninth International Conference on Networks (ICN), 2010, pp. 167–172.
- [121] T.-D. Chiueh and P.-Y. Tsai, *OFDM baseband receiver design for wireless communications*. John Wiley and Sons, 2007.
- [122] B. Muquet, Zhengdao Wang, G. B. Giannakis, M. de Courville, and P. Duhamel, "Cyclic prefixing or zero padding for wireless multicarrier transmissions?," *IEEE Transactions on Communications*, vol. 50, no. 12, pp. 2136–2148, Dec. 2002.
- [123] W. W. Peterson and E. J. Weldon, *Error-correcting codes*. Cambridge, Mass.: MIT Press, 1972.
- [124] K. Larsen, "Short convolutional codes with maximal free distance for rates 1/2, 1/3, and 1/4 (Corresp.)," *IEEE Transactions on Information Theory*, vol. 19, no. 3, pp. 371–372, May 1973.
- [125] P. Frenger, P. Orten, and T. Ottosson, "Convolutional codes with optimum distance spectrum," *IEEE Communications Letters*, vol. 3, no. 11, pp. 317–319, Nov. 1999.
- [126] R. H. Morelos-Zaragoza, *The art of error correcting coding*. Chichester: John Wiley, 2006.
- [127] J. G. Proakis and M. Salehi, *Digital communications*. Boston: McGraw-Hill, 2008.
- [128] MathWorks France, "MATLAB : Le langage du calcul scientifique." [Online]. Available: www.mathworks.fr/products/matlab/.
- [129] HiTech Global, "HTG-V5-PCIE : Virtex 5 PCI Express Gen 1 / Gen 2 Board." [Online]. Available: hitechglobal.com/boards/V5PCIExpress.htm.
- [130] HiTech Global, "HiTech Global Distribution, LLC." [Online]. Available: www.hitechglobal.com/.
- [131] Red Rapids, "Channel Express XCVR2 14/400 : Model 365." 2009.
- [132] Euvis Inc, "MD681S – High Speed > 4GHz MUXDAC : Datasheet Brief."
- [133] Texas Instruments, "16-BIT, 1.0 GSPS 2x-4x INTERPOLATING DUAL-CHANNEL DIGITAL-TO-ANALOG CONVERTER (DAC) : DAC5682z Datasheet rev D." Mar-2011.
- [134] e2v, "e2v | Hi rel semiconductors." [Online]. Available: www.e2v.com.
- [135] Texas Instruments, "ADS5474 : 14-Bit, 400-MSPS Analog-to-Digital Converter DataSheet." Jul-2007.
- [136] A. Kara Omar, "Développement d'une Architecture de Communication Sans Fil pour les Réseaux de Capteurs dans le Domaine Aérospatial," Do, Université Toulouse III - Paul Sabatier, Toulouse, 2011.
- [137] Hittite Microwave, "HMC-CO29 Datasheet : WIDEBAND VCO w/ BUFFER AMPLIFIER MODULE, 5 - 10 GHz.".
- [138] Hittite Microwave, "Hittite Microwave." [Online]. Available: www.hittite.com.
- [139] Hittite Microwave, "HMC520LC4 Datasheet : GaAs MMIC I/Q MIXER 6 - 10 GHz.".
- [140] Mini-Circuits, "Mini-Circuits Home." [Online]. Available: www.minicircuits.com/.

- [141] S. Bouaziz, A. Ali, S. Hebib, and H. Aubert, "Planar wideband microstrip antenna with inclined radiation pattern for C-band airborne applications," in *2010 Proceedings of the Fourth European Conference on Antennas and Propagation (EuCAP)*, 2010, pp. 1–4.
- [142] P. J. Gibson, "The Vivaldi Aerial," in *Microwave Conference, 1979. 9th European*, 1979, pp. 101–105.
- [143] C. LARDIÈRE, "Les outils de synthèse de FPGA affinent le séquençement," *ELECTRONIQUE INTERNATIONALE*, p. 45, Nov. 2005.
- [144] Xilinx Inc, "ChipScope Pro and the Serial I/O Toolkit." [Online]. Available: <http://www.xilinx.com/tools/cspro.htm>.
- [145] Mentor Graphics, "ModelSim - Advanced Simulation and Debugging." [Online]. Available: www.model.com/.
- [146] J. Pawlan, "Software-Defined Radio Student Design Competition," presented at the *International Microwaves Symposium*, Baltimore, Md, 2011.
- [147] T. Beluch, F. Perget, J. Henaut, D. Dragomirescu, and R. Plana, "Mostly Digital Wireless UltraWide Band Communication Architecture for Software Defined Radio," *IEEE Microwave Magazine*, vol. 13, no. 1, pp. 132–138, Jan. 2012.
- [148] Institute of Electrical and Electronics Engineers. and IEEE-SA Standards Board., *IEEE Standard for Information Technology-- Telecommunications and Information Exchange Between Systems--Local and Metropolitan Area Networks--Specific Requirements Part 3: Carrier Sense Multiple Access With Collision Detection (CSMA/CD) Access Method and Physical Layer Specifications - Section Three*. 2008.
- [149] Institute of Electrical and Electronics Engineers. and IEEE-SA Standards Board., *802.15.1-2002 IEEE Standard for Information Technology- Telecommunications and Information Exchange*. 2002.
- [150] Institute of Electrical and Electronics Engineers. and IEEE-SA Standards Board., *IEEE Recommended Practice for Information Technology - Telecommunications and Information Exchange Between Systems - Local and Metropolitan Area Networks - Specific Requirements Part 15.2: Coexistence of Wireless Personal Area Networks With Other Wireless Devices Operating in Unlicensed Frequency Bands*. 2003.
- [151] IEEE Computer Society. LAN/MAN Standards Committee., IEEE-SA Standards Board., and Institute of Electrical and Electronics Engineers., *IEEE standard for information technology telecommunications and information exchange between systems-- local and metropolitan area networks-- specific requirements. Part 15.3, Wireless medium access control (MAC) and physical layer (PHY) specifications for high rate wireless personal area networks (WPANs)*. New York, NY: Institute of Electrical and Electronics Engineers, 2003.
- [152] IEEE Computer Society. LAN/MAN Standards Committee., Institute of Electrical and Electronics Engineers., and IEEE-SA Standards Board., *IEEE standard for local and metropolitan area networks. Part 15.4, Low-rate wireless personal area networks (LR-WPANs)*. New York: Institute of Electrical and Electronics Engineers, 2011.
- [153] Institute of Electrical and Electronics Engineers., *IEEE recommended practice for information technology telecommunications and information exchange between systems-- local and metropolitan area networks-- specific requirements. Part 15.5, Mesh topology capability in wireless personal area networks (WPANs)*. New York: Institute of Electrical and Electronics Engineers, 2009.
- [154] 802.15.6 Group : Body Area Networks, "Website," 2012. [Online]. Available: <http://www.ieee802.org/15/pub/TG6.html>. [Accessed: 05-Feb-2012].
- [155] IEEE Computer Society. LAN/MAN Standards Committee., Institute of Electrical and Electronics Engineers., and IEEE-SA Standards Board., *IEEE standard for local and metropolitan area networks. Part 15.7, Short-range wireless optical communication using visible light*. New York: Institute of Electrical and Electronics Engineers, 2011.
- [156] "UWB Forum Surpasses 50 Members." [Online]. Available: <http://www.prnewswire.com/news-releases/uwb-forum-surpasses-50-members-71238662.html>. [Accessed: 13-Feb-2012].
- [157] P. Mannion, "Ultrawideband task group agrees to disagree," *EE Times*, 18-Jan-2006.
- [158] ECMA International, "Website," 2012. [Online]. Available: <http://www.ecma-international.org/>. [Accessed: 05-Feb-2012].
- [159] I.-I. O. for Standardization, "ISO/IEC 26907 : 'High Rate Ultra Wideband PHY' et 'MAC Standard'," *Text*, Mar. 2007.
- [160] B. Corporation, *Popular Science*. Bonnier Corporation, 2007.
- [161] "Toshiba's UWB Wireless Laptop Dock," *Gizmodo*.
- [162] "CES 2007: Asus demoing UWB HDMI connection system," *Tom's Hardware*.
- [163] "Belkin announces cable-free USB hub," *Ars Technica*. [Online]. Available: <http://arstechnica.com/gaming/news/2006/01/2302.ars>. [Accessed: 12-Feb-2012].
- [164] "IOGEAR first on scene with USB-IF certified wireless USB hub," *Ars Technica*. [Online]. Available: <http://arstechnica.com/hardware/news/2007/09/iogear-first-on-scene-with-usb-if-certified-wireless-usb-hub.ars>. [Accessed: 12-Feb-2012].
- [165] "Look Ma, no wires!," *Ars Technica*. [Online]. Available: <http://arstechnica.com/gaming/news/2006/01/2333.ars>. [Accessed: 12-Feb-2012].
- [166] L. E. Frenzel, "Good News About Ultra Wideband," *Electronic design*, 04-Dec-2006.
- [167] "Wireless USB startup WiQuest shuts down, leaves the standard in limbo," *Engadget*.

- [168] "Ultrawideband: Another one bites the dust," *Ars Technica*. [Online]. Available: <http://arstechnica.com/old/content/2008/11/ultrawideband-another-one-bites-the-dust.ars>. [Accessed: 12-Feb-2012].
- [169] ABLresearch, "WiQuest Tops New Ultra Wideband IC Vendor Matrix Ranking," 16-Jul-2008.
- [170] "WiQuest Enabling over 85% of Certified Wireless USB Consumer Products," Reuters.
- [171] "Another blow for UWB: Intel drops ultrawideband development," *Ars Technica*. [Online]. Available: <http://arstechnica.com/old/content/2008/11/another-blow-for-usb-intel-drops-ultrawideband-development.ars>. [Accessed: 12-Feb-2012].
- [172] P. Mannion, "WiMedia folds, UWB spec goes to Bluetooth, USB groups," *EE Times*, 16-Mar-2009.
- [173] R. Merritt, "Bluetooth group drops ultrawideband, eyes 60 GHz," *EE Times*, 28-Oct-2009.
- [174] Synopsys, "Synopsys.com." [Online]. Available: <http://www.Synopsys.com>.
- [175] Cadence, "Cadence Design Systems." [Online]. Available: www.cadence.com/.
- [176] Mentor Graphics, "The EDA Technology Leader - ." [Online]. Available: www.mentor.com/.
- [177] D. Knapp, *Behavioral Synthesis: Digital System Design Using the Synopsys Behavioral Compiler*, Har/Dsk. Prentice Hall PTR, 1996.
- [178] Mentor Graphics, "Catapult C Synthesis Overview." [Online]. Available: www.mentor.com/esl/catapult/.
- [179] Esterel Technologies, "Esterel Technologies." [Online]. Available: www.esterel-technologies.com/.

ANNEXES

ANNEXE 1 : L'ORGANISATION DE L'IEEE POUR LA DEFINITION DE STANDARDS

L'Institute of Electrical and Electronics Engineers (IEEE) [38] est un organisme de référence pour la proposition et l'élaboration de standards dans le domaine des systèmes de communication sans fil. Cet organisme à but non lucratif de droit américain est composé de plus de 400 000 membres et établit, via sa branche SA (Standards Association) [39], des standards dans de très nombreux domaines tels que l'énergie, le médical, les nanotechnologies, la gestion des risques, et bien entendu, les communications. Des standards aujourd'hui devenus indispensables à notre société, comme Ethernet [148] ou Wifi [40], sont des standards IEEE.

Les standards concernant les réseaux locaux ou métropolitains sont regroupés sous l'appellation « 802 ». Au sein de 802 existent de nombreux groupes de travail remplissant chacun des missions spécifiques. Parmi les plus célèbres, on retrouve par exemple le groupe 802.3 [148], chargé du développement du standard Ethernet ou encore le groupe 802.11 [40], chargé des réseaux locaux sans fil (Wireless-LAN). Ce dernier établit des standards permettant la création d'un réseau informatique d'échange de données via des connexions sans fil haut débit entre appareils très peu contraints en énergie. Il ne tient par conséquent que peu de cas des contraintes énergétiques, qui sont une préoccupation majeure pour notre application.

Le déploiement de protocoles très économes en énergie est aujourd'hui un enjeu fondamental pour le développement de l'Internet des objets ou des réseaux des capteurs. C'est notamment pour répondre à ce besoin que l'IEEE a créé le groupe 802.15 [41]. Ce groupe a pour objectif la définition de standards permettant la connexion entre des systèmes peu éloignés (distants de quelques mètres) à faible puissance d'émission, constituant des réseaux personnels sans fil (WPAN : Wireless Personal Area Network). Les appareils des réseaux WPAN sont pour la plupart portables, avec une autonomie particulièrement limitée, si bien que les contraintes énergétiques pèsent lourd dans la définition des moyens de d'interconnexion entre les systèmes. Ce groupe est donc celui qui est susceptible de fournir les standards les plus intéressants pour notre étude dont l'objectif est le développement d'une couche physique sans fil pour un réseau de capteurs autonomes en énergie.

Le groupe de travail 802.15 est divisé en sept sous-groupes poursuivant chacun un objectif distinct.

Ainsi, le groupe 802.15.1 [149] est en charge du développement d'une couche physique et d'une couche MAC pour les réseaux d'appareils « fixes, portables et mobiles à l'intérieur ou entrant dans un espace donné ». Ces contraintes sont extrêmement proches des caractéristiques nécessaires au développement de notre application et le standard fera l'objet d'une description détaillée dans la partie 1.2.

Le groupe 802.15.2 [150] a pour mission d'assurer la coexistence entre des réseaux personnels sans fil et d'autres systèmes évoluant dans les mêmes bandes de fréquence, et notamment des réseaux locaux sans fil comme ceux proposés par le groupe 802.11.

Le groupe 802.15.3 [151], quant à lui, travaille à la définition d'un standard pour les réseaux haut débit (11 à 55 Mbits/s) mais n'a malheureusement pas encore proposé de standards proprement dits. La contrainte de débit étant un élément clé pour le développement des réseaux métrologiques pour l'aéronautique et l'espace, et compte tenu de l'histoire particulière de ce groupe, nous détaillerons les propositions basées sur les travaux de ce groupe en partie 3.

Le groupe 802.15.4 [152], propose un standard bas débit répondant à la fois à la problématique de la durée de vie de systèmes communicants autonomes en énergie, et à une contrainte de faible complexité

nécessaire à assurer un coût réduit. Notre développement nécessitant un débit particulièrement important, les standards proposés par ce groupe ne seront donc pas directement applicables. Cependant, certaines méthodes visant à réduire la consommation pouvant être profitables à notre développement, la description du standard ZigBee sera l'objet du paragraphe 1.3.

Le groupe 802.15.5 [153] propose un cadre à l'architecture des réseaux personnel maillés.

802.15.6 [154], l'avant-dernier né des groupes 802.15, se concentre sur le développement d'un standard basse consommation, basse fréquence et courte distance optimisé pour les systèmes fonctionnant sur, dans ou autour d'un corps humain pour des réseaux de capteurs principalement médicaux permettant notamment de surveiller les paramètres vitaux des patients.

Enfin, le groupe 802.15.7 [155] se concentre sur les communications optiques en lumière visible et en espace libre.

Les groupes dont les travaux sont susceptibles de servir de base aux développements visés par le monde aéronautique et spatial, sont ainsi le groupe 802.15.1 avec le standard Bluetooth, et le groupe 802.15.4 avec le standard ZigBee et ses dérivés.

ANNEXE 2 : WIMEDIA LE PREMIER STANDARD UWB : RAISONS D'UN ECHEC

802.15.3 : TENTATIVE DE NORMALISATION UWB PAR IEEE

Le besoin d'un standard pour le déploiement de liens haut-débit dans le cadre de réseaux personnels sans fil (W-PAN) apparaît dès 2002 au sein de l'IEEE avec la création, au mois de janvier, du groupe de travail 802.15.3. Le groupe est chargé de proposer une couche physique adaptée à une transmission haut-débit entre systèmes mobiles. Les premiers mois de travail sont consacrés à l'établissement de modèles de canaux de propagation pour permettre ensuite d'évaluer les propositions des différents partenaires [71]. Au même moment, la Federal Communications Commission (FCC) ouvre la porte à l'utilisation alors très controversée des technologies UWB utilisant une bande supérieure à 500 MHz entre 3,1 GHz et 10,6 GHz et dont la puissance d'émission est inférieure à -41,3 dBm/MHz. Parallèlement à l'établissement de modèles de propagation, des règles très strictes sont mises en place pour définir les modalités de proposition d'un standard et le processus de sélection de ces propositions. En juin 2002, 21 propositions émanant des milieux industriels et académiques parviennent au groupe. Plusieurs années auraient été nécessaires à leur évaluation objective et le risque que l'un des industriels impliqués soit tenté de développer un produit avant le standard, le rendant ainsi caduque, était important. C'est pourquoi plusieurs contributeurs font le choix de se réunir en marge de l'IEEE dans le but d'identifier des points communs à leurs propositions et d'en réduire ainsi drastiquement le nombre. C'est ainsi qu'en juin 2003, ne subsistent que deux propositions extrêmement différentes mais recourant toutes deux à des techniques UWB pour assurer un haut débit. La première, fondée sur une proposition de Texas Instruments [69], alliant UWB et OFDM, est soutenue par 170 industriels regroupés au sein de la Multi Band OFDM Alliance (MBOA). La seconde, appelée Direct Sequence UWB (DS-UWB) ou Impulse Radio UWB et portée par Freescale et Motorola regroupés au sein de l'organisation UWB Forum [156] aujourd'hui disparue, repose sur l'utilisation d'impulsions de très courte durée au spectre très large. C'est à partir de cette date et de l'émergence de ces deux propositions que l'image des standards UWB périclité. En effet, aucune des deux associations ne parvient à démontrer et à faire accepter la supériorité de sa proposition à l'unanimité lors des différents votes organisés au sein du groupe IEEE. En décembre 2005, après trois années de discussions infructueuses et une image devenue désastreuse, le groupe annonce son démantèlement [157] sans être parvenu à élaborer un standard¹². La décision est effective en janvier 2006, et malgré des propositions techniques particulièrement intéressantes alliant haut débit et faible consommation, aucun standard basé sur de l'UWB ne verra le jour au sein de l'IEEE. Suite à ce démantèlement, aucune tentative de standardisation n'émanera plus de l'UWB Forum¹³, et aucun industriel majeur n'en revendique aujourd'hui l'utilisation.

¹² Jim Lansford, chair of the task group : "The time to compromise was two years ago, and we missed that chance and we've just been butting heads since then." [157]

¹³ Notamment en raison de la complexité de la technologie et de la présence d'un seul concepteur de circuit au sein du UWB forum (Freescale)

NORMALISATION D'UN STANDARD UWB-OFDM

En revanche, une nouvelle association portant le nom de « WiMedia Alliance » [67], est créée autour de l'objectif de promotion de « l'adoption rapide d'un standard UWB pour les communications haut-débit dans le domaine des réseaux personnels sans fil ». En mai 2004, la WiMedia Alliance annonce qu'elle utilisera les spécifications établies par la MBOA comme couche physique et couche MAC. En mars 2005, les deux organisations fusionnent et prennent le nom de WiMedia Alliance. C'est ainsi qu'en avril 2005, l'association publie le standard MB-OFDM qui est désormais connu sous le nom de l'association chargée de sa promotion: « WiMedia ». Pour s'assurer une reconnaissance internationale, la WiMedia Alliance soumet son protocole à l'ECMA [158] (European Computer Manufacturers Association). Cette association privée à but non lucratif a pour mission le développement rapide de standards. Composée d'industriels à la recherche d'une rentabilité rapide, elle prétend établir des standards de meilleure qualité et dans des délais plus courts que les agences bureaucratiques en recherche de consensus similaires à celui attendu par l'IEEE pour l'adoption d'un standard UWB. En quarante années d'existence, ECMA a publié environ 370 « ECMA Standards ». Ainsi, en quelques mois seulement, l'association publie, sous la référence ECMA-368 [68], un standard basé sur la proposition MB-OFDM de WiMedia ; succès qui sera complété par l'approbation, en mars 2007, du standard MB-OFDM comme standard international ISO/IEC 26907 [159]. A ce moment, l'avenir de la couche physique de communication haut débit initialement proposée par Texas Instruments sous le nom MB-OFDM semble assuré. En janvier 2007, à l'occasion du CES de Las Vegas, le plus important salon consacré à l'innovation technologique en électronique grand public, l'UWB est perçu comme une nouvelle révolution dans le domaine des communications sans fil [160]. De nombreux produits sont ainsi annoncés : ordinateurs portables [161] [162], hubs [163] [164] [165] ou caméras [166] sont présentés et servent de support de démonstration des possibilités d'un standard tel que WiMedia. Cependant, ni date de commercialisation, ni date de mise en production ne seront annoncées par les démonstrateurs présents.

LA FIN DE L'ÂGE D'OR DU HAUT DEBIT SANS FIL

A partir de 2008, une succession d'annonces négatives contribue à dégrader considérablement l'image de l'association UWB et OFDM, et le 30 octobre 2008, la société WiQuest [167] [168] annonce sa fermeture. La même année, cette startup, dont le catalogue proposait puces, logiciels et designs de référence basés sur le standard de la WiMedia Alliance, avait été classée numéro un des compagnies développant des puces WiMedia par l'organisme ABI research [169] et fabriquait 85% des puces installées dans des produits UWB [170]. En raison de l'intérêt mitigé du grand public pour les innovations qu'elle propose, la société ne parvient plus à lever suffisamment de fonds pour assurer sa pérennité. Incapable de supporter des coûts de développement, la jeune startup est alors contrainte de fermer ses portes. Dans la foulée de cette annonce, et malgré sa volonté initiale d'intégrer WiMedia à sa plateforme Centrino, Intel annonce également l'arrêt de sa branche de recherche autour des technologies UWB (UNO : Ultrawideband Networking Operations) [171], mettant ainsi fin à cinq années de recherche. Pour beaucoup, ces deux événements marquent la fin de l'UWB.

Enfin, le couperet semble être définitivement tombé le 16 mars 2009 lorsque, par un communiqué laconique, la WiMedia Alliance annonce son démantèlement. Cette annonce est alors considérée comme l'acte de décès du dernier survivant des technologies UWB. Ainsi, les résultats d'une recherche

effectuée sur Google au début de l'année 2009 avec le mot clé « UWB » renvoyaient essentiellement à des articles ayant pour titre « UWB is dead ».

WIMEDIA ET BLUETOOTH

Pourtant, contre toute attente, la WiMedia Alliance, censée avoir été dissoute en 2009, annonce une nouvelle révision de son standard en janvier 2010 avec des débits atteignant 1024 Mbits/s et une très faible consommation. Si l'image négative du standard demeure ancrée dans les esprits des spécialistes, et si WiMedia ne sera jamais populaire auprès du grand public, quelques compagnies comme Wisair ou Alereon, visant certains marchés très spécifiques, continuent de développer des produits utilisant une technologie très proche des standards WiMedia. Ces entreprises, soucieuses de l'image de leurs produits, ont fait le choix de rester discrètes et n'utilisent jamais le terme « WiMedia », se référant plus volontiers aux dénominations techniques, à savoir « MB-OFDM » ou à la populaire notion USB avec les termes W-USB. De la même manière, elles ont entrepris de simplifier certains aspects du standard, initialement destinés à l'interconnexion de systèmes interindustriels et devenus inutiles.

Si des dérivés du standard WiMedia sont aujourd'hui utilisés avec succès, c'est que la mort annoncée de l'UWB était bien moins technologique que stratégique et financière. Ainsi, il est nécessaire de mieux analyser les motifs qui ont conduit à l'arrêt du développement des technologies UWB par Intel et à la fermeture de la société WiQuest. En effet, contrairement à ce qu'ont pu laisser penser les événements, ce ne sont pas des contraintes techniques qui ont mis fin à l'intérêt des développeurs, mais l'insuffisance des financements dédiés à une technologie alors peu attractive pour le grand public [172]. De plus, si Intel a cessé le développement des technologies UWB en interne, c'est parce que la firme a maintenu sa participation dans deux sociétés, Wisair et Staccato, qui développaient toutes deux des produits UWB [172]. Enfin, l'annonce de la dissolution de la WiMedia Alliance marque avant tout la fin du processus de transfert technologique initié dans le but d'améliorer la popularité du standard.

Ainsi, en mars 2009, la WiMedia Alliance annonce son entrée dans une phase de négociation du transfert technologique de son standard vers le Bluetooth Special Interest Group, le Wireless USB Promoter Group et l'USB Implementer Forum [172]. Le monde du standard USB a rapidement adopté et supporté la plateforme radio commune WiMedia pour sa connectivité sans fil, remettant en cause l'existence de la WiMedia Alliance. Cependant, aujourd'hui, même si la norme Wireless USB existe toujours, le futur de l'USB se situe du côté de l'USB 3.0 et de ses 5 Gbits/s. En effet, étant donné qu'un câble d'alimentation est toujours nécessaire, les bénéfices apportés par une liaison sans fil pour l'interconnexion de périphériques USB sont si faibles que les industriels du secteur préfèrent se concentrer sur l'augmentation du débit de la liaison filaire.

De son côté, le Bluetooth SIG était alors à la recherche d'une proposition technique pour une couche physique adaptée au transport de données à haut débit pour la version 4.0 du standard en préparation. Compte-tenu du fait que nombre de membres de la WiMedia Alliance appartenaient également au Bluetooth SIG, et que les spécifications de WiMedia (soit 480 Mbits/s) répondaient en tous points aux besoins exprimés, l'alliance semblait parfaite. Mais la différence de traitement de la propriété intellectuelle des blocs utilisés par les deux technologies sera à l'origine d'une mésentente entre le Bluetooth SIG et la WiMedia Alliance. Ainsi, l'un des principes fondamentaux de Bluetooth est de permettre aux développeurs d'utiliser des systèmes Bluetooth sans qu'il leur soit nécessaire de payer une redevance auprès du Bluetooth SIG. Or, la WiMedia Alliance souhaitait, elle, imposer aux développeurs de blocs de communication WiMedia le versement de royalties à chaque utilisation. Pour faire évoluer

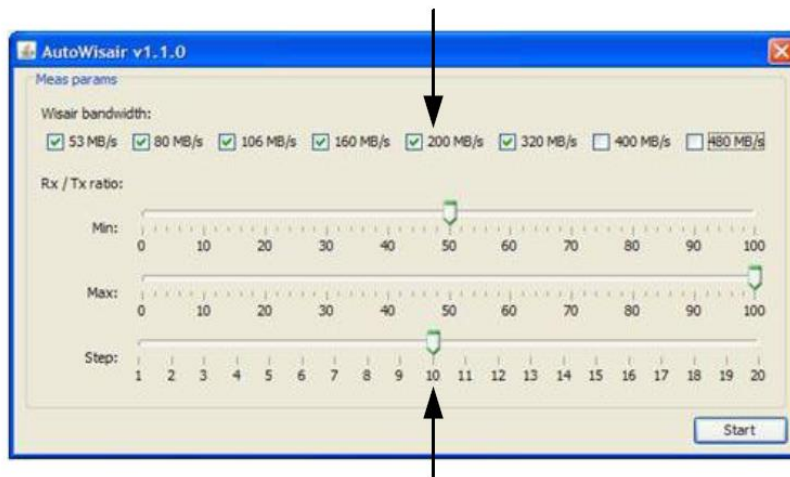
cette politique de rétribution, la WiMedia Alliance devait obtenir la signature de tous les membres du consortium pour l'accord de transfert, ce que certains refusèrent. Face à l'indécision de WiMedia, le Bluetooth SIG décida de rompre l'accord de transfert et de privilégier l'examen de solutions utilisant la bande de fréquence autour de 60 GHz [173]. C'est ainsi que le président du Bluetooth SIG, Mike Foley, souhaita « bonne chance »¹⁴ à ces industriels capables de demander des royalties sur un marché encore inexistant. Malgré tout, certains média se font encore aujourd'hui l'écho de négociations pour un accord entre les deux groupements.

14 Mike Foley : “can charge royalties in a market of zero units, so good luck to them” and he added “It's something of a poor development for the industry, but that's where we are at,”

ANNEXE 3 : DESCRIPTION DU PROGRAMME PERMETTANT LES MESURES DE QUALITE SUR LE LIEN MB-OFDM

L'interface de réglage du programme développée en langage Java, est présentée en figure 129.

Choice of the data payload rate



Choice of the min, max and step of the Rx/(Rx+Tx) ratio

FIGURE 129 : INTERFACE DE REGLAGE DU PROGRAMME DE TEST

L'interface permet de choisir les débits utilisateurs à tester, le maximum, le minimum et le pas du rapport $\frac{Rx}{Rx+Tx}$. Ce paramètre n'est pas à proprement parler lié au standard MB-OFDM, mais un ajout de Wisair allouant un pourcentage de la trame, défini par l'utilisateur préalablement au déploiement, au maître et à l'esclave pour l'envoi de données. Une fois le paramètre réglé à une valeur médiane (50%) il devient impossible de dépasser 50% du débit annoncé.



FIGURE 130 : SCHEMA DE PRINCIPE DES COMMUNICATIONS DU LOGICIEL DE TEST

Le fonctionnement du programme est présenté en figure 130. Le lien de données UWB est établi entre deux cartes Wisair connectées chacune à un PC via un lien Ethernet et un lien USB. Le lien Ethernet est utilisé par les PC comme une passerelle autorisant l'envoi et la réception des données via le lien radio UWB. Des paquets de données UDP (User Datagram Protocol), contenant des informations spécifiques comme un numéro incrémental de paquet et des données aléatoires, sont envoyés. Du côté du récepteur, le système vérifie que le compteur embarqué dans chaque paquet est bien incrémenté d'un seul pas entre deux réceptions. S'il arrivait qu'il existe une différence de plus d'un incrément entre deux

paquets reçus, cela indiquerait une perte radio, et un compteur de trames perdues est alors incrémenté. En plus de cette vérification de perte, chaque paquet reçu est daté précisément et un débit est calculé en fonction de la quantité de données qu'il contient. Les résultats de ces mesures sont affichés sur l'interface présentée en figure 131. Le système repose sur l'envoi de paquets UDP puisque ce protocole fonctionne en mode non connecté. Aucune procédure supplémentaire n'est donc nécessaire pour la connexion entre deux entités. L'utilisation d'UDP permet de s'assurer que les seuls paquets transitant sur le lien UWB sont bien des paquets de données, et que le calcul du nombre de paquets perdus est correct. La taille des paquets UDP est optimisée afin d'éviter une segmentation réassemblage qui pourrait venir fausser le calcul de trame perdue.

Le paramétrage des cartes est décidé par le maître du réseau et envoyé à l'esclave via un lien de contrôle utilisant la technologie Wifi native sur les PC portables utilisés. Les deux ordinateurs échangent les données sur les paramètres du test en cours, et horodatent également des événements de démarrage du test ou les résultats mesurés.

Le programme développé inclue enfin la possibilité de rejouer un essai a posteriori et d'analyser ainsi plus finement les résultats obtenus.

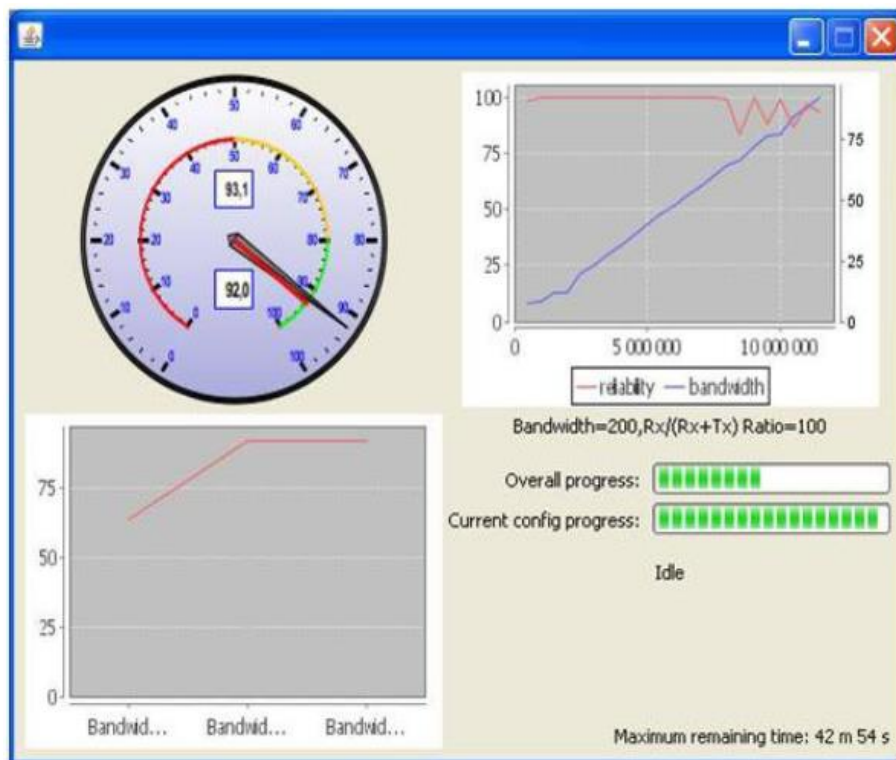


FIGURE 131 : INTERFACE D’AFFICHAGE DES RESULTATS

DETERMINATION DU DEBIT MAXIMUM SUR LE LIEN

L'objectif du programme d'évaluation du lien est de déterminer le meilleur jeu de paramètres du standard MB-OFDM pour atteindre le plus petit taux d'erreur possible dans les conditions spécifiques du déploiement du réseau de capteurs. On détermine le débit maximum offrant un taux d'erreur inférieur à un seuil défini par l'utilisateur. Le maître du réseau est celui qui envoie les données et qui contrôle les résultats. Une fois le lien de contrôle établi entre les deux ordinateurs de supervision et les informations de configuration échangées, le maître envoie des données à l'esclave via le lien UWB pour chaque jeu de paramètres sélectionné par l'utilisateur. Une fois les paquets envoyés, l'ordinateur supervisant l'esclave

calcule le taux d'erreur de la liaison et l'envoi, via le lien Wifi, au maître qui décide alors de poursuivre ou non l'essai avec le jeu de paramètres suivant en fonction du seuil défini. S'il décrète la poursuite de l'essai, le maître enregistre les valeurs du taux d'erreur et du débit effectif, puis passe au jeu de paramètres suivant.

Le programme utilise le principe dichotomique pour déterminer à quel débit les données sont envoyées sur le lien UWB. En effet, dans un premier temps, le programme utilisait le balayage de tous les débits possibles. Dans ce type d'algorithme, le maître envoie d'abord les données à 1 Mbit/s pour ajouter ensuite une valeur prédéfinie (par défaut 1 Mbit/s) à ce débit et ainsi atteindre le débit suivant. L'opération est alors répétée et ce jusqu'à ce qu'une valeur fasse dépasser le seuil de taux d'erreur. Le changement progressif du débit de données grâce à l'algorithme de balayage a permis le lancement d'une série de tests visant à valider l'exactitude des résultats fournis par le programme et ainsi supprimer tout défaut dans le logiciel, le processus, ou l'environnement de mesure. Cependant, étant donné que cet algorithme balaie tous les débits par pas de 1 Mbit/s, le temps de production des résultats est particulièrement long.

La dichotomie permet, elle, une nette diminution du temps de mesure. Cet algorithme commence avec une plage de données s'étendant de zéro au débit maximal envisageable. A chaque étape, il sélectionne le débit des données à mi-chemin dans la gamme, puis, en fonction de l'échec ou de la réussite du test, réduit la plage de débits à tester à la moitié inférieure ou supérieure. Cet algorithme a ainsi permis d'éviter les tests sur les débits de données les plus faibles, divisant par trois le temps de mesure tout en en doublant la précision. Les vitesses de convergence des deux algorithmes, c'est à dire le nombre de mesures requises pour atteindre la bande passante souhaitée, peuvent être directement comparées, comme sur la figure 132. Le nombre de mesures requises par chaque algorithme pour parvenir à une résolution spécifique y est tracé pour une bande passante de 50 Mbits/s. On y voit clairement l'accélération de la convergence grâce au recours à la méthode dichotomique.

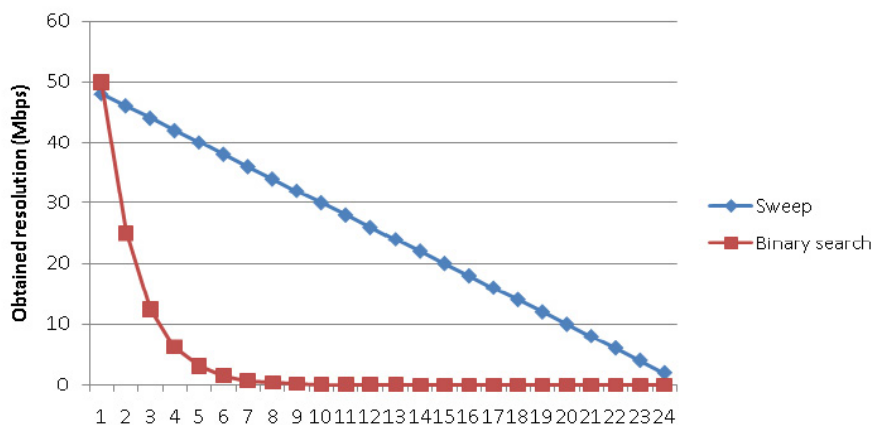


FIGURE 132 : VITESSES DE CONVERGENCE DES ALGORITHMES DE BALAYAGE ET DICHOTOMIQUES

ANNEXE 4 : HISTOIRES DES LOGICIELS EDA

Les premières recherches dans ce domaine ont véritablement débuté dans les années 1970 à la Carnegie Mellon University de Pittsburg, avec les travaux de Dan Siewiorek, Don Thomas et Mario Barbacco dont l'objet était la génération d'un code RTL à partir des spécifications en utilisant un langage de type ISP (Instruction Set Processor) ou ISPL (Instruction Set Processor Langage). Si ces premières recherches n'ont eu que peu d'impact en raison de la quasi-absence de plateforme commerciale d'EDA, de véritables avancées ont été faites dans les années 1980 et au début des années 1990 avec nombre de publications dédiées aux concepts de base nécessaires aux programmes de synthèse automatique.

Les années 1980 ont ainsi vu apparaître les premiers programmes automatiques de placement et de routage, ainsi que la synthèse RTL. Mais la plupart des ingénieurs de l'époque, qui commençaient tout juste à maîtriser la synthèse RTL, n'étaient cependant pas prêts pour de nouvelles méthodes de conception [103]. De plus, ces premiers outils intégraient des langages spécifiques très complexes, et le bénéfice apporté par le passage d'une capture schématique à la synthèse RTL était alors largement occulté par le difficile apprentissage du langage associé à la synthèse haut niveau. Enfin, ces programmes encore peu fiables étaient principalement destinés à la réalisation de circuits de traitement du signal, pour laquelle les circuits programmables numériques de type FPGA n'étaient que peu usités.

C'est au cours des années 1990 que les grandes entreprises du domaine des logiciels EDA investissent le marché des programmes de génération automatique, et les leaders comme Synopsys [174], Cadence [175] ou Mentor Graphics [176] proposent tous leur solution¹⁵. Mais si l'intérêt porté aux programmes HLS augmente considérablement [177], leurs performances restent assez médiocres. Ainsi, bien qu'assez performants dans le domaine du traitement de signal, qui ne représentait à cette époque qu'un marché de niche, ces programmes de génération automatique conservent une image parfois négative. L'échec commercial que connaissent des programmes comme Behavioral Compiler est lié au fait qu'au lieu de compléter le flot de synthèse RTL, ils se présentaient comme ses remplaçants, contraignant les utilisateurs à synthétiser eux-mêmes le code jusqu'au niveau des portes élémentaires. De plus, en l'absence de programme de preuves formelles, la validation des résultats étaient laborieuse, et les optimisations du code ainsi produit n'étaient pas performantes au regard de l'utilisation des mémoires et des registres lors des calculs intermédiaires.

Au début des années 2000, une troisième génération de programmes HLS fait son apparition. Parmi les plus adaptés au traitement du signal, on compte Xilinx System Generator [101], Mathworks Simulink HDL Coder [101] ou encore Synopsys/Synplicity Synplify DSP renommé depuis Synphony Model Compiler [101]. Certains programmes, à l'image de Catapult C [178] de Mentor Graphics, utilisent des langages haut niveau comme les langages C, C++ ou SystemC, alors que d'autres, comme Esterel EDA technologies Esterel Studio [179], ont recours à une approche graphique. Enfin, les programmes destinés au traitement de signal, comme Synplify DSP ou Xilinx System Generator sont basés sur MATLAB/Simulink, et offrent la possibilité d'intercaler du code en langage C pour la partie flot de données. La plupart de ces programmes, qui facilitent la conception de circuits complexes dans le domaine du traitement de signal, connaît un succès certain, notamment au Japon et en Europe.

Ce type de programme connaît un succès grandissant avec les années et la multiplication des offres des fabricants. Et bien que souffrant encore d'une mauvaise réputation liée à la qualité du code obtenu, ils sont de plus en plus utilisés [103] car ils allègent considérablement l'étape de codage manuel et

¹⁵ Behavioral Compiler chez Synopsys, Visual Architect chez Cadence et Monet Tool chez Mentor Graphics

l'optimisation de l'algorithme de traitement grâce à des méthodes de type Spécification – Exploration – Amélioration. En 2009, la diversité des offres et la place de choix occupée par ces programmes dans le monde du design microélectronique amène le BDTI, considéré comme un organe de référence pour l'évaluation des solutions pour le traitement du signal, à créer un programme de certification des outils HLS¹⁶ [104]. De nombreux comparatifs précis de ces outils ont été publiés depuis lors [105].

¹⁶ BDTI High-Level Synthesis Tool Certification Program (HLSTCP) : A methodology to demonstrate the design productivity of high-level synthesis tools [23]