



AVERTISSEMENT

Ce document est le fruit d'un long travail approuvé par le jury de soutenance et mis à disposition de l'ensemble de la communauté universitaire élargie.

Il est soumis à la propriété intellectuelle de l'auteur. Ceci implique une obligation de citation et de référencement lors de l'utilisation de ce document.

D'autre part, toute contrefaçon, plagiat, reproduction illicite encourt une poursuite pénale.

Contact : ddoc-theses-contact@univ-lorraine.fr

LIENS

Code de la Propriété Intellectuelle. articles L 122. 4

Code de la Propriété Intellectuelle. articles L 335.2- L 335.10

http://www.cfcopies.com/V2/leg/leg_droi.php

<http://www.culture.gouv.fr/culture/infos-pratiques/droits/protection.htm>

UNIVERSITE DE LORRAINE

ECOLE DOCTORALE "Informatique, Automatique, Electronique-Electrotechnique, Mathématiques"
Département de Formation Doctorale "Electronique/Electrotechnique"

N° attribué par la bibliothèque

□□□□□□□□□□

THESE

Présentée à

L'UNIVERSITE DE LORRAINE

En vue de l'obtention du titre de

DOCTEUR DE L'UNIVERSITE DE LORRAINE

Spécialité : Génie Electrique

Présentée et soutenue par

Olivier BERRY

Ingénieur de l'Ecole Nationale Supérieure d'Electricité et de Mécanique



**CONTRIBUTION A L'ETUDE D'UN ONDULEUR HAUTE TEMPERATURE
A BASE DE JFET EN CARBURE DE SILICIUM**



Soutenue le 13 juillet 2012 devant les Membres du Jury suivants :

Président :	H. MOREL, Directeur de recherches - CNRS
Rapporteurs :	S. LEFEBVRE, Professeur - CNAM de Cachan J. L. SCHANEN, Professeur - Université de Grenoble
Examineurs :	S. PIERFEDERICI, Professeur - Université de Lorraine M. AMIET, Expert - DGA R. MEURET, Responsable du pôle SPEC - Société Hispano-Suiza
Directeur de thèse :	F. MEIBODY-TABAR, Professeur - Université de Lorraine
Co-directeur de thèse :	S. RAËL, Professeur - Université de Lorraine
Invité(s) :	S. DHOKKAR, Ingénieur - Société Hispano-Suiza

Thèse préparée au sein du Groupe de Recherche en Electrotechnique et Electronique de Nancy

REMERCIEMENTS

Les travaux présentés dans ce mémoire ont été réalisés au sein du Groupe de Recherche en Electrotechnique et Electronique de Nancy (GREEN). Le laboratoire est implanté sur les sites de l'Ecole Nationale Supérieure d'Electricité et de Mécanique et de la Faculté des Sciences et Technologies. Cette thèse s'est effectuée sous la direction des Professeurs Farid Meibody-Tabar et Stéphane Raël.

J'adresse mes respectueux remerciements aux directeurs du laboratoire GREEN pour leur accueil, le Professeur Abderrezak Rezzoug, ancien directeur du laboratoire, et le Professeur Shahrokh Saadate, actuellement directeur du laboratoire.

Je tiens à remercier mes directeurs de thèse, M. Farid Meibody-Tabar et M. Stéphane Raël pour leur encadrement, les moyens mis à ma disposition pour effectuer ce travail, le partage de leurs connaissances techniques au travers de nombreuses discussions passionnantes. Je les remercie aussi pour les multiples relectures du manuscrit et l'entière disponibilité dont ils ont fait preuve à chaque fois que j'en ai eu besoin.

Ce travail a également été réalisé grâce à la compétence et la sympathie de deux autres enseignants-chercheurs, Messieurs Babak Nahidmobarakeh et Serge Pierfederici. Pour leurs contributions et leurs réponses à mes questions de stabilité des réseaux, je les remercie chaleureusement.

J'adresse mes remerciements à M. Hervé Morel, directeur de recherches au CNRS, qui a accepté de présider mon jury de thèse.

J'adresse également mes remerciements à Messieurs les professeurs Stéphane Lefebvre et Jean-Luc Schanen pour l'intérêt qu'ils ont porté à ce travail en acceptant la charge de rapporteur.

Mes remerciements vont également à M. Michel Amiet, expert DGA (Délégation Générale pour l'Armement), pour l'intérêt qu'il a porté à ce travail et sa participation au jury de thèse.

Cette thèse est le fruit d'un partenariat industriel avec la société Hispano-Suiza, je remercie donc M. Régis Meuret, responsable du pôle SPEC (Safran Power Electronics Center), pour m'avoir accueilli plusieurs mois durant sur le site d'Hispano-Suiza Réau pour réaliser des essais. Je tiens également à remercier pour leurs conseils et disponibilité un certain nombre d'ingénieurs d'études, de techniciens et de collègues doctorants que j'ai pu côtoyer chez Hispano-Suiza tout au long de la thèse, à savoir : M. Wenceslas Bourse, M. Bryan Cousin, Mme Sonia Dhokkar, M. Fabien Dubois, M. Youness Hamieh, M. Grégory Humbert, M. Menderes Inci, M. Najib El Firar, M. Julien Rambaud, M. Rémi Robutel et M. Sébastien Vieillard.

Je tiens également à remercier le Pôle de Compétitivité aérospatial ASTech Paris Région ainsi que la DGA pour avoir contribué au financement de la thèse.

Un grand merci à l'ensemble du personnel du GREEN qui a su créer une ambiance de travail agréable. Je pense particulièrement aux secrétaires du laboratoire, Mesdames Sylvie Colinet, Christine Pierson et Latifa Zoua, qui nous simplifient considérablement les tâches administratives. Je pense également aux techniciennes et techniciens du laboratoire, Mesdames Sophie Guichard et Isabelle Schwenker ainsi que Messieurs Fabrice Tesson et Fadi Sharif, pour leur aide à l'élaboration des plateformes expérimentales. Enfin je pense à mes collègues doctorants, en particulier à Raphaël Andreux, Ahmed-Bilal Awan, Alexandre Battiston, Sofiane Bendali, Thierry Boileau, Christian Belalahy, Sisuda Chaithongsuk, Ting Ting Ding, Arnaud Gaillard, Roghayeh Gavagsaz, Bin Huang, The Cuong Hoang, Eshan Jamshidpour, Wattana Kaewmanee, Eric Kenmoe-Fankem, Nicolas Leboeuf, Diane Leblanc, Pierre Magne, Gaël Malé, Renaud Moulin, Dinh An N'Guyen, Panee Noiying, Alireza Payman, Matheepot Phattanasak, Ahmed Shahin, Matthieu Urbain, Babak Vaseghi, Nicolas Velly, Sami Zaïm et Majid Zandi.

Un merci également à Mme Annie Laroche-Joubert, Responsable de la documentation ENSEM, pour son aide à l'élaboration de la bibliographie, pour sa disponibilité et sa bonne humeur tout au long de la thèse.

Que ceux qui se sentent oubliés trouvent dans cette phrase l'expression de mes remerciements pour leur soutien durant ces trois années de thèse.

Enfin qu'il me soit permis de remercier ma famille, mes parents et mon frère en particulier ainsi que ma compagne, pour leur soutien matériel et moral pendant ces dernières années d'études, et dont cette thèse est l'aboutissement.

SOMMAIRE

INTRODUCTION GENERALE 10**CHAPITRE 1 LE CARBURE DE SILICIUM : DU MATERIAU AUX COMPOSANTS 16**

1.1	HISTORIQUE	17
1.2	CRISTALLOGRAPHIE – TERMINOLOGIE ET NOTATION	18
1.3	PROPRIÉTÉS PHYSIQUES, COMPARAISON Si – SiC	19
1.4	ETAT DE L'ART DES COMPOSANTS ELECTRONIQUES DE PUISSANCE EN SiC COMMERCIALISES ET A L'ETUDE	23
1.4.1	<i>Interrupteurs de puissance non commandables en SiC (Diode Schottky, Diode JBS et Diode Bipolaire)</i>	23
1.4.1.1	Les diodes Schottky SiC.....	24
1.4.1.2	Les diodes JBS SiC	27
1.4.1.3	Les diodes bipolaires SiC	34
1.4.1.4	Diodes en SiC commercialisées	37
1.4.2	<i>Interrupteurs de puissance commandables bipolaires en SiC (BJT, GTO et IGBT)</i>	39
1.4.2.1	Les transistors bipolaires BJT SiC.....	39
1.4.2.2	Les thyristors GTO SiC	42
1.4.2.3	Les transistors IGBT SiC.....	43
1.4.2.4	Interrupteurs bipolaires en SiC commercialisés	45
1.4.3	<i>Interrupteurs de puissance commandables unipolaires en SiC (MOSFET et JFET)</i>	46
1.4.3.1	Les transistors MOSFET SiC	46
1.4.3.2	Les transistors JFET SiC	50
1.4.3.2.1	Généralités, Principe de fonctionnement, structures cristallines	50
1.4.3.2.2	Transistor JFET SiC deux canaux de SiCED, JFET « normally-on »	55
1.4.3.2.3	Transistor JFET SiC Verticale de Semisouth, JFET « normally-off »	58
1.4.3.3	Interrupteurs unipolaires en SiC commercialisés.....	61
1.4.3.3.1	MOSFET SiC.....	61
1.4.3.3.2	JFET SiC.....	62
1.5	CONCLUSION	63

CHAPITRE 2 CARACTERISATION ELECTRIQUE DU JFET SiC DEUX CANAUX DE SiCED..... 65

2.1	PRÉSENTATION DES JFET CARACTÉRISÉS.....	66
2.2	CARACTÉRISATION DU COMPORTEMENT STATIQUE	68
2.2.1	<i>Présentation du banc de caractérisation statique haute température</i>	68
2.2.1.1	Avant propos	68
2.2.1.2	Contraintes	70
2.2.1.3	Matériels employés – Métrologie	72
2.2.2	<i>Résultats de caractérisation statique</i>	75
2.2.2.1	Caractérisation électrique statique en mode de polarisation directe	76
2.2.2.2	Caractérisation électrique statique en mode de polarisation inverse.....	81
2.2.2.3	Etude de l'évolution de différents paramètres et de la caractéristique $I_{gs}=f(V_{gs}, D_{gs}$ polarisée en directe) du JFET SiC deux canaux en fonction de la température	86
2.2.2.3.1	Le courant de saturation	86
2.2.2.3.2	La tension de seuil.....	89
2.2.2.3.3	La tension V_{gs} à partir de laquelle le phénomène de punch-through apparaît, $V_{br,gs}$	94
2.2.2.3.4	La caractéristique $I_{gs}=f(V_{gs}, D_{gs}$ polarisée en directe).....	97
2.2.2.3.5	La résistance à l'état passant	99
2.3	CARACTÉRISATION DU COMPORTEMENT DYNAMIQUE	103
2.3.1	<i>Présentation de la méthode dite du « double pulse »</i>	103
2.3.2	<i>Métrologie – Bande passante</i>	104
2.3.3	<i>Présentation des bancs de caractérisation dynamique - Résultats</i>	105
2.3.3.1	Première phase de caractérisation dynamique	105
2.3.3.1.1	Présentation du banc	105
2.3.3.1.2	Résultats obtenus sur un bras JFET SiC.....	108
2.3.3.2	Deuxième phase de caractérisation dynamique	111
2.3.3.2.1	Présentation du banc	111
2.3.3.2.2	Résultats obtenus sur un bras JFET SiC.....	113
2.4	CONCLUSION	117

CHAPITRE 3 MODELISATION DU JFET SiC DEUX CANAUX DE SiCED.....	119
3.1 ETAT DE L'ART DES MODELES STATIQUES DU JFET.....	120
3.1.1 <i>Modèle standard du canal JFET, JFET à canal long symétrique</i>	121
3.1.1.1 Modèle statique en polarisation directe.....	121
3.1.1.2 Modèle appliqué au JFET SiC deux canaux - Résultats.....	123
3.1.2 <i>Modèle SPICE du JFET</i>	124
3.1.2.1 Modèle statique en polarisation directe.....	124
3.1.2.2 Modèle appliqué au JFET SiC deux canaux, Résultats.....	125
3.1.3 <i>Modèle statique Version 1 du JFET SiC deux canaux de SiCED</i>	125
3.1.4 <i>Modèle statique Version 2 du JFET SiC deux canaux de SiCED</i>	129
3.2 MODELE DU JFET SiC DEUX CANAUX EMPLOYE.....	131
3.2.1 <i>Structure du modèle</i>	131
3.2.2 <i>Equations liées au comportement statique du JFET deux canaux</i>	133
3.2.3 <i>Equations liées au comportement dynamique du JFET deux canaux</i>	135
3.2.4 <i>Validation du comportement statique du modèle</i>	136
3.2.4.1 Validation en polarisation directe ($V_{ds} \geq 0$) et inverse ($V_{ds} \leq 0$).....	136
3.2.4.2 Validation du modèle représentant le phénomène de punch-through.....	139
3.2.5 <i>Validation du comportement dynamique du modèle</i>	141
3.2.5.1 Conditions de simulation sous SABER.....	141
3.2.5.2 Identification des paramètres et Validation du modèle dynamique du JFET à l'aide des essais expérimentaux de la Phase 1.....	143
3.2.5.3 Validation du modèle dynamique du JFET à l'aide des essais expérimentaux de la Phase 2.....	145
3.3 CONCLUSION.....	153
CHAPITRE 4 SOLUTIONS POUR MINIMISER L'INTERACTION PUISSANCE – COMMANDE AU SEIN D'UN ONDULEUR DE TENSION A BASE DE JFET SiC	154
4.1 INTERACTION PUISSANCE – COMMANDE (IPC), PRESENTATION DU PROBLEME.....	155
4.1.1 <i>Rappel du comportement de la grille du JFET SiC deux canaux en polarisation inverse – Phénomène de punch-through</i>	155
4.1.2 <i>Rappel sur le comportement du JFET SiC deux canaux de SiCED en commutation fonctionnant en mode roue libre, IPC</i>	157
4.2 SOLUTIONS POUR MINIMISER L'INTERACTION PUISSANCE – COMMANDE, CIRCUITS D'ATTAQUE DE GRILLE POUR JFET SiC.....	158
4.2.1 <i>Etude, validation et comparaison des circuits d'attaque de grille sur un bras d'onduleur JFET SiC</i>	159
4.2.1.1 Présentation du bras d'onduleur JFET SiC considéré.....	159
4.2.1.2 Circuit d'attaque de grille N°1.....	161
4.2.1.2.1 Etude par simulation, Rôle du couple (R_G, l_G), Optimisation du circuit N°1.....	161
4.2.1.2.2 Etude par l'expérience, Validation du circuit N°1.....	162
4.2.1.3 Circuits d'attaque de grille N°2 et N°3.....	166
4.2.1.3.1 Etude par simulation, Rôle de la diode D.....	166
4.2.1.3.2 Etude par l'expérience, Validation des circuits N°2 et N°3.....	167
4.2.1.4 Synthèse et comparatifs.....	171
4.2.2 <i>Validation des circuits N°1 et N°2 sur un pont en H à base de JFET SiC</i>	173
4.3 CONCLUSION.....	176
CHAPITRE 5 ETUDE PAR SIMULATION DE LA STABILITE D'UN BUS CONTINU EN ENVIRONNEMENT SEVERE (TEMPERATURE – TENSION)	177
5.1 PROBLEMATIQUE LIEE A LA STABILITE D'UN BUS CONTINU EN ENVIRONNEMENT SEVERE.....	178
5.1.1 <i>Rappel de la structure d'un bus continu</i>	178
5.1.2 <i>Comportement d'un système fonctionnant à puissance constante – Condition de stabilité locale</i> ...	179
5.1.3 <i>Comportement de C_{dc} dans un environnement sévère (Température – Tension)</i>	180
5.1.4 <i>Présentation du système considéré</i>	181
5.1.5 <i>Etude par simulation de la stabilité du bus DC du système considéré en environnement sévère</i>	184
5.1.5.1 Stabilité du bus continu en environnement non sévère, $C_{dc}=10\mu F$	184
5.1.5.2 Stabilité du bus continu en environnement sévère, $C_{dc}=5\mu F$	186
5.1.6 <i>Solutions de stabilisation envisageables</i>	187

5.2	PROPOSITION D'UNE SOLUTION DE STABILISATION D'UN BUS CONTINU FONCTIONNANT EN ENVIRONNEMENT SEVERE	188
5.2.1	<i>Présentation de la solution dite du « Découplage Feedback Stabilisant »</i>	188
5.2.2	<i>Analyse de la stabilité par spectroscopie d'impédance</i>	191
5.2.3	<i>Application de la spectroscopie d'impédance – vérification de l'efficacité et compréhension de la solution proposée</i>	193
5.2.3.1	Calcul de l'impédance de sortie du bus DC.....	193
5.2.3.2	Calcul de l'impédance d'entrée de l'ensemble onduleur – MSAP avec un découplage de type Feedback Classique	194
5.2.3.3	Calcul de l'impédance d'entrée de l'ensemble onduleur – MSAP avec un découplage de type Feedback Stabilisant.....	196
5.2.3.4	Analyse de la stabilité dans les deux cas de découplage.....	197
5.3	CONCLUSION	198
	CONCLUSION GENERALE	200
	PUBLICATIONS	204
	BIBLIOGRAPHIE.....	206
	ANNEXE 1 DESCRIPTIF DU GENERATEUR SIMPLE IMPULSION AYANT SERVI A LA CARACTERISATION STATIQUE DES JFET SIC.....	220
	ANNEXE 2 COMPARAISONS SIMULATION/EXPERIMENTATION DES RESULTATS DE COMMUTATION OBTENUS SUR UN BRAS	224
	ANNEXE 3 DESCRIPTIF DU GENERATEUR DOUBLE IMPULSION AYANT SERVI A LA CARACTERISATION DYNAMIQUE DES JFET	228
	ANNEXE 4 MODELE STANDARD DU CANAL JFET – MODELE STATIQUE EN POLARISATION DIRECTE	234

INTRODUCTION GENERALE

Les travaux de thèse présentés dans ce manuscrit s'inscrivent dans le cadre d'un projet ou programme qui s'intitule SEFORA (*Smart Electro-mechanical-actuator For Operations in Rough Atmospheres* qui se traduit en français par *Actionneur Electro-mécanique Intelligent Pour Environnements Sévères*). Ce projet a vu le jour car il contribue au développement de l'avion dit « plus électrique ». En effet, le remplacement des équipements hydrauliques par des équipements électriques montrent qu'il est nécessaire, pour obtenir un gain maximum de masse et de volume, de faire des progrès au niveau des chaînes d'entraînement électriques (électronique de puissance – câblage – moteur électrique, voir Figure 1). Il en est de même pour les actionneurs électro-mécaniques fonctionnant actuellement en milieu sévère à des températures de l'ordre de 150°C avec des fonctionnements intermittents à 200°C [AST, NIE 2009].

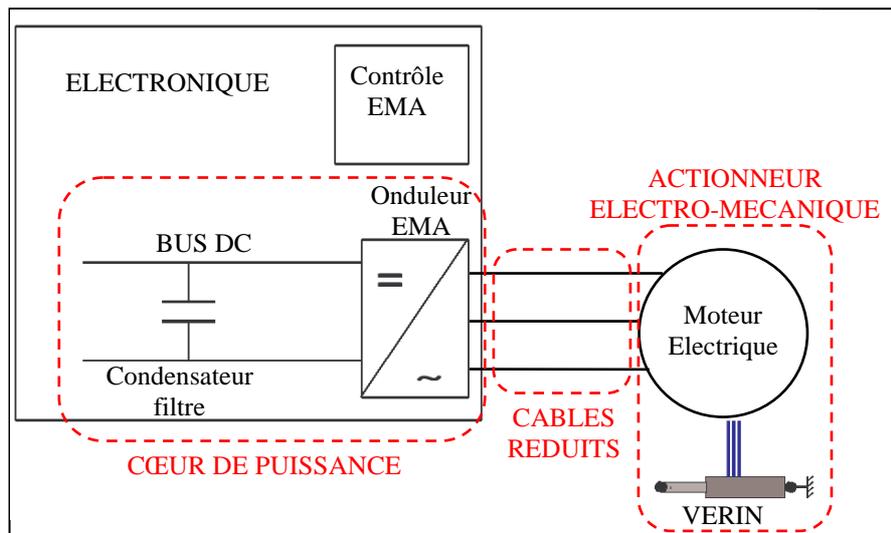


Figure 1 : Schéma de principe d'un Smart EMA (Electro Mechanical Actuator) et ses différents sous-ensembles [NIE 2009].

Le projet SEFORA a donc pour objectif principal de repousser les limites en température des « Smart EMA » au niveau des électroniques et des éléments constituant des chaînes de conversion électro-mécaniques en se focalisant sur les performances d'intégration permettant l'installation de ces équipements dans des volumes réduits (réduction des masses et des câblages) et sur la fiabilité à ces hautes températures. Ces performances entraîneront une réduction des coûts opérationnels et d'acquisition et élargiront la gamme d'applications potentielles à d'autres équipements [AST, NIE 2009]. Typiquement, il est prévu dans les futurs avions plus électriques une diminution de 10% des coûts opérationnels et d'acquisitions, et une diminution de 20% du poids de l'avion [BER-1-a 2008].

Les applications visées dans le cadre du projet sont multiples. Un premier exemple d'application concerne le système VSV (*Variable Stator Vanes* qui se traduit en français par *Aubes de Stator à Calage Variable*, Figure 2) qui a pour rôle de positionner les aubes du stator dans l'étage compresseur du réacteur. Cela permet ainsi d'amener l'air aspiré par le compresseur dans la chambre de combustion dans les meilleures conditions possibles de pressions et de températures [AST, NIE 2009, SAF-a].

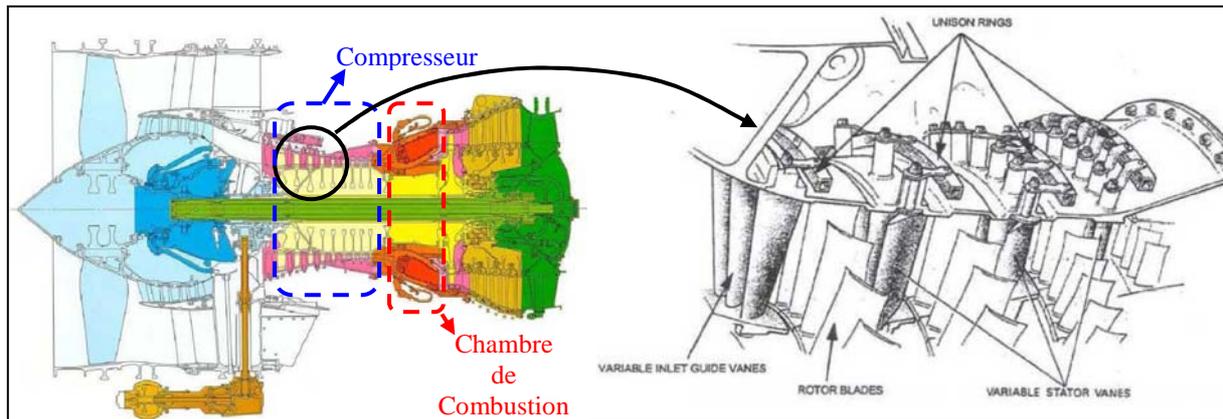


Figure 2 : Schéma d'un système VSV [NIE 2009].

Une autre application concerne le freinage électrique pour avion [AST, NIE 2009]. Sur la Figure 3, nous avons représenté le schéma de principe du frein électrique. Nous rappelons que le frein a pour rôle d'absorber l'énergie cinétique de l'avion en mouvement en la transformant sous forme de chaleur. Pour ce faire des disques en carbones sont fixés à l'intérieur de la roue de l'avion (partie mobile du frein appelé rotor), et sur le train d'atterrissage (partie fixe du frein appelé stator). Lors du freinage, un moteur électrique couplé à l'ensemble Réducteur à Engrenage – Système Vis-Ecrou va permettre de piloter la sortie d'un piston qui va finalement faire pression sur l'ensemble des disques en carbones rotoriques et statoriques.

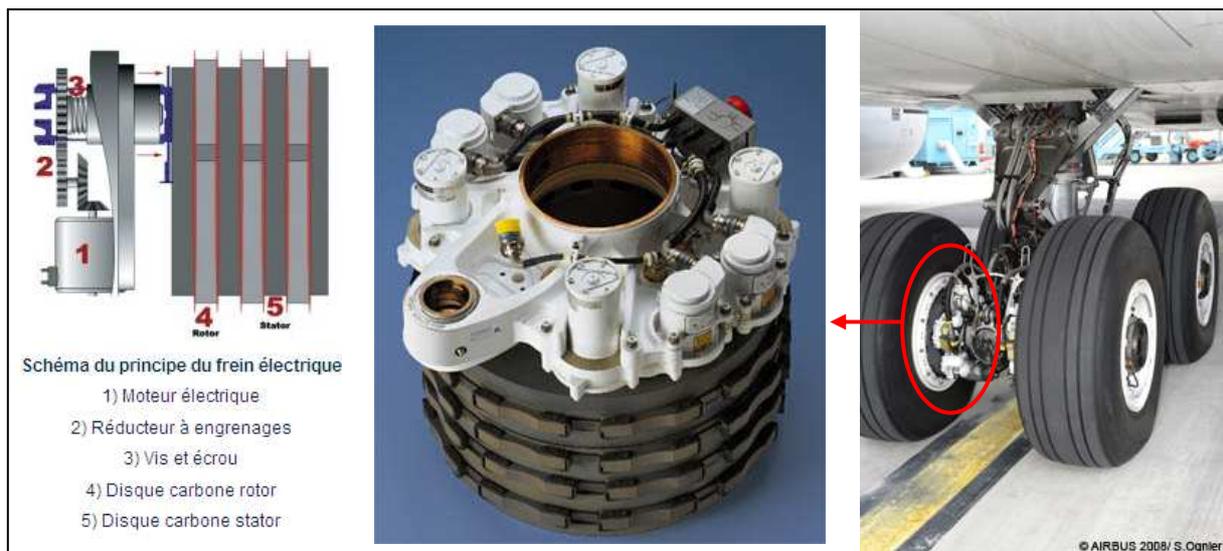


Figure 3 : Schéma de principe du frein électrique (à gauche) [MES], Frein électrique du Boeing 787 Dreamliner réalisé par MESSIER-BUGATTI (au milieu) [MES], Train d'atterrissage d'un Airbus A340-600, premier avion testé avec des freins électriques, freins aussi réalisés par MESSIER-BUGATTI (à droite) [SAF-b].

Après avoir brièvement « planté le décor », intéressons nous à ce qui est directement lié au sujet de thèse, à savoir le cœur de puissance et en particulier l'onduleur. Dans ce domaine, le programme SEFORA a pour but de démontrer la faisabilité et la fiabilité d'un onduleur de tension triphasé haute température à base de JFET en carbure de silicium (ou SiC, diminutif de la traduction anglaise « silicon carbide » que nous utiliserons par la suite) conçu en fonction des spécifications avioniques présentées dans le Tableau 1.

Tension du BUS DC	540V
Courant de sortie	6A RMS par bras
Fréquence de découpage	10 kHz à 30 kHz
Température de jonction du JFET SiC	Jusqu'à 250°C
Température du module onduleur	-55°C à +200°C
Application frein	1 à 5 kW méca. fournie par le moteur électrique
Application VSV	1 à 2 kW méca. fournie par le moteur électrique

Tableau 1: Spécifications avioniques concernant les smart EMA en environnements sévères [MEU 2010].

Le choix du transistor JFET n'est pas anodin et encore moins celui du matériau semi-conducteur, le carbure de silicium.

En effet, au vu des données mentionnées dans le Tableau 1, le silicium utilisé jusqu'à présent dans les applications de puissance en tant que matériau semi-conducteur ne permet pas de satisfaire au couple (tenue en tension, température de jonction maximale). Pour de telles applications, une tenue en tension de 1200V est nécessaire lorsque la température de jonction atteint 250°C. Or comme le montre la Figure 4, la limite théorique de tenue en température de la jonction en silicium est de 200°C lorsqu'une tenue en tension de l'ordre de 1200V est exigée. De part la maturité du processus de fabrication du SiC et de la qualité des « wafers »*, ce matériau semi-conducteur à grand gap suscite un intérêt en électronique de puissance puisque le polytype retenu, le polytype 4H, permet théoriquement de tenir une tension de 1200V pour une température de jonction supérieure à 1000°C. Par ailleurs, d'autres propriétés intéressantes du SiC peuvent être exploitées : rapidité de commutation, conductivité thermique élevée, diminution du dispositif de refroidissement, meilleure immunité aux radiations ...

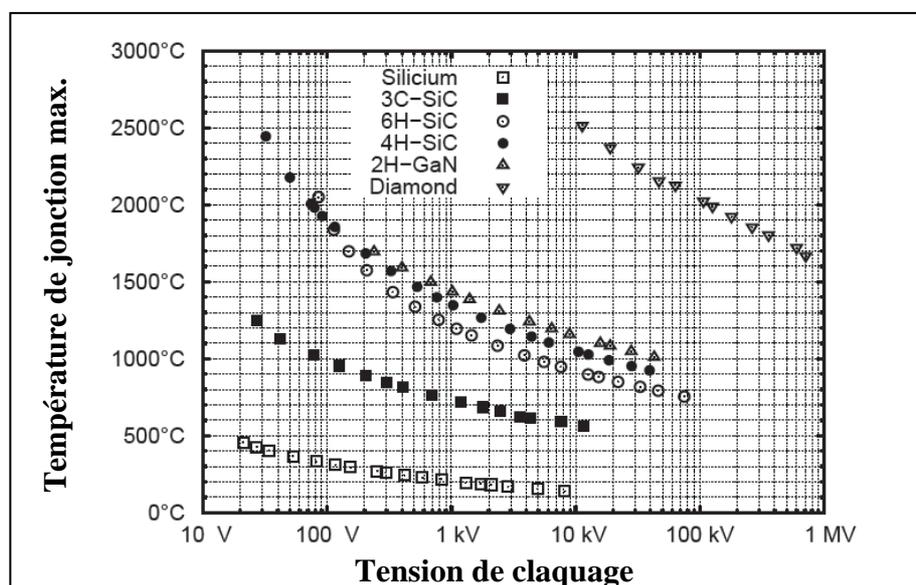


Figure 4 : Limite d'emballement thermique en fonction de la tension de claquage obtenue par simulation pour différents matériaux semi-conducteurs (existants et émergents). Résultats de simulation et cadre des simulations précisés dans [BUT 2009].

* Terme anglais employé couramment dans le domaine de l'électronique de puissance désignant le « substrat » en forme de disque sur lequel un composant est élaboré. Dans la littérature les termes « plaquette » ou « tranche » sont aussi employés pour désigner le wafer [LEF 2004, TOU-a 2007].

Concernant le choix du transistor JFET SiC, le transistor retenu dans le cadre du projet est celui de la société SiCED [@SIC-1], le JFET SiC deux canaux [FRI 2000]. Ce choix est justifié par le fait qu'actuellement seul ce transistor de puissance en SiC est le plus mature, le plus fiable à haute température et proche de la commercialisation [BUT 2009]. Par ailleurs, ce composant à la particularité de comporter une diode interne bipolaire en anti-parallèle entre les électrodes drain-source. Cela permet d'obtenir un convertisseur sans ajout de diode externe (convertisseur généralement appelé « diode less inverter ») et par conséquent de s'affranchir du problème de fiabilité à hautes températures de la diode Schottky SiC [BUT 2009, MEU 2010]. Cependant ce composant exhibe un inconvénient à prendre en considération et qui n'est pas des moindres puisque le JFET retenu est passant lorsque une tension nulle est appliquée entre ses électrodes de commandes. Dans le jargon de l'électronique de puissance, ce composant est qualifié de « normally-on ».

Pour terminer la présentation du projet SEFORA, nous tenons à préciser que ce projet est labellisé par le Pôle de Compétitivité aérospatial ASTech Paris Région [@AST] et soutenu par la DGA [@AST, @DGA]. C'est un projet qui a débuté en 2007, prévu pour une durée de trois ans, et qui est porté par la société Hispano-Suiza [@HIS] du groupe SAFRAN [@SAF-a]. Dans le cadre de celui-ci, plusieurs partenaires interviennent comme les laboratoires GREEN [@GRE], AMPERE [@AMP] et SATIE [@SAT], ou encore la société SiCED [@SIC-1] (centre de recherche de la société Infineon [@INF-a]) qui nous a permis d'avoir accès à des échantillons de JFET SiC.

Le présent manuscrit comporte cinq chapitres. Ces chapitres vont être présentés suivant une suite logique constructive. Nous allons tout d'abord étudier les propriétés du carbure de silicium, puis ensuite étudier les comportements statique et dynamique ainsi que la commande du JFET, avant de réaliser une étude système.

Le premier chapitre est dédié essentiellement au carbure de silicium et au JFET. Il comporte un bref état de l'art sur les propriétés des matériaux semi-conducteur à grand-gap, avec en particulier la mise en avant des propriétés du SiC. Une cartographie de l'ensemble des composants disponibles sur le marché ou à l'étude est établie. Enfin, un état de l'art complet concernant le JFET est présenté.

Le deuxième chapitre concerne quant à lui la caractérisation des comportements statique et dynamique du JFET SiC retenu dans le cadre du projet SEFORA, le JFET SiC deux canaux de SiCED. Cela va nous permettre de cerner le fonctionnement de cet interrupteur de puissance pour des températures allant de -40°C à $+180^{\circ}\text{C}$. Nous montrerons des caractéristiques statiques sur la plage de température précédemment évoquée, et nous décrirons de façon précise les commutations du composant de SiCED pour une température ambiante égale à 27°C .

Le troisième chapitre concerne quant à lui la modélisation des comportements statique et dynamique du JFET SiC retenu dans le cadre du projet SEFORA, le JFET SiC deux canaux de SiCED. Plus particulièrement, nous montrerons que la modélisation du canal latéral du JFET qui est asymétrique n'est pas évidente, et par ailleurs, nous proposerons et validerons une structure de modèle électrique dynamique.

Le quatrième chapitre porte sur la commande du composant et en particulier sur l'étude de l'Interaction Puissance-Commande. L'impact de cette interaction sur la tension de commande du JFET est étudié en simulation et expérimentalement. Nous montrerons au niveau d'un bras d'onduleur JFET SiC que seule la phase de roue libre comporte des perturbations sur la tension de commande nécessitant l'étude et la comparaison de plusieurs solutions afin de minimiser au mieux ses effets (possible casse de la grille par effet thermique contre le phénomène de « Punch-through », et possible remise en conduction pouvant engendrer un court circuit de bras). Par ailleurs, un moyen d'optimiser de façon simple les solutions étudiées est présenté, nous montrerons qu'il suffit de rapprocher les drivers du convertisseur.

Enfin, le dernier chapitre de ce manuscrit est orienté système (bus continu – onduleur – machine). Il comporte une étude effectuée par simulation sur la stabilité du bus de tension continu,

lorsque ce dernier fonctionne en environnement sévère (haute température et haute tension). Nous proposerons une solution de stabilisation du bus de tension continu sans ajout d'algorithme particulier dans le schéma de contrôle de la machine électrique.

CHAPITRE 1

LE CARBURE DE SILICIUM : DU MATERIAU AUX COMPOSANTS

Dans ce premier chapitre nous allons tout d'abord effectuer un bref historique concernant le carbure de silicium, allant de la découverte de ce matériau jusqu'à la commercialisation de composants électroniques de puissance. Puis nous présenterons les propriétés physiques de différents matériaux semi-conducteurs à grand gap afin d'évaluer leur potentialité vis-à-vis de l'électronique de puissance. Enfin, un état de l'art des composants de puissance en SiC commercialisés ou à l'étude sera réalisé ; celui dédié au JFET sera plus étoffé de par l'intérêt qui est porté à ce composant dans le présent manuscrit.

1.1 Historique *

Le carbure de silicium n'est pas un nouveau venu sur la scène des matériaux en général puisqu'il fut découvert en 1824 par accident lors d'une expérience de Berzelius [BER-2 1824], qui essayait de produire du diamant.

En 1893, Acheson [ACH 1893] fut le premier à mettre au point un procédé de fabrication industrielle du SiC, car il est à préciser que le carbure de silicium n'existe pas à l'état naturel sur terre. Le procédé ainsi établi permit d'exploiter industriellement les propriétés mécaniques exceptionnelles du SiC comme la dureté (réalisation de poudres abrasives et d'outils de coupe) et la résistance aux agents chimiques corrosifs (réalisation de céramiques de revêtement).

Au début du siècle dernier, en 1905 plus précisément, Moissan [MOI 1905] découvrit des cristaux de carbure de silicium dans une météorite, ces cristaux portèrent le nom de moissanite.

Deux ans plus tard, Round [ROU-1 1907] révéla les propriétés électroluminescentes du SiC, ce qui en fait l'un des premiers semi-conducteurs connus. Cependant son utilisation ne s'est pas développée du fait de la mauvaise qualité des matériaux de base obtenus (obstacle technologique).

Il fallut attendre les années 1950 pour retrouver une nouvelle période d'investigations concernant le SiC. En effet, à cette période, les secteurs du militaire et de l'aérospatiale trouvèrent un intérêt à travailler avec du SiC puisque leurs objectifs étaient de développer des composants fonctionnant à hautes températures, à hautes fréquences et à fortes puissances en milieu hostile (températures élevées, sources de radiations ...). Par ailleurs, cet intérêt a été amplifié par des développements majeurs dans l'élaboration des « wafers » (ou substrats), points clés de la viabilité de la filière SiC. En 1955, tout d'abord Lely [LEL 1955] mit au point une méthode de fabrication de wafers relativement purs et présentant une faible densité de défauts. Puis de nombreuses équipes de recherche aux Etats-Unis, en Russie, en Allemagne et au Japon se lancèrent dans l'étude du SiC. Cependant, la diminution de l'espoir d'accroître la taille des wafers conduisit, lors des années suivantes à une baisse de l'intérêt porté au SiC et à l'abandon de l'activité, sauf en Russie. La mise au point de la technique de Lely modifiée par Tairov et Tsvetkov [TAI 1978] a permis d'obtenir des wafers plus grands et par conséquent de relancer les études sur le SiC dans de nombreux pays : Etats-Unis, Japon et Europe.

La société privée américaine Cree Research Inc [@CRE] fut créée en 1987 et commercialisa les premiers wafers en SiC en 1991. Aujourd'hui, sur ce marché Cree est concurrencée par d'autres sociétés comme Dow Corning (Etats-Unis) [@DOW], Nippon Steel (Japon) [@NIP], SiCrystal AG (Allemagne) [@SiC-2] ou encore Norstel AB (Suède) [@NOR].

Ces sociétés offrent des substrats de SiC-4H et/ou SiC-6H dans des standards 2" ($\approx 5\text{cm}$), 3" ($\approx 7.5\text{cm}$) et 4" ($\approx 10\text{cm}$) (avec pour dimension d'usage les inch « " », 1" $\approx 2.5\text{cm}$). La société Cree a annoncé en 2007 que ses wafers ne comportaient plus de défauts du type « micropipe** » (ou micropore), défauts qualifiés de « tueur de composant » [NAL 2002] limitant les performances des composants réalisés [NEU 1994]. Cette annonce fut appuyée au travers de diverses publications réalisées notamment par Friedrichs qui montrent l'évolution de la qualité des wafers de 1993 à 2007 [FRI-a 2006, FRI-a 2008, FRI-b 2008]. Par conséquent, cela souligne l'intérêt qui est porté par les fabricants de wafer à rendre viable la fabrication de composants électroniques de puissance en SiC.

* L'historique a été réalisé en s'appuyant sur les articles des Techniques de l'Ingénieur D 3120 de Tournier [TOU-a 2007] et E 1990 de Camassel [CAM 1998], ainsi que sur les rapports de thèse de Rodriguez [ROD 2005] et Mousa [MOU 2009].

** Le terme anglais « micropipe » (traduit dans la littérature par « micropore » [TOU-a 2007] ou encore « micro-tube » [CAM 1998]) désigne un défaut caractérisé par un micro-tube (absence de matière) qui traverse le « wafer » de part en part.

En effet, lors de ces dix dernières années, plusieurs composants de puissance ont vu le jour. En 2001, Infineon [INF-a, TOU-a 2007] est le premier fabricant de semi-conducteur à mettre sur le marché une diode Schottky SiC. D'autres fabricants comme Cree [CRE], Microsemi [MIC], STMicroelectronics [STM] et Semisouth [SEM-1] ont ensuite suivi [TOU-a 2007, MOU 2009] ; dernièrement le fabricant Rohm [ROH] a mis sur le marché sa première diode Schottky SiC.

En 2007, le fabricant TransIC [TRA] est le premier à commercialiser un transistor bipolaire en SiC [SEM-2].

En 2008, le fabricant Semisouth a commercialisé le premier JFET SiC « normally-off » [SEM-1]. Par ailleurs, il est à souligner que Semisouth ne sera plus toute seule sur le marché du JFET SiC puisque Infineon prévoit la commercialisation de ce type de composant très prochainement; ce composant est en ce moment à l'étude dans le centre de recherche d'Infineon, SiCED [SIC-1].

En 2009, la société Powerex a commercialisé les premiers modules comportant un bras d'onduleur à base de MOSFET SiC [POW]. Les composants de puissance ont été fabriqués par le fabricant Cree [CRE], et les modules ont été réalisés avec le concours du laboratoire de recherche de l'armée de l'air américaine l'AFRL (Air Force Research Laboratory) [WPA]. Ces modules vont permettre à Cree de préparer l'entrée sur le marché du MOSFET SiC.

En effet, en 2011, Cree fut le premier fabricant de semi-conducteurs à commercialiser de façon industrielle un transistor MOSFET SiC.

D'autres composants de puissance en SiC sont à l'étude, comme la diode bipolaire PiN, l'IGBT et le GTO [MOU 2009].

1.2 Cristallographie – Terminologie et Notation

Dans l'introduction générale nous avons déjà employé le terme « polytype » et la notation « 4H » afin de désigner de façon précise le matériau en SiC utilisé pour la fabrication du JFET que nous avons étudié. Dans cette partie nous allons nous attacher à expliquer brièvement les termes et notations qui sont couramment utilisés en cristallographie et en particulier ceux qui concernent le carbure de silicium.

Le terme carbure de silicium (ou carborundum) est un terme générique qui recouvre toutes les formes cristallographiques comportant du carbone et du silicium, appelées aussi polytypes. La structure de base du SiC est tétraédrique, elle est composée de 4 atomes de silicium pour un atome de carbone (Figure 1-1). Nous faisons remarquer au passage que la dureté bien connue du carborundum provient directement de la faible valeur des distances interatomiques dans la liaison Si-C (=0,189 nm, voir Figure 1-1), à comparer avec 0,234nm pour le silicium Si-Si et 0,154 nm pour le diamant C-C. Pour la même raison (distance interatomique), la conductivité thermique du SiC est très largement supérieure à celle du silicium ou de l'arséniure de gallium GaAs (Tableau 1-1) [TOU-a 2007].

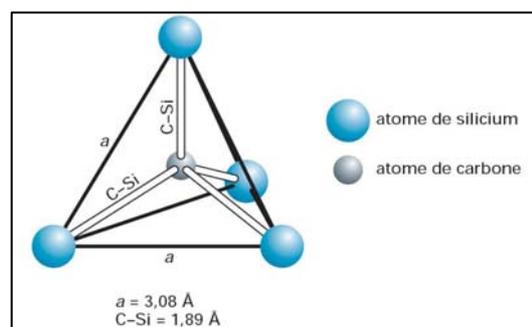


Figure 1-1 : Structure de base du SiC [TOU-a 2007].

En pratique, il existe plusieurs dizaines de polytypes qui peuvent tous être décrits à partir d'un empilement de N bicouches (ou plans) élémentaires Si-C constituant chacune un plan hexagonal compact. Un polytype déterminé comprendra N bicouches (ou plans) et ne différera des autres polytypes que par le détail de la séquence d'empilement des N plans successifs [CAM-1 1998]. Trois positionnements relatifs des plans entre eux sont possibles et sont référencés arbitrairement par les

lettres A, B et C (Figure 1-2). Pour distinguer les polytypes les uns des autres Ramsdell [RAM 1947] a proposé une notation. Cette dernière comporte un chiffre suivi d'une lettre « NX », où N est le nombre de bicouches empilées dans une séquence et X précise le type cristallographique (H pour Hexagonal, C pour Cubique, R pour Rhomboédrique...). Les plus utilisés en électronique de puissance sont les polytypes hexagonaux (4H et 6H) et cubique (3C).

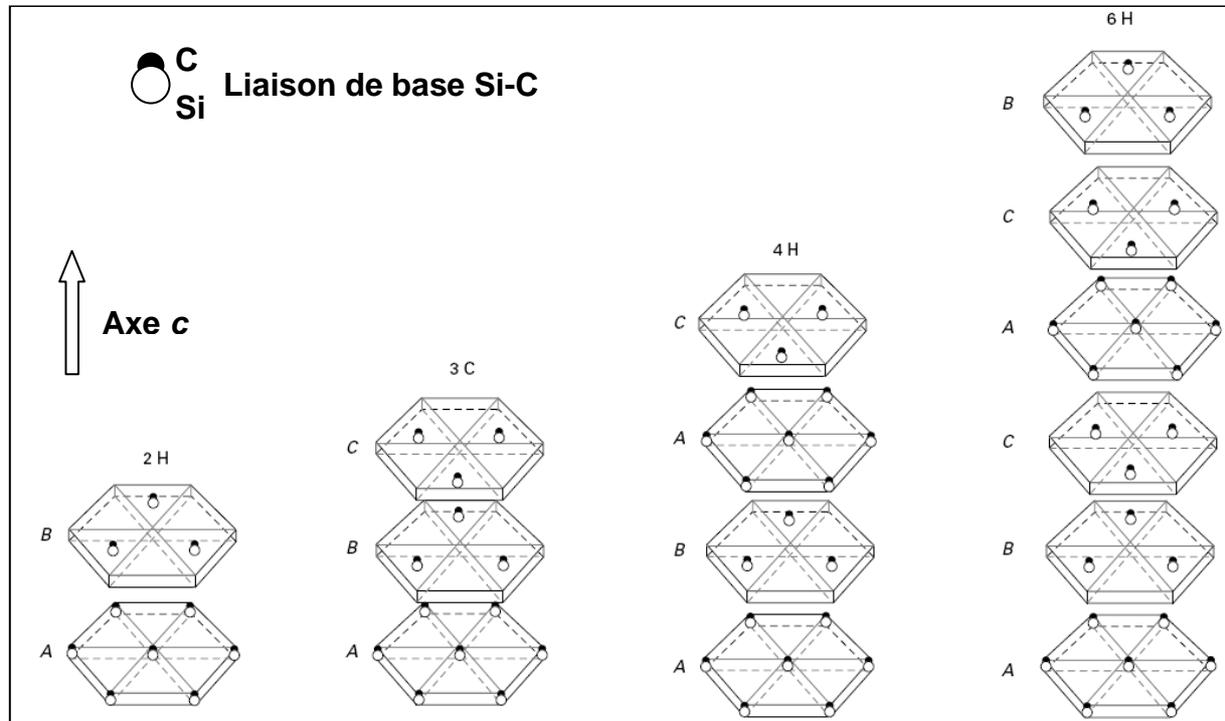


Figure 1-2 : Représentation des polytypes 2H, 3C, 4H et 6H du SiC [CAM-1 1998] selon l'axe cristallographique c [NAL 2002].

1.3 Propriétés physiques, comparaison Si – SiC

Le carbure de silicium a la particularité d'être un matériau semi-conducteur dit à grand gap ou à largeur de bande interdite élevée. Comme l'illustre le Tableau 1-1, la largeur de bande interdite du carbure de silicium est d'une manière générale environ 3 fois plus grande par rapport à celle du silicium. Cela a pour conséquence directe d'obtenir avec le carbure de silicium une concentration de porteurs intrinsèques plus faible par rapport au silicium à 300K et surtout à hautes températures (voir Figure 1-3), permettant ainsi d'envisager la réalisation de composant haute température. Car, nous tenons à rappeler qu'un composant perd son caractère semi-conducteur extrinsèque, autrement dit contrôlable, lorsque la concentration intrinsèque devient supérieure à la densité de dopage. Sur la Figure 1-3 nous montrons très clairement que la concentration intrinsèque pour le SiC-4H reste inférieure à la densité de dopage généralement utilisée en électronique de puissance ($\approx 10^{14} \text{cm}^{-3}$ dans la région qui supporte la tension) pour des températures supérieures à 900°C, contre seulement 150°C–200°C pour le silicium.

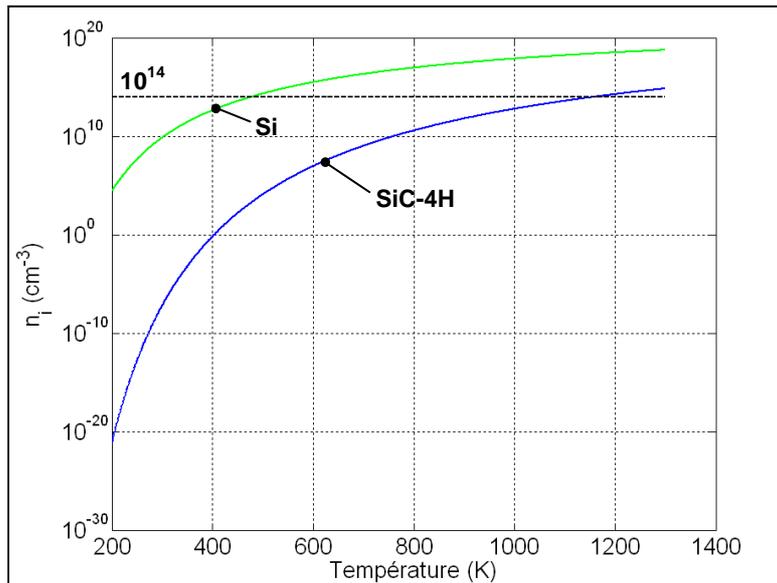


Figure 1-3 : Evolution de la concentration intrinsèque n_i en fonction de la température, comparaison entre Si et SiC-4H.

Tracés effectués avec des données issues de [LEF 2004] pour Si et de [RAY 2007] pour SiC-4H.

Cependant, le fait d'avoir une largeur de bande interdite élevée engendre une chute de tension plus importante aux bornes d'une jonction PN à l'état passant, et des pertes en conduction plus élevées. Nous avons représenté sur la Figure 1-4 l'évolution de la tension de diffusion V_{bi} (V_{bi} diminutif anglais de « built-in potential ») de deux jonctions PN en fonction de la température, dont une est en Si et l'autre est en SiC-4H. Nous rappelons que la tension de diffusion correspond au niveau de tension à partir duquel la jonction commence à conduire un courant. A 300K, et avec des densités de dopage côté P de 10^{17} cm^{-3} et côté N de 10^{14} cm^{-3} , pour le silicium la tension de diffusion vaut 0,7V alors qu'avec le SiC-4H elle vaut 2,7V ! Après avoir effectué ce constat nous comprenons l'intérêt de réaliser des diodes unipolaires en SiC (diode Schottky) pour une certaine gamme de tenue en tension. En effet, Infineon arrive à réaliser des diodes Schottky SiC qui supportent une tension de 600V tout en ayant des chutes de tension similaires à une jonction PN en Si, avec bien sûr l'avantage d'être plus rapides que leurs homologues bipolaires [RUP 2003, @INF-a]. Par contre, pour des tenues en tension supérieures à 3kV, les diodes bipolaires en SiC redeviennent intéressantes [SIN 2002, ZHA-1 2002, TOU-a 2007].

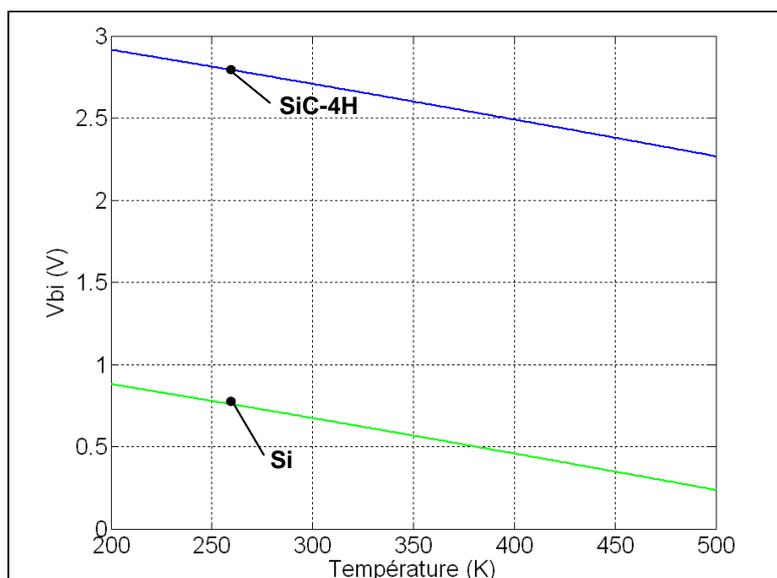


Figure 1-4 : Evolution de la tension de diffusion V_{bi} d'une jonction PN en fonction de la température, comparaison entre Si et SiC-4H.

Tracés effectués avec une densité de dopage côté P de 10^{17} cm^{-3} et côté N de 10^{14} cm^{-3} .

Concernant les aptitudes prévisibles de tenue en tension et de dissipation thermique du SiC par rapport au Si, elles seront meilleures puisque le champ électrique de claquage du SiC est dix fois plus élevé comparé au Si.

En effet, si nous considérons la région de dérive (région faiblement dopée qui supporte la tension, en générale de type N) d'épaisseur minimum w fixe d'un composant unipolaire en SiC ou d'une jonction PN en SiC, en profil de champ non-tronqué, la tension de claquage définie par :

$$V_B = \frac{E_c w}{2} \quad \text{Eq 1-1}$$

est dix fois supérieure à celle du Si. E_c représente ici le champ électrique de claquage.

Par ailleurs, si nous analysons la densité de dopage (voir l'équation Eq 1-2) de la région de dérive, nous constatons que pour une même tenue en tension la densité de dopage du composant en SiC sera 100 fois plus élevée comparée au Si, tout en ayant une épaisseur de la région de dérive du composant en SiC 10 fois plus faible comparée au Si. Nous mettons alors en évidence ici deux intérêts du SiC par rapport au Si qui sont la compacité et la diminution de la résistance à l'état passant.

$$N_D = \frac{E_c \epsilon_{SiC}}{q w} = \frac{E_c^2 \epsilon_{SiC}}{2 q V_B} \quad \text{Eq 1-2}$$

Pour illustrer notre dernier propos, nous présentons l'équation Eq 1-3 qui permet de calculer la résistance spécifique de la région de dérive d'un composant unipolaire de type N à l'état passant. Nous constatons que pour une même tenue en tension, la résistance spécifique du composant en SiC sera environ 1000 fois plus faible comparée au Si, et cela malgré une mobilité des électrons pour le SiC « moins bonne » (surtout pour le 3C et le 4H) par rapport au Si (champ électrique de claquage au dénominateur élevé au cube). Nous faisons remarquer au passage que le dénominateur de cette équation représente un des facteurs de mérite définis par Baliga, celui concernant la minimisation des pertes en conduction (voir le Tableau 1-2).

$$R_s = \frac{w}{q \mu_n N_D} = \frac{4 V_B^2}{\epsilon_{SiC} \mu_n E_c^3} \quad \text{Eq 1-3}$$

Des performances intéressantes sont aussi à envisager pour les applications haute fréquence du fait que d'une part, la vitesse de saturation des électrons du SiC est 2 fois plus élevée par rapport au Si, et d'autre part la permittivité relative du SiC est plus faible par rapport au Si (pour plus de détails, voir les facteurs de mérites de Johnson et Keyes dans le Tableau 1-2 ou les publications suivantes [JOH 1965, KEY 1972]).

Enfin pour clôturer le comparatif Si-SiC à partir des données issues du Tableau 1-1, nous tenons à faire remarquer que le SiC comparé au Si est un très bon conducteur thermique (conductivité thermique comparable à celle du cuivre).

Propriété à 300K	Si	GaAs	SiC-3C	SiC-4H	SiC-6H	GaN	C diamant
E_G (eV)	1,12	1,42	2,3	3,26	2,96	3,4	5,45
n_i (cm ⁻³)	$1,5 \times 10^{10}$	$2,1 \times 10^6$	6,9	$8,2 \times 10^{-9}$	$2,3 \times 10^{-6}$	$1,6 \times 10^{-10}$	$1,6 \times 10^{-27}$
μ_n (cm ² /V.s) *	1200	6500	750	//c : 950 ⊥c : 800	//c : 85 ⊥c : 400	1000	1900
μ_p (cm ² /V.s) *	420	320	40	115	90	30	1600
v_{sat} (cm/s)	1×10^7	2×10^7	$2,5 \times 10^7$	2×10^7	2×10^7	$2,5 \times 10^7$	$2,7 \times 10^7$
E_c (MV/cm) **	0,2	0,4	2	2,5	2,4	3,3	5,6
λ (W/cm.K)	1,5	0,5	4,9	4,9	4,9	1,3	20
ϵ_r	11,8	12,8	9,6	10	9,7	8,9	5,5

Tableau 1-1 : Comparaison à 300K de différents matériaux semi-conducteurs [Rod 2005],

E_G : largeur de bande interdite, n_i : concentration de porteurs intrinsèques, μ_n : mobilité des électrons, μ_p : mobilité des trous, v_{sat} : vitesse de saturation des électrons, E_c : champ électrique de claquage, λ : conductivité thermique, ϵ_r : permittivité relative. * Dopage de 10^{16} cm⁻³, ** Dopage de 10^{17} cm⁻³.

Nous souhaitons maintenant comparer les différents polytypes en SiC présentés dans le Tableau 1-1, à savoir le SiC-3C, le SiC-4H et le SiC-6H. Cette comparaison va nous permettre de justifier le choix des fabricants de semi-conducteur, qui consiste en général à préférer l'emploi du SiC-4H pour l'élaboration de semi-conducteurs de puissances. D'emblée nous remarquons que le SiC-4H possède la largeur de bande interdite la plus élevée. Malgré le fait que le SiC-4H soit légèrement anisotrope [FRI 2000, ROD 2005, RAY 2007] (la mesure de la mobilité suivant l'axe c ou perpendiculairement à l'axe c diffèrent, voir Figure 1-2 la définition de l'axe c), la mobilité des électrons est meilleure par rapport à celles du SiC-3C et du SiC-6H. Il en est de même pour la mobilité des trous, la valeur du champ critique ainsi que de la permittivité relative. Nous remarquons toutefois que la vitesse de saturation du SiC-4H est plus faible que le SiC-3C. Enfin, la conductivité thermique des trois polytypes en SiC est identique.

Pour être complet sur les comparatifs des matériaux semi-conducteurs, des auteurs ont proposé des facteurs de mérite pour pouvoir classer les matériaux selon le type de performance souhaité (fréquence, température, puissance). Les quatre facteurs en électronique de puissance les plus utilisés sont regroupés dans le Tableau 1-2.

Facteurs de mérite		Aptitudes du matériau semi-conducteur	Réf.
$JFM = \frac{E_c v_{sat}}{2\pi}$	<i>Johnson Factor of Merit</i>	Haute fréquence Puissance	[JOH 1965]
$KFM = \lambda \sqrt{\frac{c v_{sat}}{4\pi\epsilon_r}}$	<i>Keyes Factor of Merit</i>	Thermique Haute fréquence	[KEY 1972]
$BFM = \mu E_G^3$ ou $\epsilon_r \mu E_c^3$	<i>Baliga Factor of Merit</i>	Minimisation des pertes en conduction	[BAL-1 1982] [BAL-1 2005]
$BHFFM = \mu E_c^2$	<i>Baliga High Frequencies Factor of Merit</i>	Minimisation des pertes en commutation	[BAL-1 1989]

Tableau 1-2 : Facteurs de mérite [NAL 2002].

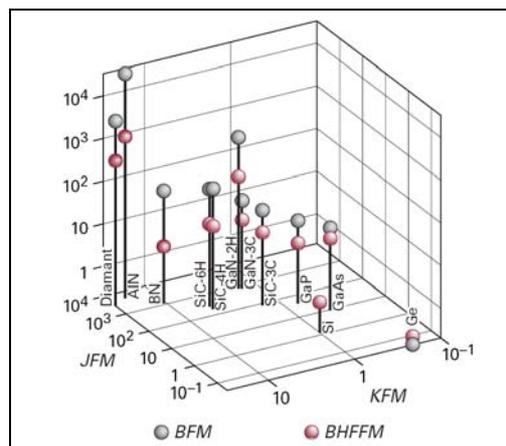


Figure 1-5 : Valeurs de facteurs de mérite JFM , KFM , BFM et $BHFFM$ pour différents matériaux semi-conducteurs, relativement au silicium [NAL 2002].

Les valeurs de facteur de mérite pour différents matériaux semi-conducteurs par rapport au silicium présentées par Nallet dans [NAL 2002] et rappelées sur la Figure 1-5 montrent que les polytypes en SiC-4H et SiC-6H devancent aisément le SiC-3C, le GaAs et le Si. Le concurrent direct du SiC-4H et du SiC-6H est le GaN qui est cependant pénalisé par sa conductivité thermique plus faible. Le Diamant C, et ce n'est pas une surprise, est l'un des meilleurs matériaux semi-conducteurs, cependant son handicap majeur réside dans la difficulté de le synthétiser [NAL 2002, BUT 2009]. Par

conséquent, le SiC reste à l'heure actuelle le matériau semi-conducteur le mieux placé pour l'électronique de puissance.

Pour conclure cette partie, il est indéniable que le carbure de silicium devance son aîné le silicium. Des perspectives intéressantes avec le carbure de silicium sont désormais envisageables. Ce matériau va permettre l'élaboration de composants électroniques de puissance capables de fonctionner à hautes températures (au-delà de 200°C) et à très hautes tensions (au-delà de 10kV). D'autre part, si la température de jonction admissible est plus élevée, nous pourrions pour un même système de refroidissement, augmenter la puissance surfacique dissipable (courant plus élevé, fréquence de commutation plus haute, surface de semi-conducteur d'aire plus faible). Enfin, à puissance dissipée équivalente, nous pourrions alléger le système de refroidissement [LEF 2004].

1.4 Etat de l'art des composants électroniques de puissance en SiC commercialisés et à l'étude

Nous tenons à préciser que l'état de l'art établi dans ce manuscrit s'appuie sur « l'état de l'art mondial des composants de puissance en SiC » du rapport de thèse de Mousa [MOU 2009], car ce dernier est bien détaillé et récent. Par conséquent, nous présenterons seulement les grandes lignes concernant l'état de l'art réalisé par Mousa, et nous effectuerons quelques « mises à jours » en fonction des évolutions présentées sur le SiC par les fabricants de semi-conducteurs et les différentes publications parues au cours de l'année 2010. Autrement dit, l'état de l'art que nous avons réalisé s'efforcera pour chaque composant en SiC entrevu, de comparer leurs performances par rapport à leur homologue en silicium et de répondre aux questions suivantes :

- Quels sont les calibres en tension et courant qui ont pu être atteints lors de ces dix dernières années pour chaque type de composant ?
- Quels sont les performances en statique et dynamique des différents composants ?
- Quelle est la température de jonction maximale admissible pour chaque type de composant ?
- Qu'est ce qui limite l'emploi de certains composants ?

Par ailleurs, nous effectuerons un état de l'art plus détaillé concernant le JFET, allant de son principe de fonctionnement jusqu'aux applications potentielles de ce composant.

Cette partie sera découpée en trois sous-parties. La première portera sur les interrupteurs de puissance non commandables, la deuxième sur les interrupteurs de puissance commandables bipolaires et la dernière sur les interrupteurs de puissance commandables unipolaires.

1.4.1 Interrupteurs de puissance non commandables en SiC (Diode Schottky, Diode JBS et Diode Bipolaire)

La catégorie des interrupteurs de puissance non commandables en SiC (ou appelés couramment redresseurs) comportent trois composants distincts qui sont la diode Schottky, la diode bipolaire et la diode JBS (Jonction Barrier Schottky).

La diode Schottky est un composant dit unipolaire ce qui lui permet d'être rapide en commutation (pas de charge stockée à évacuer au blocage). Cependant, elle présente l'inconvénient de ne pas être adaptée aux applications hautes tensions, et d'avoir au blocage un courant de fuite important qui augmente fortement avec la température. C'est le compromis Choix du matériau semi-conducteur – Tenue en tension – Chute de tension à l'état passant qui limite son champ d'application.

La diode bipolaire est un composant adapté aux applications hautes tensions présentant au blocage des courants de fuite faibles et à l'état passant une chute de tension qui redevient intéressante comparée à la diode Schottky SiC lorsque qu'une tenue en tension supérieure à 3kV est requise.

Cependant, son comportement en commutation est pénalisé par la présence de charge stockée à évacuer au blocage.

La diode JBS (Junction Barrier Schottky) est un composant hybride bénéficiant à la fois des avantages de la diode Schottky et de la diode bipolaire. Elle permet en termes de tenue en tension, de courant de fuite à l'état bloqué, de chute de tension à l'état passant et de performance en commutation, de se placer entre la diode Schottky et la diode bipolaire. Par ailleurs, grâce à l'effet bipolaire, ce composant permet de travailler dans des phases dit « de surcharges ».

Après avoir effectué une brève présentation des différents interrupteurs de puissance non-commandables, nous allons effectuer un état de l'art concernant chacun d'entre eux en commençant par les diodes Schottky, puis ensuite les diodes JBS et enfin les diodes bipolaires. Par ailleurs, nous allons dédier une partie supplémentaire aux composants commercialisés.

1.4.1.1 Les diodes Schottky SiC

Comme nous l'avons déjà mentionné lors de l'historique, les diodes Schottky (ou SBD Schottky Barrier Diode) ont été les premiers composants en SiC à être commercialisés. Cette commercialisation eut lieu en 2001 et fut réalisée par la société Infineon. A l'époque cette société proposa des diodes Schottky SiC ayant des tenues en tension comprises entre 300V et 600V et des possibilités en courant de l'ordre de 10A [LEF 2004]. Nous pouvons alors constater que le carbure de silicium a permis d'augmenter notablement la tenue en tension de la diode Schottky, puisque leurs homologues en silicium avaient une tension de claquage limitée à 200V environ [LEF 2004].

A cette même époque différents démonstrateurs ont vu le jour, voici les meilleures réalisations :

- En termes de calibre en courant, le meilleur démonstrateur en SIC-4H a été réalisé par Singh [SIN 2002]. En effet, le courant direct atteint est de 130A et la chute de tension associée est de 3,25V. La surface active du composant est de $0,8 \times 0,8 \text{ cm}^2$ ce qui fait une densité de courant de 200 A/cm^2 . Par ailleurs, la résistance spécifique différentielle mesurée est de $7,4 \text{ m}\Omega \text{ cm}^2$. Enfin, la tenue en tension atteinte pour ce composant est de 300V avec un courant de fuite associé relativement élevé de 120mA.

- En termes de tenue en tension, le meilleur démonstrateur en SIC-4H a été réalisé par Zhao [ZHA-1 2003]. La tenue en tension atteinte est de 10,8kV avec un courant de fuite associé de 10^{-5} A ou $1,4 \times 10^{-2} \text{ A/cm}^2$. Cette performance permet ainsi de battre significativement le précédent record établi par Singh [SIN 2002], où la tenue en tension s'élevait à 4,9kV pour un courant de fuite associé de $0,3 \text{ A/cm}^2$. L'épaisseur de la zone de dérive de la diode de Zhao est de $115 \mu\text{m}$ avec une densité de dopage de $5,6 \times 10^{14} \text{ cm}^{-3}$. La résistance spécifique différentielle du composant est de $97,5 \text{ m}\Omega \text{ cm}^2$. Enfin, la densité de courant atteinte est de 48 A/cm^2 et la chute de tension associée est de 6V. Pour tenir de telles tensions la technique d'extension de terminaison de jonction par paliers (MJTE Multistep Junction Termination Extension) a été utilisée [Li 2000] (voir Figure 1-6). Nous rappelons que la technique d'extension de terminaison de jonction (JTE Junction Termination Extension) permet d'améliorer la tenue en tension périphérique des composants « planar » en augmentant le rayon de courbure des équipotentielles. Différentes solutions (passivation seule, électrode de champ, anneaux de garde, poche implantée) sont présentées dans [BAL-1-a 1984, RAG 1996, LEF 2004].

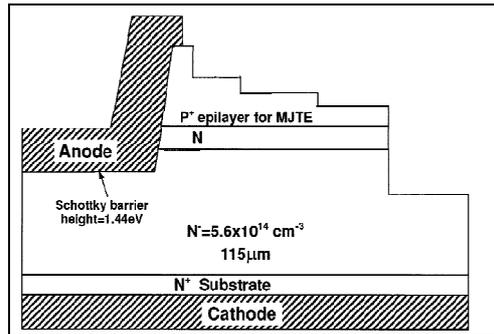


Figure 1-6 : Structure de la diode Schottky SiC 10,8kV réalisée par Zhao [ZHA-1 2003].

Concernant les comparatifs entre les diodes Schottky SiC et les diodes PiN Si ou PN ultrarapide (ou « ultrafast ») Si, voici ce que nous pouvons retenir :

Rupp dans [RUP 2003] et son collègue Miesner dans [MIE-03] ont réalisé plusieurs comparatifs. Le premier concerne le régime statique. Une diode Schottky SiC d'Infineon (voir sa structure sur la Figure 1-7) ayant pour calibres 6A-600V (SDP06S60) est comparée sur la Figure 1-8 en polarisation directe et inverse avec une diode PN Si ultrarapide de mêmes calibres (EMCON IPD06E60).

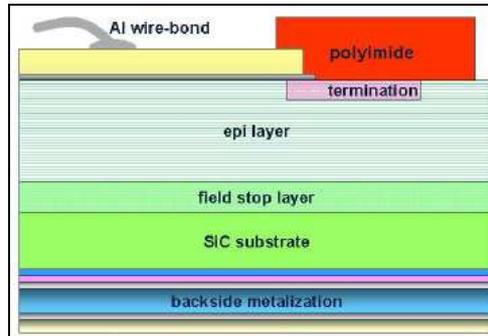


Figure 1-7 : Structure de la diode Schottky SiC d'Infineon [RUP 2006].

En analysant la caractéristique statique directe, nous constatons qu'au courant nominal de 6A les chutes de tensions des deux diodes sont quasi-identiques. Cependant pour des courants supérieurs, la diode Schottky SiC montre ses limites surtout à haute température à cause de son caractère unipolaire. Si nous nous intéressons maintenant à la caractéristique inverse des deux diodes, nous remarquons encore une fois la supériorité de la diode PN Si ultrarapide par rapport à la diode Schottky SiC, puisque pour la tenue en tension nominale, 600V ici, la diode Schottky SiC a un courant de fuite plus important que ce soit à 25°C ou à 150°C.

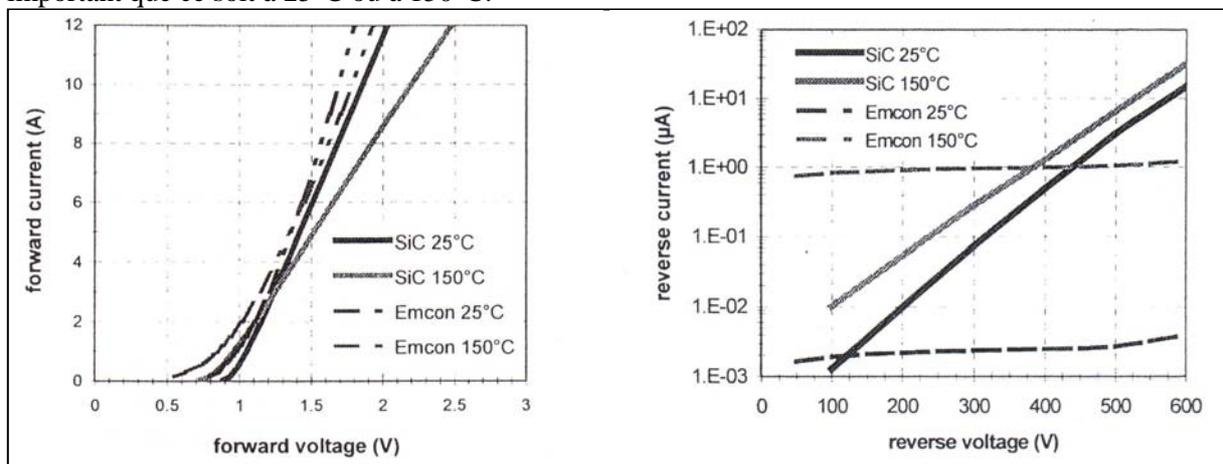


Figure 1-8 : Comparaison en polarisation directe et inverse d'une diode Schottky SiC d'Infineon (SDP06S60) et d'une diode PN Si ultrarapide (EMCON IPD06E60) [RUP 2003].

Le deuxième comparatif concerne le régime dynamique. Les résultats présentés sur la Figure 1-9 ne sont pas surprenants. Nous voyons très clairement que cette fois-ci la diode Schottky SiC est plus performante en commutation et en particulier au blocage par rapport aux diodes en silicium. Le courant de recouvrement inverse est quasi nul et la charge à évacuer au blocage est bien inférieure. Par ailleurs, cette charge à évacuer ne dépend ni du courant commuté, ni du di/dt ce qui n'est pas le cas de la diode Si PiN. Enfin, l'étude de Jordà [JOR 2005] a montré que pour une diode Schottky SiC le temps de commutation, la charge à évacuer au blocage et le courant de recouvrement inverse ne dépendent pas de la température.

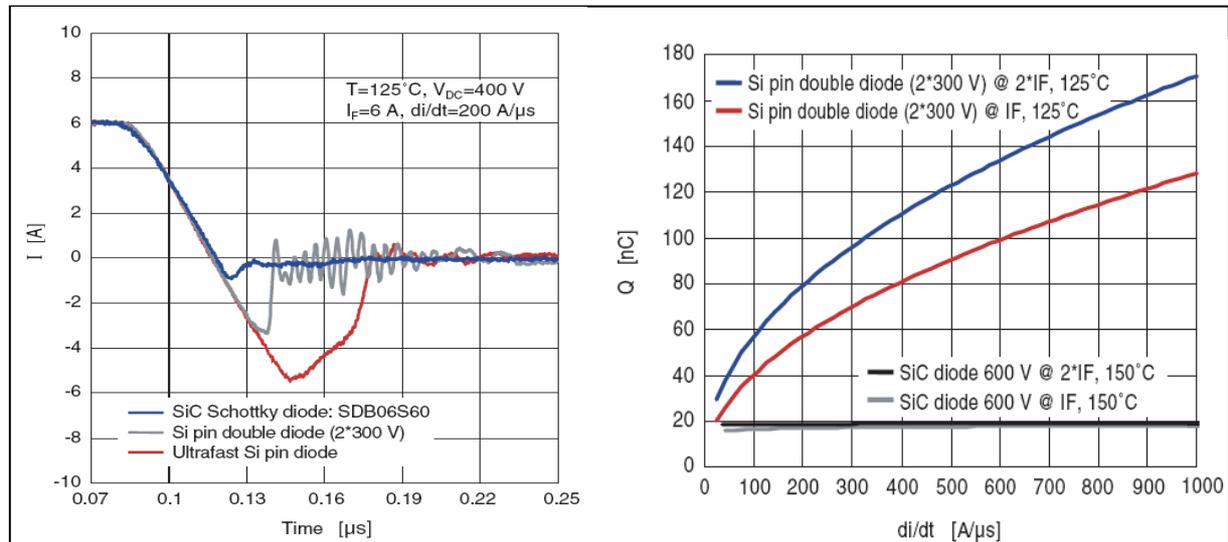


Figure 1-9 : Comparaison des formes d'onde au blocage d'une diode Schottky SiC avec différentes diodes bipolaires en Si (à gauche), Comparaison de la charge à évacuer au blocage d'une diode Schottky SiC et d'une diode PiN Si (à droite) [©INF-b, RUP 2003].

Le troisième et dernier comparatif porte sur une application de correction de facteur de puissance (ou PFC Power Factor Correction) réalisée à partir d'une structure hacheur élévateur (ou boost, voir le schéma sur la Figure 1-10).

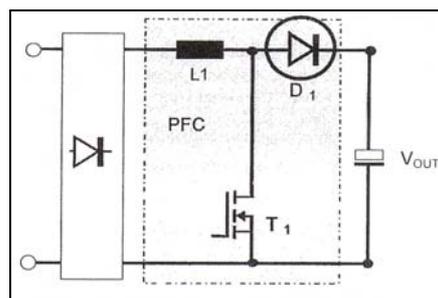


Figure 1-10 : Emploi d'une diode Schottky SiC dans une structure boost, Application PFC [RUP 2003].

Rupp et Miesner nous montrent que l'emploi d'une diode Schottky SiC dans un tel montage (diode $D1$ Figure 1-10) va permettre d'exploiter ses performances en commutation (courant de recouvrement inverse et charge à évacuer au blocage quasi nuls) en vue de diminuer significativement la taille de l'inductance $L1$ du boost tout en ayant d'excellents rendements. En effet, sur la Figure 1-11 nous pouvons remarquer que pour une fréquence de découpage de 500kHz la taille de l'inductance $L1$ est diminuée d'environ 50% par rapport à une application où une fréquence de découpage de 100kHz est utilisée. Une remarque quasi-similaire concernant le coût de l'inductance peut être établie, le gain observé étant légèrement supérieur. Concernant les rendements présentés sur cette même figure, nous pouvons souligner que la diode Schottky SiC permet d'obtenir des rendements excellents quasi-

constants autour de 93% sur une plage de fréquences allant de 100kHz à 350kHz, ce qui n'est pas le cas des diodes bipolaires en silicium. Par ailleurs, les auteurs de [@INF-b] font remarquer à juste titre que le transistor MOS T1 du convertisseur boost est moins stressé lors des phases de blocage de la diode Schottky, ce qui engendre moins de pertes en commutation et augmente la fiabilité du système.

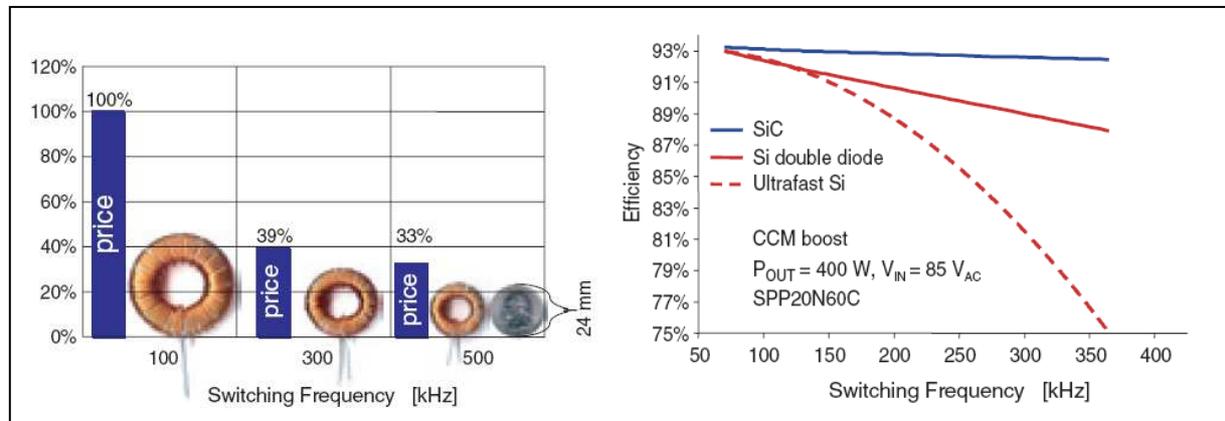


Figure 1-11 : Taille/Coût relatif de l'inductance du boost (à gauche) et rendement du convertisseur boost PFC (à droite) en fonction de la fréquence de découpage f , (Référence : $f=100\text{kHz}$, prix=100%) [@INF-b].

Malgré la supériorité des diodes Schottky SiC dans les applications hautes fréquences par rapport aux diodes en silicium, nous avons vu dans cette partie qu'elles montrent leurs limites en conduction et en polarisation inverse surtout à hautes températures (150°C). C'est pourquoi une diode hybride Schottky + bipolaire en SiC a vu le jour, la diode JBS.

1.4.1.2 Les diodes JBS SiC

Historiquement l'idée de développer les diodes JBS a été proposée par Baliga en 1984. Des problèmes identiques (courants de fuite en forte polarisation inverse, chute de tension importante à l'état passant) avaient été identifiés pour la technologie silicium, d'où l'idée de combiner les avantages de la diode Schottky et de la jonction PN [BAL-1-b 1984].

En effet les diodes JBS (Junction Barrier Schottky) ou encore appelée MPS (Merged PiN – Schottky) ont été développées pour disposer des performances combinées à la fois des diodes Schottky et des diodes bipolaires. Voici ces performances plus en détails :

- Tenue en tension importante,
- Faible courant de fuite,
- Chute de tension faible à l'état passant,
- Caractéristique statique de la diode PiN en fonction de la température,
- Grande vitesse de commutation accompagnée de faibles pertes en commutation.

En ce qui concerne la mise sur le marché de ce type de composants, nous tenons à préciser qu'Infineon a commencé à le commercialiser en 2006. Infineon appelle ce composant hybride, la seconde génération de diode Schottky SiC. Les dispositifs réalisés jusqu'à ce jour possèdent une tenue en tension de 600V, et des possibilités en courant pouvant aller jusqu'à 16A [@INF-a].

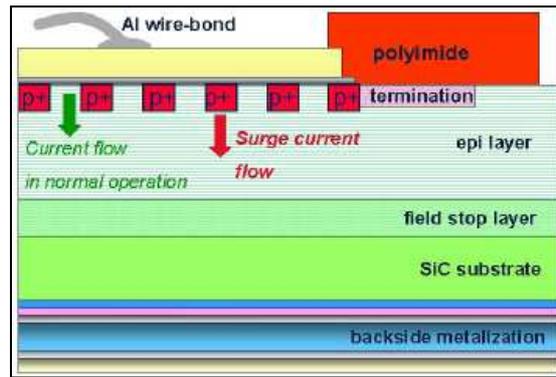


Figure 1-12 : Structure de la diode Schottky SiC 2nde génération d'Infineon [BJO 2006].

Sur la Figure 1-12 nous présentons la structure de la diode Schottky SiC d'Infineon de seconde génération. Nous faisons remarquer qu'elle comporte des îlots P⁺ situés juste en dessous du contact Schottky afin de minimiser les courants de fuite dans des conditions de blocage [BJO 2006, RUP 2006].

Par ailleurs, comme le souligne Björk dans [BJO 2006], dans cette structure, les interfaces Schottky sont utilisées pour la conduction, avec des niveaux de courant allant jusqu'au courant nominal. Pour les forts niveaux de courant les îlots P⁺ sont utilisés.

Pour illustrer notre dernier propos, Björk toujours dans [BJO 2006] compare en polarisation directe une diode de 1^{ère} génération avec une diode de 2nde génération, ayant toutes les deux un calibre en courant identique de 4A. Nous présentons les résultats de cet essai comparatif sur la Figure 1-13, et nous précisons que ces résultats ont été obtenus en appliquant entre les électrodes des deux diodes testées des impulsions de tension d'une durée de 400µs. Nous remarquons que les diodes commencent à conduire à partir de 1V environ, et qu'entre 1V et 3V le comportement typique de la diode Schottky est observé. Pour une polarisation directe au-delà d'une tension V_F de 5V, le courant dans la diode Schottky 1^{ère} génération atteint ses limites. Par contre, le courant dans la diode 2nde génération continue d'augmenter avec des caractéristiques de conduction bipolaire. Pour une tension V_F de 7V la diode Schottky 2nde génération a été capable de conduire un courant deux fois plus important par rapport à la diode Schottky de 1^{ère} génération. Par ailleurs, Björk montre que pour des impulsions de tension d'une durée inférieure à 400µs, la diode de 2nde génération (4A) a supporté sans casser en conduction des courants qui dépassent 320A.

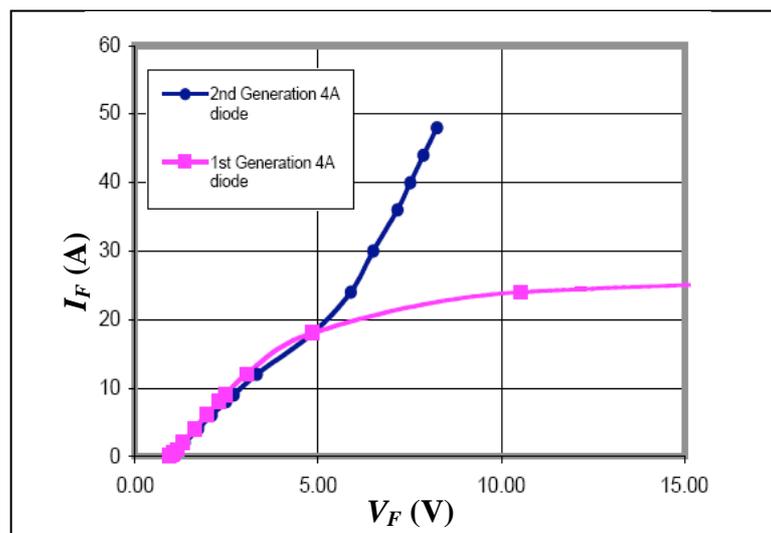


Figure 1-13 : Comparaison pour une température de boîtier de 25°C des caractéristiques directes de la diode Schottky 1^{ère} génération avec la diode Schottky 2nde génération d'Infineon [BJO 2006].

Le comportement dynamique de cette nouvelle génération de diode Schottky d'Infineon a été étudié par Rupp dans [RUP 2006]. La diode caractérisée est une diode ayant pour calibres en courant-tension 5A-600V respectivement. Son comportement dynamique au blocage a été évalué dans le mode unipolaire pour un courant commuté de 5A et une température de 25°C, et dans le mode bipolaire pour un courant commuté de 50A et une température de 150°C (voir la Figure 1-14). Par ailleurs, une fois la commutation réalisée, la tension inverse supportée dans les deux cas était de 400V. Dans le mode de conduction unipolaire nous pouvons établir les mêmes remarques que pour la diode Schottky de 1ère génération. En effet, au blocage le courant de recouvrement inverse est très faible, il en est de même pour la charge à évacuer. Par ailleurs, cette charge à évacuer ne dépend ni du courant commuté, ni du di/dt et ni de la température. Ce comportement reste identique même avec des conditions de forte injection (régime bipolaire) du fait de la faible durée de vie des porteurs minoritaires ($\ll 1\mu s$) et de la faible épaisseur de la région de dérive ($\sim 4\mu m$).

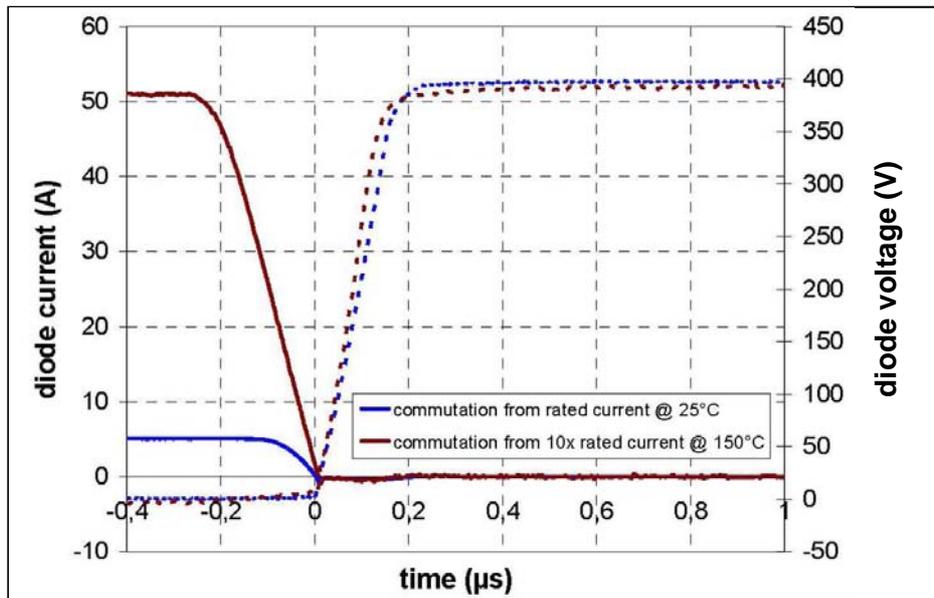


Figure 1-14 : Comparaison des formes d'ondes au blocage de la diode Schottky 2nde génération d'Infineon en régimes unipolaire et bipolaire [RUP 2006].

Par ailleurs Björk dans [BJO 2006] et son collègue Rupp dans [RUP 2006] ont montré la capacité de la diode JBS SiC d'Infineon à fonctionner dans des conditions d'avalanche répétée, ce que ne pouvait pas réaliser la diode Schottky de 1^{ère} génération du fait qu'elle ne disposait pas d'îlots P⁺. Grâce au circuit présenté sur la Figure 1-15, la robustesse de la diode 2nde génération en régime d'avalanche répétitif a été évaluée toutes les 10 microsecondes pendant 1000 heures consécutives. Deux lots de 40 échantillons ayant chacun un calibre en courant de 8A et une surface active de 1,95mm² ont été testés. Après la campagne d'essais, aucune dégradation n'a été observée sur les caractéristiques électriques de tous les échantillons testés.

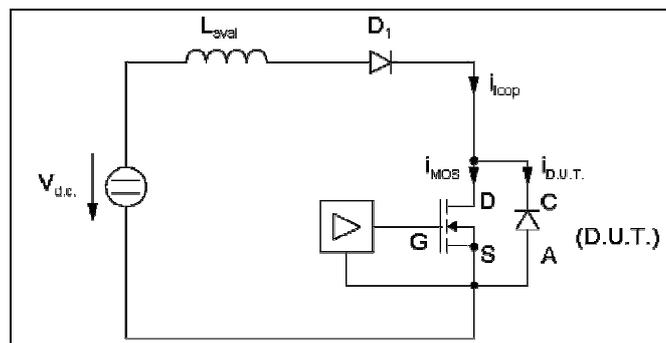


Figure 1-15 : Circuit de test de type « boost » permettant d'évaluer dans des conditions d'avalanches répétitives la robustesse de la diode Schottky 2nde génération d'Infineon [RUP 2006].

Pour clôturer l'aspect commercialisation des diodes JBS chez Infineon, nous signalons qu'en 2009 la troisième génération de diode Schottky SiC a fait son apparition sur le marché. Les dispositifs commercialisés jusqu'à ce jour possèdent des tenues en tension de 600V et 1200V, et des possibilités en courant pouvant aller jusqu'à 12A pour la version 600V et 2A pour la version 1200V [a-INF]. La structure de cette nouvelle génération est identique à celle de la seconde génération, par conséquent la troisième génération de diode Schottky SiC fait aussi partie de la famille des diodes JBS. Par contre, comme le souligne Rupp dans [RUP 2010], la troisième génération dispose d'une amélioration au niveau de l'attache mécanique de la puce sur sa semelle, permettant de réduire de 40 à 50% la résistance thermique jonction-boîtier $R_{th,jc}$ pour une surface de puce donnée. Par conséquent, si nous comparons la diode de 2nde génération avec la diode de 3^{ème} génération, pour une surface de puce donnée et un même dispositif de refroidissement, la diode de 3^{ème} génération aura un calibre en courant supérieur à son homologue de 2nde génération. D'un autre côté, pour une surface de puce donnée et un calibre en courant identique, le dispositif de refroidissement pourra être réduit significativement (~35%) avec l'emploi de la diode 3^{ème} génération. Enfin, pour terminer sur le comparatif des diodes 2nde et 3^{ème} génération d'Infineon, pour une même résistance thermique $R_{th,jc}$ et un même calibre en courant, la surface active de la diode 3^{ème} génération pourra être réduite comparée à celle de 2nde génération, par conséquent les performances en commutation de la diode 3^{ème} génération en seront améliorées.

Avant de recenser ce qui se fait dans la littérature, nous allons rajouter un élément important qui concerne la tenue en température des diodes JBS d'Infineon. Elles sont certifiées être opérationnelles pour des températures maximales de jonction et de boîtier de 175°C. Il est indéniable que ces performances en température sont meilleures par rapport à leurs homologues Schottky en silicium qui ne sont certifiées en générales que jusqu'à 150°C maximum (jonction et boîtier). Cependant pour des applications nécessitant de travailler au-delà de 175°C, la diode JBS ne permet pas d'y parvenir a priori, à cause peut être d'une limitation en température du boîtier ou du fait que les courants de fuite soient significatifs. Pourtant comme nous allons le montrer par la suite, Brosselard a réalisé des diodes JBS SiC pouvant travailler dans une ambiance à 300°C.

En effet, Brosselard dans [BRO-a 2007] compare les comportements statique et dynamique de 3 types de diodes dans une ambiance pouvant aller jusqu'à 300°C. La comparaison est réalisée entre une diode ultrarapide en silicium HF40C120ACE (1200V – 8A – 11,8mm² de surface active) commercialisée par International Rectifier, et deux diodes en SiC dont une est du type Schottky (1500V – 1,96mm² de surface active), et l'autre est du type JBS (1500V – 2,56mm² de surface active). Les diodes en SiC ont été réalisées par Brosselard au centre CNM-IMB en Espagne et montées sur un substrat DCB (Direct Copper Bonding ou encore Direct Copper Bonded) pour permettre de réaliser des essais à haute température (pour plus de détails sur le substrat DCB ou Soudage Direct sur Cuivre, voir le chapitre 2 partie 2.1 et [LEC 1994, ROC 2007, MEU 2010, BER-3 2010]). La Figure 1-16 montre la structure utilisée pour la conception des deux diodes en SiC, bien évidemment la diode Schottky ne comporte pas les îlots P⁺. Cette structure ressemble fortement à celle utilisée par Infineon concernant la diode Schottky SiC de 2nde génération, voir la Figure 1-12 pour rappel.

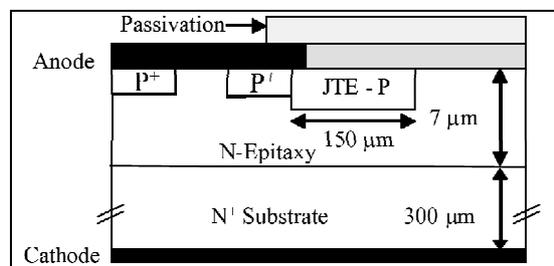


Figure 1-16 : Structure des diodes Schottky SiC et JBS SiC réalisées par Brosselard [BRO-a 2007].

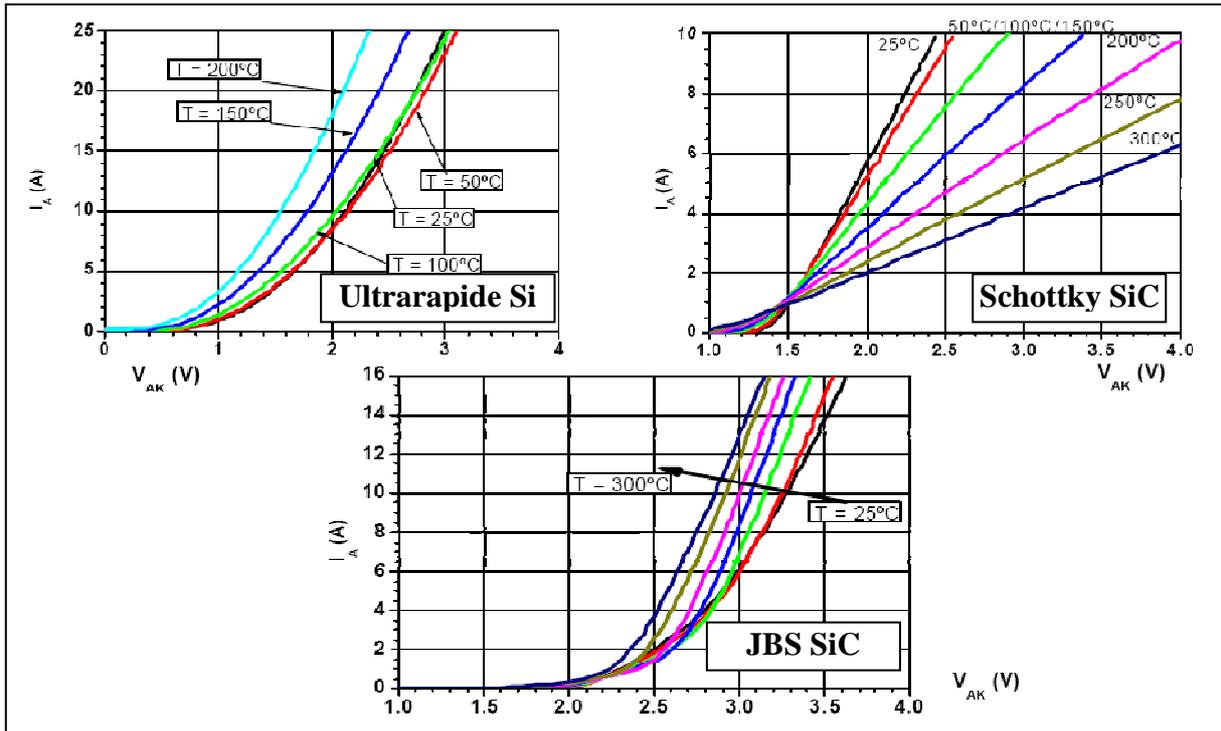


Figure 1-17 : Comparaison en polarisation directe des trois versions de diode étudiées dans [BRO-a 2007].

En mode de conduction directe (voir la Figure 1-17), pour un niveau de courant de 6A et pour des températures $T < 150^{\circ}\text{C}$, la diode Schottky-SiC possède une chute de tension inférieure comparée à la diode JBS SiC et supérieure comparée à la diode ultrarapide en Si. Cependant cette dernière a une surface active 5 fois plus importante par rapport aux diodes en SiC. Pour des températures $T > 150^{\circ}\text{C}$, la diode JBS montre sa supériorité.

En polarisation inverse (voir la Figure 1-18), la diode JBS SiC présente un courant de fuite plus faible à hautes températures par rapport aux diodes Schottky-SiC et ultrarapide-Si.

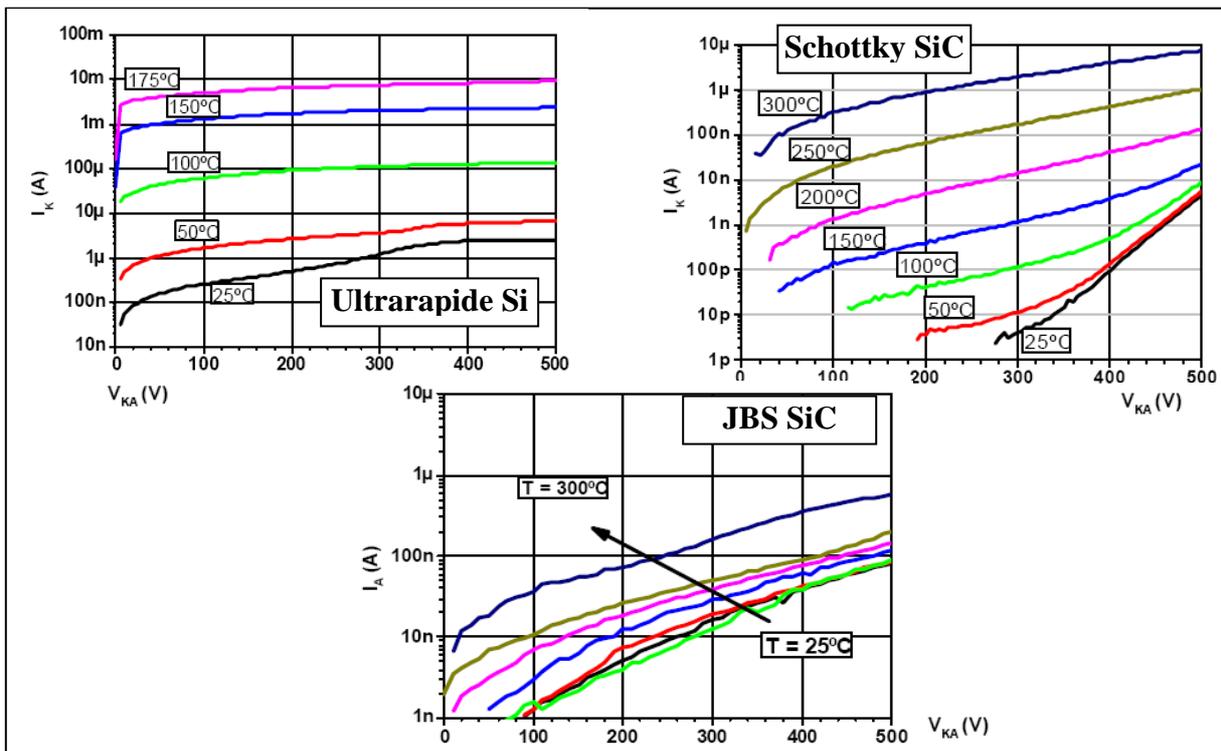


Figure 1-18 : Comparaison en polarisation inverse des trois versions de diode étudiées dans [BRO-a 2007].

Nous allons maintenant aborder l'étude du comportement dynamique des trois diodes. Pour ce faire, Brosselard a opté pour un montage de type abaisseur (ou « buck ») dans lequel un transistor IGBT Si (45A – 1200V) est employé.

	T=25°C			T=300°C (175°C pour la diode Si)		
	t _{off} (ns)	E _{off} (μJ)	Pic de courant (A)	t _{off} (ns)	E _{off} (μJ)	Pic de courant (A)
Ultrarapide Si	100	115	5	250	220	9,5
Schottky SiC	40	13,1	2,5	40	23,1	2,5
JBS SiC	60	13,1	1,5	80	22,5	4,7

Tableau 1-3 : Comparaison au blocage des trois versions de diode étudiées dans [BRO-a 2007].

Les caractéristiques des diodes au blocage ont été comparées (voir le Tableau 1-3) pour un courant commuté de 10A, un di/dt de 220A/μs et une tension supportée de 300V après la phase de blocage. Ce n'est pas une surprise de constater qu'en termes de performances en commutation les diodes Schottky SiC et JBS SiC devancent aisément la diode ultrarapide en silicium. Si nous effectuons la comparaison entre les diodes SiC, les différences notables portent sur le temps de blocage et le pic de courant inverse. La diode Schottky sur ces deux points devance la diode JBS surtout à haute température. Cependant ces aspects ne permettent pas de départager les deux diodes SiC en termes de pertes par commutation puisqu'elles sont identiques aux deux températures d'essais. D'un côté la diode Schottky est pénalisée en conduction par son caractère unipolaire à haute température, et de l'autre côté la diode JBS est pénalisée par son caractère bipolaire puisque son temps de commutation à l'ouverture augmente à haute température.

Nous allons présenter maintenant les réalisations les plus remarquables concernant les diodes JBS (ou MPS) SiC, en termes de tenue en tension et de calibre en courant.

En termes de tenue en tension, Wu a réalisé une diode MPS en SiC-4H ayant une tenue en tension de 4308V [WU 2004]. Pour obtenir une telle tenue en tension, le composant possède une région de dérive d'une épaisseur de 30μm et une densité de dopage de $2 \times 10^{15} \text{cm}^{-3}$. Par ailleurs, pour augmenter la tenue en tension périphérique et se rapprocher de la tension de claquage théorique, une terminaison de jonction du type MJTE a été employée (voir la structure de la diode sur la Figure 1-19). La surface active du composant est faible et n'est que de $8,1 \times 10^{-2} \text{mm}^2$. Quant à la résistance spécifique différentielle, elle est de $20,9 \text{m}\Omega \cdot \text{cm}^2$. Concernant ses performances en conduction, une densité de courant de 142A/cm^2 a été atteinte associée à une chute de tension de 4V.

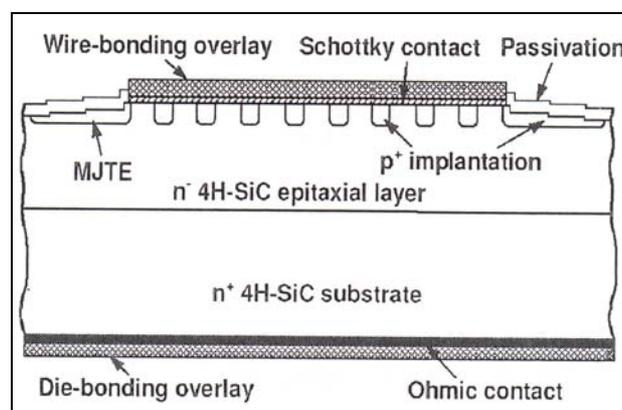


Figure 1-19 : Structure de la diode MPS SiC réalisée par Wu [WU 2004].

En termes de calibre en courant, Alexandrov a réalisé un composant permettant de conduire un courant de 140A tout en ayant une chute de tension associée de 4V seulement [ALE 2001]. Pour ce faire, la diode comportait 12 puces en parallèles, ce qui permettait d'obtenir une surface active totale

de $9,4\text{mm}^2$. Par ailleurs, pour supporter une tension d'au moins 600V, une structure similaire à celle présentée sur la Figure 1-19 était utilisée, comportant une zone de dérive d'une épaisseur de $6\mu\text{m}$ et une densité de dopage de $2,1 \times 10^{16}\text{cm}^{-3}$.

Cependant, l'inconvénient qui peut être présent pour les composants JBS en SiC, est la dégradation de leurs caractéristiques électriques, lorsqu'ils sont utilisés en régime de forte injection (conduction bipolaire). En effet, il est légitime de s'intéresser à ce phénomène, puisqu'il a été mis en évidence lors de l'étude de la diode bipolaire PiN en SiC. Il est dû à la présence de défauts d'empilement (ou « Stacking faults » en anglais) dans les substrats en SiC. Ces défauts se propagent à travers la région épitaxiée uniquement pendant la phase de conduction de la diode bipolaire, et causent la dégradation de la caractéristique directe de la diode PiN en SiC [HEF 2004]. C'est pourquoi, entre autres Rupp dans [RUP 2006] et Brosselard dans [BRO-b 2007] ont entrepris des études spécifiques concernant la diode JBS en SiC lorsque cette dernière est utilisée en régime de forte injection.

En effet, Rupp a testé 36 diodes JBS en SiC 600V de seconde génération d'Infineon en forte conduction bipolaire [RUP 2006]. Le protocole employé pour réaliser ces tests est similaire à celui utilisé pour déterminer le courant I_{FSM} dans une diode [@INF-a]. Ce protocole consiste à faire passer dans les diodes, pendant une heure, un courant périodique de période 10ms ayant pour allure une demi-sinusoïde dont l'amplitude varie en fonction de l'essai. Deux essais ont été menés. Dans le premier essai, les diodes ont conduit une densité de courant maximale de $2,3\text{kA/cm}^2$, et dans le second une densité de courant maximale de $4,6\text{kA/cm}^2$. Dans les deux cas aucune dégradation notable de la caractéristique statique en directe n'a été observée. Rupp explique ce constat par le fait que les diodes testées sont des diodes JBS 600V ayant une région de dérive relativement faible ($\sim 4\mu\text{m}$), qui présente par conséquent peu de défauts d'empilements. En revanche, ce n'est pas le cas concernant les diodes PiN SiC, car pour qu'elles puissent supporter une tension supérieure à 3kV, elles doivent avoir une région de dérive d'une épaisseur plus importante. Ce constat a aussi été établi par Brosselard dans [BRO-b 2007].

Pour clôturer cette partie sur la diode JBS-SiC, nous souhaitons mettre en avant les bénéfices de cette diode au sein d'une application dédiée au ferroviaire.

En effet, Ishikawa, chercheur au laboratoire de recherche d'Hitachi, montre dans [ISH 2010] qu'il y a un intérêt en termes de réduction de pertes en commutation à remplacer les diodes Si par des diodes JBS-SiC dans un onduleur à base d'IGBT-Si 3kV/200A dédiée à la traction ferroviaire (voir la Figure 1-20). Nous remarquons qu'un gain non négligeable de 28% sur les pertes totales est obtenu en réalisant cette reconfiguration Si-SiC. Au passage, la diode JBS-SiC développée par Ishikawa possède un calibre en tension de 3kV, une surface active de $10,25\text{mm}^2$, et la mise en parallèle de 16 puces permet d'obtenir une diode JBS équivalente ayant un calibre en courant de 200A.

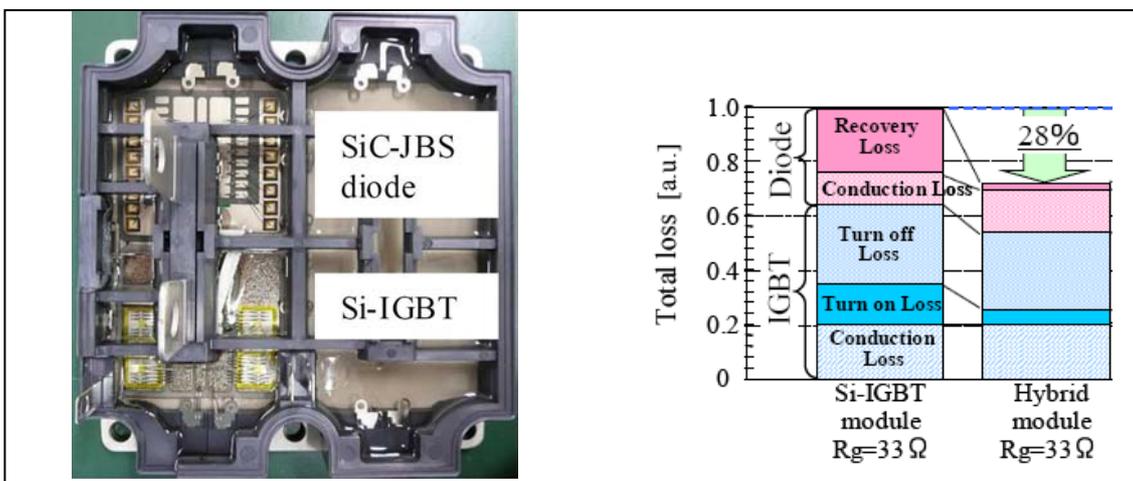


Figure 1-20 : Module hybride IGBT-Si/diode JBS-SiC 3kV/200A (à gauche), Comparaison des pertes totales au niveau d'un onduleur à base de Modules 3kV/200A IGBT-Si/diode-Si et Hybride (à droite) [ISH 2010].

Nous venons de présenter un composant hybride en SiC conjuguant à la fois les propriétés d'une diode Schottky et d'une diode bipolaire. Nous allons dans la partie qui suit nous intéresser aux diodes bipolaires à part entière en SiC.

1.4.1.3 Les diodes bipolaires SiC

Comme nous l'avons déjà évoqué dans la partie concernant la comparaison entre le silicium et le carbure de silicium, les diodes bipolaires comparées aux diodes Schottky et JBS redeviennent intéressantes lorsque des tenues en tension supérieure à 3kV sont exigées [SIN 2002, ZHA-1 2002, TOU-a 2007]. En effet, pour augmenter la tenue en tension d'une diode, il faut augmenter l'épaisseur de la région de dérive qui tient la tension, et pour une tenue en tension de 3kV environ, les diodes Schottky et JBS ne deviennent plus attrayantes à cause de l'augmentation importante de la chute de tension. Les diodes PN et PiN sont conçues de telle sorte qu'en régime de conduction, la région de dérive soit inondée de trous et d'électrons permettant ainsi de réduire sa résistance, nous parlons alors de « modulation de résistivité » due à l'effet bipolaire. Par ailleurs à haute température (>150°C) l'effet bipolaire s'accroît du fait que la concentration des porteurs intrinsèques augmente (trous et électrons), impliquant alors une chute de tension plus faible, ce qui n'est pas le cas des composants unipolaires. En revanche, le comportement d'une diode bipolaire SiC haute tension en commutation sera moins performant par rapport aux diodes Schottky et JBS SiC, cependant si nous le comparons aux diodes bipolaires Si haute tension, nous verrons par la suite que le temps de recouvrement inverse peut être trente fois plus faible.

Nous allons présenter maintenant les réalisations les plus remarquables concernant les diodes bipolaires en SiC, en termes de tenue en tension et de calibre en courant.

En termes de tenue en tension, le meilleur démonstrateur a été réalisé par Sugawara [SUG 2001]. La diode PiN est en SiC-4H et a une tenue en tension importante de 19kV. Pour atteindre cette tenue en tension, le composant comporte une région de dérive de 200 μ m d'épaisseur et dopée à $8 \times 10^{13} \text{cm}^{-3}$ d'atomes donneurs. Par ailleurs, une protection du type MESA/JTE a été utilisée, permettant d'augmenter la valeur de la tension de claquage en volume de la diode réalisée (voir Figure 1-21). La chute de tension pour un courant de 100A/cm² était de 6.5V à 25°C, ce qui est 4 fois plus faible comparée aux diodes Si 6kV commercialisées (comparatif réalisé par Sugawara à partir d'une extrapolation des caractéristiques statiques de ces diodes Si). Concernant le comportement dynamique de cette diode (diode « Type B » sur la Figure 1-21), nous pouvons remarquer qu'elle possède un courant de recouvrement très faible comparée à une diode Si 400V. Pour être plus précis sur ses performances en commutation, la diode 19kV a un temps de recouvrement inverse trente fois plus faible comparé à la diode Si 400V, il est de 43ns.

Pour clôturer cette partie, nous tenons à souligner que cette tenue en tension obtenue avec le SiC permet de repousser les limites de tenue en tension de la diode PiN. Car, comme le précise Lefebvre dans [LEF 2004], la tenue en tension maximale d'une diode PiN en silicium est de 10kV.

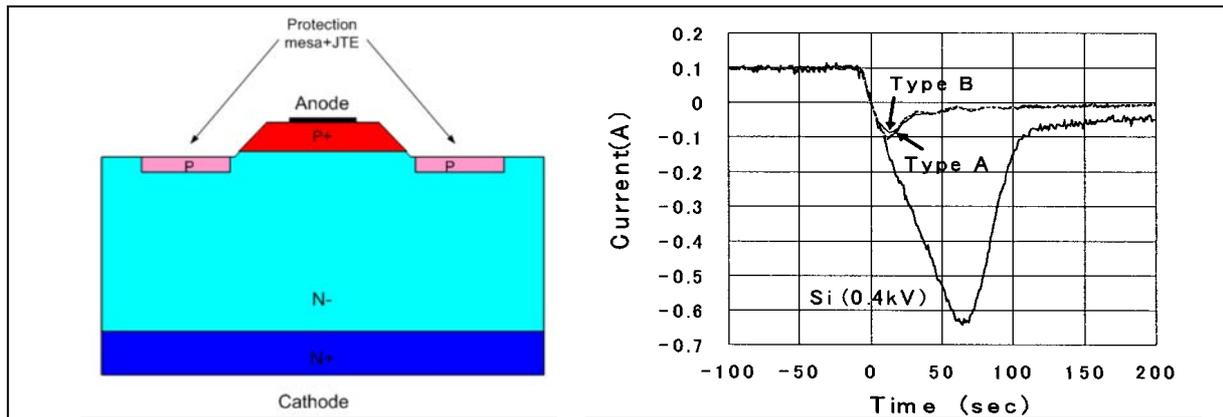


Figure 1-21 : Structure des diodes PiN-SiC haute tension réalisées par Sugawara (à gauche), Comparaison au blocage d'une diode Si 400V avec deux diodes haute tension PiN SiC (Type A : 14,9kV, Type B : 19kV) réalisées par Sugawara (à droite) [SUG 2001].

En termes de calibre en courant, Hull a réalisé une diode PiN en SiC-4H qui a permis de conduire un courant important de 180A et qui a tenu une tension relativement élevée de 4,5kV [Hull 2006]. La surface totale du dispositif bipolaire fort courant est importante et vaut 1,5cm×1,5cm. Cela montre alors qu'un composant de forte puissance en discret était déjà réalisable en 2006 sans paralléliser plusieurs puces. Autrement dit, cela traduit les efforts de conception des composants de puissance allant de la qualité des substrats jusqu'à la réalisation complète d'un composant. Par ailleurs, pour tenir la tension précédemment indiquée, la structure du composant qu'a retenu Hull était similaire à celle employée par Sugawara (voir la structure de la diode haute tension réalisée par Sugawara sur la Figure 1-21). Plus précisément, la région de dérive qui supportait la tension était de 50µm d'épaisseur et dopée à $2 \times 10^{14} \text{ cm}^{-3}$ d'atomes donneurs. En polarisation inverse sous 4,5kV, les courants de fuite relevés étaient tous inférieurs à 0,4µA, sur une plage de température allant de 25°C jusqu'à 200°C. En ce qui concerne le comportement en polarisation directe du dispositif, la chute de tension obtenue à 180A était de 3,17V à 25°C. Nous tenons à souligner que cette diode a été testée pour un niveau de courant beaucoup plus important et une température plus élevée. En effet, pour un courant de 360A, la chute de tension associée à ce niveau de courant était de 3,33V à 25°C et 3,04V à 200°C.

Malgré ses performances prometteuses, la diode PiN en SiC n'a pas encore atteint la maturité commerciale du fait de la présence d'une dérive de la tension directe (V_F) à ses bornes. Ce problème apparaît comme une augmentation de la chute de tension en polarisation directe avec le temps de conduction. La cause de ce phénomène est attribuée aux défauts (désignés en anglais par « basal plane dislocation ») présents sur la surface du substrat de base (désigné en anglais par « wafer ») qui sert de support pour élaborer un composant. Lors de la fabrication du composant par homoépitaxie (pour plus de détails sur l'homoépitaxie voir [NAL 2002]), autrement dit lorsque les plans élémentaires A, B et C sont empilés les uns sur les autres pour former un dispositif en SiC 4H ou 6H, des défauts d'empilement (ou désignés en anglais par « Stacking faults ») apparaissent du fait que le substrat de base comporte des aspérités [STA 2006, SUM 2006]. Comme le précise Stahlbush dans [STA 2006] et Sumakeris dans [SUM 2006], les défauts d'empilement existant lors de l'élaboration du composant vont se dupliquer uniquement lorsque la diode conduit, et en particulier dans la région de dérive qui supporte la tension. Ces défauts vont avoir pour conséquence de diminuer la durée de vie des porteurs, autrement dit la modulation de résistivité dans la région de dérive va être moins efficace ce qui se traduira par l'augmentation de la chute de tension en polarisation directe de la diode.

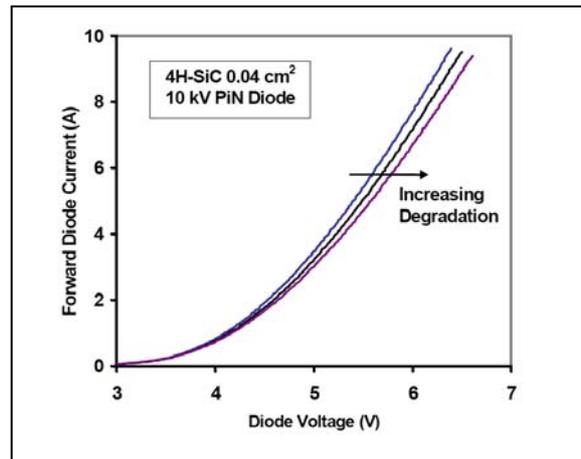


Figure 1-22 : Caractéristique statique d'une diode PiN-SiC après une succession de stress en conduction [HEF 2004].

Hefner dans [HEF 2004] montre bien le phénomène sur une diode PiN en SiC-4H de 10kV et de surface active $0,04\text{cm}^2$. En effet, sur la Figure 1-22 nous pouvons clairement visualiser une dérive vers la droite de la caractéristique statique en conduction de cette diode 10kV après une succession de stress. Hefner a montré que seuls le temps de conduction et le niveau de courant jouent un rôle important sur la dérive observée.

Pour traiter ce problème, la société Cree Research Inc a développé deux procédés pour que la région de dérive réalisée par homoépitaxie comporte le moins de défauts d'empilement possible. Ces deux procédés consistent à traiter la surface du « wafer ». Le premier est basé sur un traitement à base d'Hydroxyde de Potassium KOH, et le second quant à lui est basé sur la gravure de motifs géométriques particuliers [SUM 2006]. Sur la Figure 1-23 nous présentons la caractéristique en polarisation directe de deux diodes PiN SiC, où une est réalisée avec le traitement à base de KOH (diode A), et l'autre est réalisée avec la gravure de motifs géométriques particuliers (diode B). Après 1000 heures de test, nous remarquons que la diode A ne possède pas dérive, ce qui n'est pas le cas de la diode B. Par conséquent, le premier procédé que nous avons présenté montre son efficacité, tandis que le second nécessite encore une phase de réglage [SUM 2006].

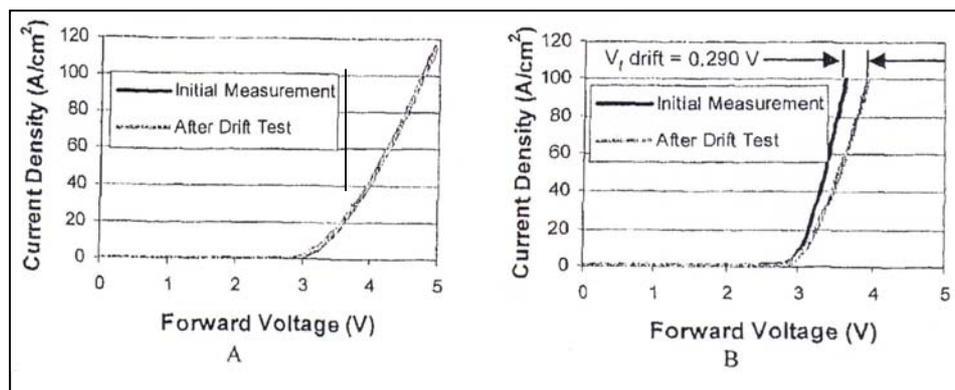


Figure 1-23 : Caractéristique statique de deux diodes PiN SiC, diode A de 10kV fabriquée en utilisant le traitement au KOH (à gauche), diode B de 6kV fabriquée en utilisant la gravure de motifs géométriques particuliers (à droite) [SUM 2006].

Nous venons d'aborder dans cette partie le dernier dispositif classé dans le domaine des interrupteurs de puissance non-commandables en SiC. Avant d'aborder les interrupteurs de puissance commandables en SiC, nous allons dans la partie qui suit réaliser un recensement des diodes en SiC qui sont commercialisés actuellement.

1.4.1.4 Diodes en SiC commercialisées

Comme nous l'avons déjà évoqué précédemment, dans la gamme des interrupteurs de puissance non-commandables en SiC, seules les diodes Schottky et JBS sont commercialisées à ce jour. Infineon [a-INF] en 2001 est le premier fabricant de semi-conducteur à mettre sur le marché une diode Schottky SiC, et elle a pour appellation commerciale « thinQ!™ ». Pour concurrencer Infineon sur ce marché, d'autres fabricants ont suivi, comme Cree [a-CRE], Microsemi [a-MIC], STMicroelectronics [a-STM] ou encore Semisouth [a-SEM]. Nous tenons à préciser que les concurrents d'Infineon sont toujours présents aujourd'hui sur le marché de la diode Schottky SiC, avec comme nouveau venu en 2010 le fabricant japonais Rohm [a-ROH].

En ce qui concerne la diode JBS (ou MPS) SiC, a priori seule Infineon a commercialisé ce type de dispositif. Nous rappelons que la diode JBS SiC d'Infineon, d'appellation commerciale « diode Schottky de seconde génération ou thinQ!™2G » est arrivée sur le marché en 2006. Puis en 2009, une évolution de cette diode JBS SiC d'Infineon a été introduite sur le marché, elle a pour appellation commerciale « diode Schottky de troisième génération ou thinQ!™3G ».

Nous présentons dans le Tableau 1-4 les diodes Schottky SiC commercialisés en 2010.

Fabricant	Tension de claquage V_R (V)	Courant direct I_F (A)	Chute de tension V_F à I_F (V) $T_J = 150^\circ\text{C}$	Courant de fuite I_R à V_R (μA) $T_J = 150^\circ\text{C}$	Charge Stockée Q_C (nC)	Température de jonction T_J et boîtier T_B ($^\circ\text{C}$)
Infineon thinQ!™	600	4 à 12	2 à 1,7 $T_J = 150^\circ\text{C}$	40 à 100 $T_J = 150^\circ\text{C}$	13 à 30	$T_J = T_B$ -55 à 175
Infineon thinQ!™	1200	5 à 15	2,55 $T_J = 150^\circ\text{C}$	20 à 60 $T_J = 150^\circ\text{C}$	18 à 54	$T_J = T_B$ -55 à 175
Cree	600	1 à 10	2 $T_J = 175^\circ\text{C}$	40 à 20 $T_J = 175^\circ\text{C}$	3,3 à 25	$T_J = T_B$ -55 à 175
Cree	650	4 à 10	1,8 à 2 $T_J = 175^\circ\text{C}$	24 $T_J = 175^\circ\text{C}$	8,5 à 25	$T_J = T_B$ -55 à 175
Cree	1200	5 à 50	2,6 à NC $T_J = 175^\circ\text{C}$	100 à NC $T_J = 175^\circ\text{C}$	28 à NC	$T_J = T_B$ -55 à 175
Cree	1700	10 à 25	3 à 3,2 $T_J = 175^\circ\text{C}$	50 à 100 $T_J = 175^\circ\text{C}$	8,5 à 25	$T_J = T_B$ -55 à 175
Microsemi	600	10	1,8 $T_J = 25^\circ\text{C}$	100 $T_J = 175^\circ\text{C}$	NC	$T_J = T_B$ -65 à 225
Microsemi	1200	5 à 50	1,8 $T_J = 25^\circ\text{C}$	100 à 500 $T_J = 175^\circ\text{C}$	NC	$T_J = T_B$ -65 à 225
STM	600	4 à 12	1,9 à 1,6 $T_J = 150^\circ\text{C}$	60 à 200 $T_J = 150^\circ\text{C}$	3 à 12	T_J : -40 à 175 T_B : -55 à 175
Semisouth	1200	5 à 30	2,4 $T_J = 175^\circ\text{C}$	100 à 600 $T_J = 175^\circ\text{C}$	35 à 194	$T_J = T_B$ -55 à 175
Rohm	600	10	1,5 $T_J = 25^\circ\text{C}$	2 $T_J = 25^\circ\text{C}$	NC	T_J max: 150 T_B : -55 à 175

Tableau 1-4 : Disponibilité commerciale des diodes Schottky SiC.

D'emblée, nous pouvons remarquer que la gamme de tenue en tension et la gamme de calibre en courant se sont étoffées depuis que la diode Schottky SiC a été introduite sur le marché. Nous avons désormais de disponible aujourd'hui des diodes Schottky SiC qui possèdent des tensions de claquage allant de 600V à 1700V, et des possibilités en courant allant de 1A à 50A. D'une manière générale les fabricants certifient que ce composant reste opérationnel sur une plage de température allant de -55°C à $+175^\circ\text{C}$ (températures de jonction et boîtier). En revanche, seul le fabricant Microsemi garantit un fonctionnement sur une plage de température (jonction et boîtier) plus large comprise entre -65°C et 225°C . Cela est dû au type de boîtier métallique qu'utilise Microsemi pour encapsuler leurs diodes Schottky SiC, c'est un boîtier métallique TO257, alors que les autres fabricants emploient un boîtier

plastique TO220. Par ailleurs, pour pouvoir élargir la plage de température d'utilisation de leurs diodes Schottky SiC par rapport à ses concurrents, Microsemi a sûrement employé un alliage haute température pour braser ses puces.

Ensuite nous présentons sur le Tableau 1-5 les diodes JBS SiC réalisées par Infineon. La diode de seconde génération n'existe qu'en version 600V et possèdent des calibres en courant pouvant aller de 2A à 16A. Concernant la diode de troisième génération, nous pouvons trouver sur le marché des composants ayant une tenue en tension de 600V et 1200V. La version 600V possède des calibres en courant allant de 3A à 12A, tandis que la version 1200V n'est disponible pour l'instant qu'avec un calibre en courant de 2A. Nous noterons en comparaison avec les diodes Schottky SiC présentées sur le Tableau 1-4, la chute de tension V_F est sensiblement égale (à I_F et T_J donnés), et que les courants de fuite des diodes JBS SiC sont inférieurs environ dans un rapport 10 (à V_R et T_J données). Comme pour les diodes Schottky SiC, les diodes JBS sont certifiées être opérationnelles par Infineon sur une sur une plage de température allant de -55°C à $+175^{\circ}\text{C}$ (températures de jonction et boîtier).

Fabricant	Tension de claquage V_R (V)	Courant direct I_F (A)	Chute de tension V_F à I_F (V)	Courant de fuite I_R à V_R (μA)	Charge Stockée Q_C (nC)	Température de jonction T_J et boîtier T_B ($^{\circ}\text{C}$)
Infineon thinQ! TM 2G	600	2 à 16	2,1 à 1,7 $T_J = 150^{\circ}\text{C}$	1 à 10 $T_J = 150^{\circ}\text{C}$	3,2 à 16,8	$T_J = T_B$ -55 à 175
Infineon thinQ! TM 3G	600	3 à 12	2,8 à 2,2 $T_J = 150^{\circ}\text{C}$	1 à 4 $T_J = 150^{\circ}\text{C}$	3,2 à 19	$T_J = T_B$ -55 à 175
Infineon thinQ! TM 3G	1200	2	2,55 $T_J = 150^{\circ}\text{C}$	8 $T_J = 150^{\circ}\text{C}$	7,2	$T_J = T_B$ -55 à 175

Tableau 1-5 : Disponibilité commerciale des diodes JBS SiC.

Nous montrons par ailleurs sur la Figure 1-24 un des intérêts mentionnés auparavant dans la partie dédiée à la diode JBS SiC, qui est de pouvoir fonctionner dans des cas de surcharge ou sur courant. En effet, les courbes extraites de la fiche technique de la diode JBS d'Infineon thinQ!TM3G 600V/12A (IDH12SG60C) permettent de constater qu'elle peut conduire un courant 6 fois supérieur à son courant nominal.

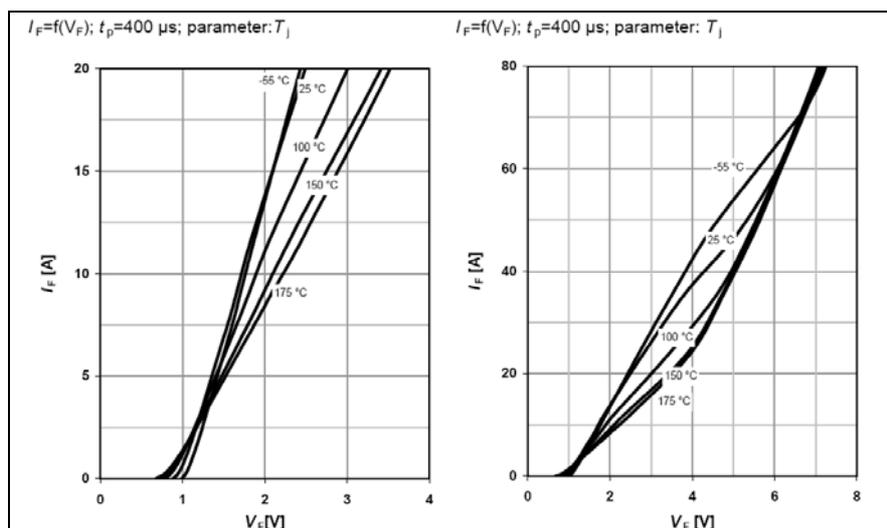


Figure 1-24 : Caractéristiques statiques directes d'une diode JBS SiC d'Infineon thinQ!TM3G 600V/12A IDH12SG60C, courant nominal à gauche, sur courant à droite [@INF-a].

Nous souhaitons aborder brièvement les applications liées aux diodes Schottky SiC et JBS SiC. Nous avons déjà évoqué précédemment le fait que la diode Schottky SiC pouvait être employée dans une application de correction de facteur de puissance, et que nous pouvions exploiter ses performances en commutation, nous permettant ainsi d'augmenter significativement la fréquence de

découpage en vue de diminuer la taille de l'inductance du système dans lequel cette diode fait partie tout en améliorant le rendement du dit système.

D'une manière générale tous les fabricants des diodes Schottky SiC et JBS SiC cités précédemment suggèrent l'emploi de ces diodes dans des applications type PFC (Power Factor Correction ou correction de facteur de puissance), SMPS (Switching Mode Power Supply ou alimentation à découpage), redresseur et onduleur-machine.

Pour plus de détails sur ces applications, Mousa dans [MOU 2009] a dédié une partie sur les systèmes à base de composants de puissance en SiC, et entre autres différentes applications à base de diode Schottky SiC y sont présentées et comparées.

La partie des interrupteurs de puissance non-commandables touchant à sa fin, nous allons maintenant nous intéresser à la partie concernant les interrupteurs de puissance commandables bipolaires.

1.4.2 Interrupteurs de puissance commandables bipolaires en SiC (BJT, GTO et IGBT)

La catégorie des interrupteurs de puissance commandables bipolaires en SiC comporte trois composants distincts : le transistor bipolaire (ou BJT, Bipolar Junction Transistor), le thyristor GTO (Gate Turn-Off) et l'IGBT (Insulated Gate Bipolar Transistor). Nous présenterons chaque dispositif dans une partie distincte et dans l'ordre dans lequel nous venons de les introduire. Nous terminerons cette partie dédiée aux composants bipolaires en SiC en présentant les composants qui ont été commercialisés jusqu'à aujourd'hui.

1.4.2.1 Les transistors bipolaires BJT SiC

Les transistors bipolaires de puissance dans la filière silicium sont disponibles sur le marché depuis plus de 50 ans. Ces transistors constituaient la majorité des interrupteurs jusqu'à l'apparition dans les années 1970 du transistor de puissance à grille isolée fonctionnant sur le principe de l'effet de champ, le MOSFET, et dans les années 1980 du transistor à grille isolée bipolaire, l'IGBT. Le faible gain en courant et le problème de second claquage du transistor bipolaire en silicium le rendent peu attrayant comparé au MOSFET et à l'IGBT. Par ailleurs, le faible gain en courant du transistor bipolaire haute tension (1500V max. pour le transistor bipolaire Si, [LEF 2004]) est principalement lié à la nécessité d'avoir une région de collecteur d'épaisseur importante pour tenir la tension [HUA 2001, LEF 2004, BAL-1 2005].

Dans la filière SiC, les transistors bipolaires sont théoriquement capables de résoudre ces problèmes. Pour des tensions en tension supérieures à 4kV, les transistors BJT-SiC sont préférables aux composants unipolaires car leur chute de tension en conduction sera meilleure due à l'effet bipolaire qui va moduler sa résistivité interne de la même façon que pour la diode bipolaire en SiC (voir la partie 1.4.1.3 pour rappel) [HUA 2001]. De plus, les transistors bipolaires en SiC ont gagné une attention particulière puisqu'ils sont exempts du problème de fiabilité de l'oxyde de grille observé pour le MOSFET SiC et l'IGBT SiC [HUA 2001] et sont des transistors « normally-off » (à l'état bloqué sans courant de base).

En revanche, l'inconvénient majeur du transistor bipolaire en carbure de silicium, comme pour son homologue en silicium, est son gain en courant qui reste faible et diminue avec la température (inférieur à 10 pour une température ambiante de 25°C, [ZHA-2-a 2004, ZHA-2 2005, BAL-2 2005, BAL-2 2007]). C'est pourquoi des études ont été menées pour améliorer le gain en courant et elles ont montré qu'il fallait augmenter la durée de vie des porteurs minoritaires dans les régions de base et d'émetteur. Pour ce faire plusieurs méthodes sont employées, comme l'amélioration de la technique de croissance par épitaxie pour diminuer les défauts (non précisés dans le détail par l'auteur) [KRI 2006]

ou encore la diminution des surfaces de recombinaisons en utilisant une technique particulière de passivation [LEE 2009]. Ces techniques permettent ainsi d'augmenter le gain en courant (autour de 50 à 25°C) comme nous l'illustrons dans le Tableau 1-6. Par ailleurs, la valeur de gain en courant à haute température (350°C) reportée dans ce même tableau nous permet de remarquer que le transistor BJT en carbure de silicium permet de fonctionner dans une ambiance sévère à haute température. Nous notons également que cette valeur diminue significativement par rapport à 25°C.

Référence	Polytype	Gain en courant à 25°C (β)	Gain en courant à haute température
[KRI 2006]	4H	44	30 (350°C)
[LEE 2009]	4H	60	-

Tableau 1-6 : Amélioration du gain en courant β du BJT SiC.

Une autre technique permet d'améliorer le gain de manière plus significative : il s'agit d'employer le BJT SiC dans une configuration Darlington (voir Figure 1-25). En effet, Zhang dans [ZHA-2-b 2004] obtient pour une température de 25°C un gain en courant égal à 1517. Pour une température plus élevée de 150°C, ce gain en courant diminue légèrement et vaut 1015.

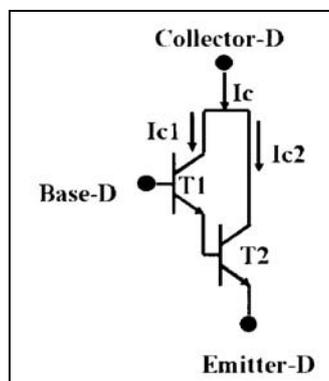


Figure 1-25 : BJT SiC dans une configuration Darlington [ZHA-2-b 2004].

En termes de tenue en tension, le meilleur démonstrateur a été réalisé par Zhang avec une tenue en tension de 10kV (voir Figure 1-26, [ZHA-3 2010]). Ce composant a été réalisé en SiC-4H, a pour surface active 0,75cm² et comporte une région de dérive de 120 μ m d'épaisseur dopée à 6 \times 10¹⁴ cm⁻³. A 25°C, la résistance spécifique du dispositif est de 130 m Ω cm² et un gain en courant de 28 est enregistré.

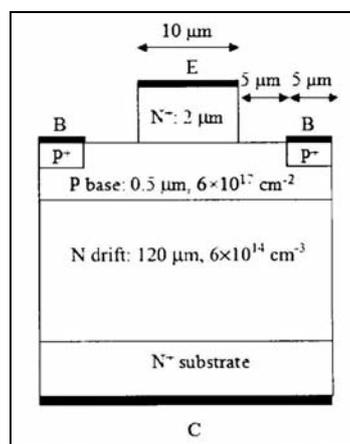


Figure 1-26 : Structure du transistor BJT SiC 10kV réalisée par Zhang [ZHA-3 2010].

Gao dans [GAO 2006] compare les caractéristiques statiques et dynamiques entre un BJT-SiC 1200V et un IGBT-Si 1200V.

En mode de conduction et pour une densité de courant de $100\text{A}/\text{cm}^2$, les chutes de tension relevées sont de 3.3V et 0.59V pour l'IGBT-Si et le BJT-SiC respectivement. Cela a pour conséquence d'obtenir avec le BJT-SiC des pertes en conduction beaucoup plus faibles par rapport à l'IGBT-Si étudié.

En ce qui concerne les pertes en commutation (à l'ouverture et à la fermeture), elles sont plus faibles pour le BJT-SiC. En effet, pour une densité de courant de $100\text{A}/\text{cm}^2$ commutée et une tension de 600V commutée, les pertes totales relevées en commutation (ouverture+fermeture) sont de $800\mu\text{J}$ et $100\mu\text{J}$ pour l'IGBT-Si et le BJT-SiC respectivement. Nous constatons alors que le BJT-SiC permet d'obtenir des pertes totales en commutation bien plus faibles par rapport à l'IGBT Si.

En revanche, en ce qui concerne les pertes dans le circuit de commande (en commutation et en conduction) il est indéniable que l'IGBT-Si permet de les diminuer significativement par rapport au BJT-SiC du fait que l'IGBT se commande en tension alors que le BJT se commande en courant.

Au vu des résultats présentés, le remplacement des IGBT-Si par des BJT-SiC permettrait a priori d'améliorer le rendement dans les applications de l'électronique de puissance. Toutefois, un critère de remplacement concernant les pertes des circuits de commande pour l'application concernée est à prendre en considération.

Enfin, comme pour les diodes bipolaires, les transistors BJT en SiC sont victimes eux aussi des défauts d'empilements. Comme le montre Agarwal dans [AGA-a 2006], ces défauts ont pour conséquence de dégrader leurs caractéristiques $I_c=f(V_{ce})$ avec le temps de fonctionnement (voir Figure 1-27). La dégradation apparaît alors comme une réduction du gain en courant, une augmentation de la résistance dans la région de saturation et une augmentation de l'effet Early.

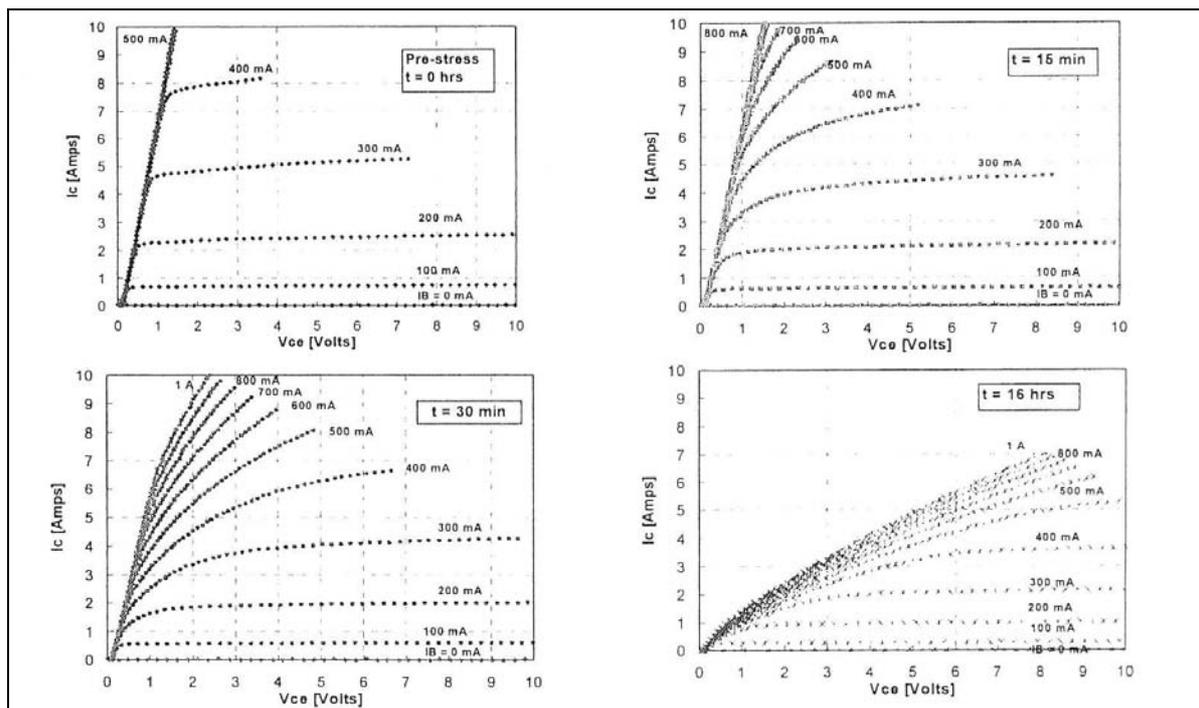


Figure 1-27 : Dégradation de la caractéristique $I_c=f(V_{ce})$ en fonction du temps de fonctionnement d'un BJT SiC [AGA-a 2006].

Intéressons nous maintenant aux thyristors GTO en SiC.

1.4.2.2 Les thyristors GTO SiC

Le thyristor GTO dans la filière silicium est l'interrupteur de forte puissance capable de supporter des tensions élevées (1000V à 6500V) et de commuter des courants de quelques milliers d'ampères [LEF 2004]. Les propriétés intéressantes de cet interrupteur de puissance vont attirer l'attention des chercheurs dans la filière carbure de silicium.

Le thyristor GTO-SiC est un interrupteur de puissance bipolaire dont la modulation de conductivité lui permettrait de tenir des tensions importantes ($> 3\text{kV}$ voir même jusqu'à 40kV), de fonctionner sous de fortes densités de courant tout en ayant une faible chute de tension en direct. Une autre propriété intéressante liée à ce composant est sa possibilité de fonctionnement à hautes températures (thyristor GTO caractérisé à 250°C voir 350°C [AGA 1997, SUG 2006]), ce que ne permettent pas les transistors en SiC dotés d'une grille. En effet, les MOSFET et IGBT SiC rencontrent des problèmes de fiabilité lié à l'oxyde de grille lorsque ce dernier est soumis à de forts champs électriques à hautes températures [AGA 1997, CAM-2 2002]. En revanche, le thyristor GTO est un composant connu pour sa particularité contraignante au niveau de la commande, qui est d'extraire des courants importants au niveau de la gâchette lors des phases de blocage, allant de $1/5$ à $1/3$ du courant d'anode pour la technologie silicium [LEF 2004] et de $1/7$ à $7/4$ du courant d'anode pour la technologie en carbure de silicium [AGA 1997, RYU 2001, CAM-2 2002, SUG 2004, SUG 2006].

En termes de tenue en tension, le meilleur démonstrateur en carbure de silicium a été réalisé par Sugawara (voir la structure Figure 1-28, [SUG 2004]). Le thyristor GTO est en SiC-4H et supporte une tension de $12,7\text{kV}$. Pour atteindre cette tenue en tension, le composant comporte une région de dérive de $120\mu\text{m}$ d'épaisseur et dopée à $1,2 \times 10^{14}\text{cm}^{-3}$ d'atomes accepteurs. La chute de tension en directe est de $6,6\text{V}$ pour une densité de courant de $100\text{A}/\text{cm}^2$.

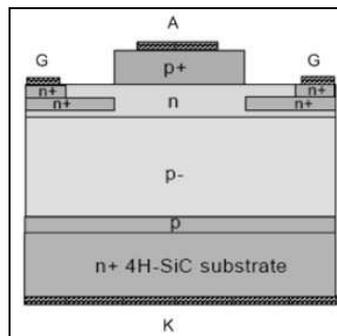


Figure 1-28 : Structure du GTO-SiC 12,7kV réalisée par Sugawara [SUG 2004].

Toujours dans [SUG 2004], une comparaison des caractéristiques statiques et dynamiques est établie entre le GTO-SiC et le GTO-Si.

Concernant le comportement statique, Sugawara compare un GTO SiC ayant pour tenue en tension $6,2\text{kV}$ avec un GTO-Si ayant pour tenue en tension $4,5\text{kV}$. Pour une densité de courant de $100\text{A}/\text{cm}^2$, la chute de tension du GTO-SiC est plus faible comparée au GTO-Si ($4,2\text{V}$ pour le GTO-SiC et $4,5\text{V}$ pour le GTO-Si).

En régime dynamique, Sugawara compare les temps de mise en conduction (t_{on}) et de blocage (t_{off}) d'un GTO-SiC ayant pour tenue en tension $12,7\text{kV}$ avec un GTO-Si ayant pour tenue en tension 6kV et un calibre en courant de 6kA . Nous avons récapitulé les résultats obtenus dans le Tableau 1-7.

GTO	Densité de courant commutée (A/cm^2)	t_{on} (μs)	t_{off} (μs)
SiC 12,7kV	240	0,22	2,13
Si 6kV 6kA	45	$50 \times 0,22$	$10 \times 2,13$

Tableau 1-7 : Comparaison des performances en commutation entre un GTO-SiC et un GTO-Si pour une tension commutée de 3kV , [SUG 2004].

Nous pouvons constater que le GTO-SiC présente des temps de commutation bien inférieurs au GTO-Si. Nous pouvons remarquer au passage que la densité de courant commutée dans le GTO-SiC est environ 6 fois plus importante que dans le GTO-Si ce qui laisse présager des calibres en courant très importants pour la future génération de GTO avec la technologie SiC.

Enfin comme le GTO SiC est un composant bipolaire, il n'échappe pas aux problèmes liés aux défauts d'empilements comme pour la diode bipolaire SiC [SIN 2006, AGA 2010]. En effet, comme le montre Agarwal dans [AGA 2010], les défauts d'empilement ont pour conséquence de dégrader la caractéristique de sortie en fonction du temps de fonctionnement (voir Figure 1-29). L'auteur insiste aussi sur le fait que la cause de ces défauts d'empilement provient d'aspérités sur la surface du « wafer » (appelées en anglais « basal plane dislocation ») qu'il faut éliminer pour que l'exploitation du GTO SiC puisse être possible.

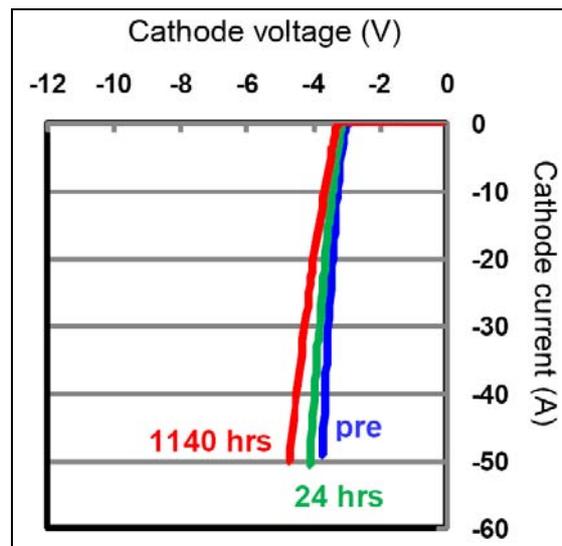


Figure 1-29 : Evolution de la caractéristique de sortie d'un GTO-SiC 9kV en fonction du temps de fonctionnement [AGA 2010] (caractéristique de sortie obtenue avec l'anode à la masse).

Intéressons nous maintenant aux transistors IGBT en SiC.

1.4.2.3 Les transistors IGBT SiC

Le transistor IGBT est un composant qui est issu d'une combinaison entre le transistor bipolaire et le transistor MOS. L'IGBT bénéficie alors des qualités complémentaires des transistors MOS (commande en tension) et des transistors bipolaires (pertes en conduction plus faibles qu'un MOS pour des tenues en tension élevées). Par ailleurs, la version silicium de l'IGBT possède des calibres en tension/courant tout à fait remarquables, avec une tension de claquage pouvant aller de 250V à 6,5kV et des possibilités en courant de 10A à 1200A [LEF 2004]. Pour ces raisons, le développement des IGBT en SiC est incontournable dans les applications fort courant, haute tension et haute température.

Dans la littérature il est reporté que d'une manière générale le domaine d'application de l'IGBT SiC en termes de tenue en tension est supérieur à 5kV [AVR 2005, ZHU 2005, ZHA-3 2007]. A ce propos, le meilleur démonstrateur en termes de tenue en tension a été réalisé par Zhang, il supporte une tension de 10kV et possède une surface active de $0,5 \times 0,5 \text{ mm}^2$ [ZHA-3 2005]. C'est un IGBT en SiC-4H à canal P qui a été réalisé comme nous pouvons le constater sur la Figure 1-30. Pour atteindre cette tenue en tension de 10kV, le composant comporte une région de dérive de type P

faiblement dopée (zone 3 sur la Figure 1-30). De plus, pour mettre l'IGBT en conduction une tension négative entre la grille et l'émetteur est nécessaire. En effet, une tension négative et importante de -66V est appliquée entre la grille et l'émetteur pour obtenir une résistance spécifique différentielle de $175 \text{ m}\Omega\cdot\text{cm}^2$ à 25°C . Cette résistance diminue significativement grâce à l'effet bipolaire et atteint $13 \text{ m}\Omega\cdot\text{cm}^2$ lorsque la température d'essai vaut 150°C et $V_{ge}=-60\text{V}$. Ce composant nécessite une grande valeur de polarisation négative du collecteur $V_c=-7,5\text{V}$ (l'émetteur étant relié à la masse) pour la mise en conduction à 25°C . Cette valeur diminue à -4V à 150°C . Ces grandes valeurs de tension de collecteur nécessaire à la mise en conduction de l'IGBT SiC 10kV seraient attribuées selon l'auteur à des contacts imparfaits au niveau des implants de type P qui se situent au niveau de la zone repérée 6 sur la Figure 1-30.

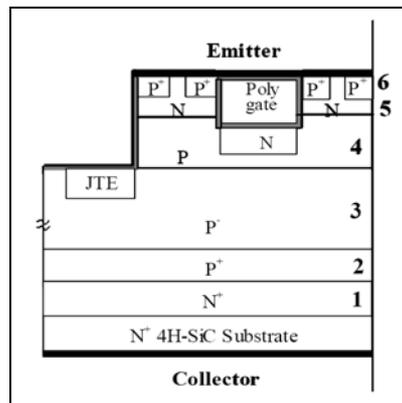


Figure 1-30 : Structure de l'IGBT Trench 10 kV en SiC-4H réalisée par Zhang [ZHA-3 2005].

Enfin, nous faisons remarquer que l'IGBT présenté sur la figure 1-29 est un transistor à grille en tranchée (ou « Trench gate » en anglais). Cette topologie de grille permet d'obtenir une faible résistance de canal et d'améliorer l'injection des porteurs issus de l'émetteur. Cependant, Zhang fait remarquer que pour des questions de difficultés de réalisation et de fiabilité de ce type de transistor en SiC à tranchée, il a réalisé par la suite des transistors IGBT SiC de type « planar » [ZHA-3 2005, ZHA-3 2006, ZHA-3 2007].

Nous allons nous intéresser à présent à l'une de ces réalisations, celle qui possède la tenue en tension la plus importante, soit 9kV [ZHA-3 2007].

Ce composant IGBT en SiC-4H de type « planar » est présenté sur la Figure 1-31 et a pour particularité lui aussi d'être à canal P. Pour tenir une tension de 9kV, Zhang emploie une couche de dérive de type P de $120\mu\text{m}$ d'épaisseur et dopée à $1,2 \times 10^{14} \text{ cm}^{-3}$. La résistance spécifique différentielle du dispositif pour une polarisation de grille raisonnable de -20V (l'émetteur étant relié à la masse) est de $88 \text{ m}\Omega\cdot\text{cm}^2$ à 25°C et diminue significativement à 200°C pour atteindre $25 \text{ m}\Omega\cdot\text{cm}^2$. La polarisation du collecteur nécessaire à la mise en conduction du dispositif n'est seulement que de -3V (l'émetteur étant relié à la masse) aux deux températures d'essais ce qui indique que les contacts de collecteur et d'émetteur sont de bons contacts ohmiques. Enfin pour terminer sur les caractéristiques de ce composant, il possède une surface active de $0,4\text{mm}^2$.

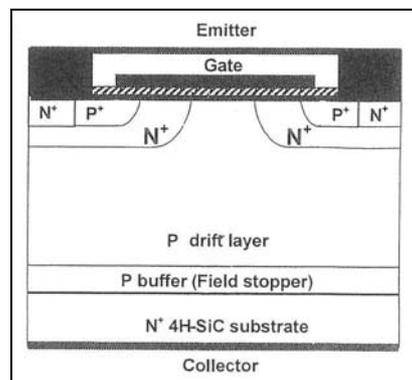


Figure 1-31 : Structure de l'IGBT « planar » 9 kV en SiC-4H réalisée par Zhang [ZHA-3 2007].

Malgré une progression significative de l'IGBT en SiC 4H montrée par Zhang en termes de tenue en tension, de résistance à l'état passant, de tension de blocage et de mise en conduction, il reste deux verrous technologiques à lever pour que ce composant acquiert la maturité commerciale : les défauts d'empilement et les problèmes liés à l'oxyde de grille.

En effet, comme pour le GTO SiC, Agarwal fait remarquer dans [AGA-a 2007] que l'IGBT SiC est lui aussi victime des problèmes liés aux défauts d'empilement.

De plus, l'IGBT SiC est un composant commandé en tension par l'intermédiaire d'une grille isolée, et cette isolation est réalisée par un oxyde de grille, le SiO₂. Dans la littérature il est mis en avant le fait que cet oxyde employé avec du SiC ne permet pas d'obtenir de bonne mobilité dans le canal et qu'il n'est pas fiable lorsqu'il est soumis à de forts champs électriques et à de hautes températures.

Pour plus de détails sur ces problèmes le lecteur pourra se référer dans ce chapitre à la partie 1.4.3.1 dédié au MOSFET SiC, ainsi qu'aux références suivantes [AGA 1997, NAL 2002, CAM-2 2002].

Nous venons d'aborder dans cette partie le dernier dispositif classé dans le domaine des interrupteurs commandables bipolaires en SiC. Avant d'aborder les interrupteurs commandables unipolaires en SiC, nous allons dans la partie qui suit réaliser un recensement des interrupteurs commandables bipolaires en SiC qui sont actuellement commercialisés.

1.4.2.4 Interrupteurs bipolaires en SiC commercialisés

Actuellement, seul le transistor bipolaire en SiC est commercialisé. La fabrication et la commercialisation de ce type de composant sont réalisées a priori seulement par la société suédoise TranSIC [@TRA].

Cette société commercialisa son premier transistor bipolaire en SiC en 2007, il s'agissait d'un dispositif encapsulé dans un boîtier TO220 ayant pour calibres en tension 1200V, en courant 6A et en température de jonction 225°C [@SEM-2].

Aujourd'hui, la société TranSIC commercialise deux gammes de transistors bipolaires, désignées respectivement par « High Efficiency » (soit faibles pertes) et « High Temperature » (soit haute température), voir le Tableau 1-8 ci-dessous. Les deux gammes ont les mêmes tenues en tension et les mêmes calibres en courant, elles se distinguent uniquement par le type de boîtier utilisé pour encapsuler la puce. Le boîtier joue un rôle important thermiquement parlant puisqu'il limite la température de jonction maximale admissible [@TRA].

	High Efficiency	High Temperature
Tenue en tension	1200 V	1200 V
Calibres en courant	6 – 20 A	6 – 20 A
Boîtier	Plastique	Métallique TO258
Température de jonction max.	175°C	250°C

Tableau 1-8 : Transistors bipolaires en SiC commercialisés par la société TranSIC [@TRA].

La partie des interrupteurs de puissance commandables bipolaires touchant à sa fin, nous allons maintenant nous intéresser à la partie concernant les interrupteurs de puissance commandables unipolaires.

1.4.3 Interrupteurs de puissance commandables unipolaires en SiC (MOSFET et JFET)

La catégorie des interrupteurs de puissance commandables unipolaires en SiC comportent deux composants distincts : le transistor de puissance à grille isolée unipolaire fonctionnant sur le principe de l'effet de champ, le MOSFET (Metal Oxide Semiconductor Field Effect Transistor) et le transistor de puissance à jonction unipolaire fonctionnant lui aussi sur le principe de l'effet de champ, le JFET (Junction Field Effect Transistor). Nous présenterons chaque dispositif dans une partie distincte et dans l'ordre dans lequel nous venons de les introduire. Nous terminerons cette partie dédiée aux composants unipolaires en SiC en présentant les composants qui ont été commercialisés jusqu'à aujourd'hui.

1.4.3.1 Les transistors MOSFET SiC

Le transistor MOSFET dans la filière silicium est bien connu, il fit son apparition sur le marché dans les années 1970. C'est un composant qui bénéficie de deux atouts majeurs comparé au transistor bipolaire, il se commande en tension par l'intermédiaire d'une grille isolée (consomme peu d'énergie pour être commandé) et est unipolaire ce qui lui permet de commuter très rapidement (dV_{ds}/dt : quelques 10kV/ μ s, dI_{ds}/dt : quelques kA/ μ s). En revanche, son caractère unipolaire le limite en termes de tenue en tension (de quelques dizaines de volts à quelques centaines de volts) et de possibilité en courant (de quelques ampères à quelques centaines d'ampères) [LEF 2004].

Dans la filière carbure de silicium la tenue en tension et les possibilités en courant pourront être repoussées du fait que le SiC possède un champ de claquage dix fois plus élevé par rapport au Si (voir la partie 1.3 de ce chapitre pour rappel).

Plusieurs démonstrateurs de MOSFET en carbure de silicium ont été réalisés. En ce qui concerne les démonstrateurs ayant des tenues en tension importantes, dans la littérature les meilleurs réalisations sont capables de tenir une tension de 10kV, et elles ont toutes été réalisées par Ryu et son équipe [RYU 2004-a, RYU 2004-b, RYU 2006]. Nous présentons la dernière de ses réalisations dans ce qui suit (voir la Figure 1-32) qui a pour particularités de posséder le calibre en courant le plus important, 5A et la surface active la plus grande, 0,15cm². Pour être plus précis, il s'agit d'un transistor DMOSFET à canal N en SiC-4H qui comporte une région de dérivation de 100 μ m d'épaisseur et dopée à 6 \times 10¹⁴cm⁻³ d'atomes donneurs pour pouvoir supporter une tension élevée de 10kV. La résistance spécifique du dispositif pour une polarisation de grille de 15V (la source étant reliée à la masse) est de 111 m Ω .cm² à 25°C et augmente significativement à 200°C puisqu'elle atteint 313 m Ω .cm². Cette augmentation de la résistance spécifique avec la température est due à la diminution de la mobilité des électrons lorsque la température augmente. Par ailleurs, il est à noter que la mobilité effective des électrons dans le canal d'inversion est faible, elle vaut seulement 13cm²/Vs. Cela a pour conséquence d'avoir un impact non négligeable sur la résistance totale du dispositif. Ce problème provient de la qualité de l'interface SiO₂/SiC qui influe directement sur la mobilité des couches d'inversion dans la structure MOSFET [NAL 2002]. Nous reviendrons sur ce sujet plus en détail par la suite.

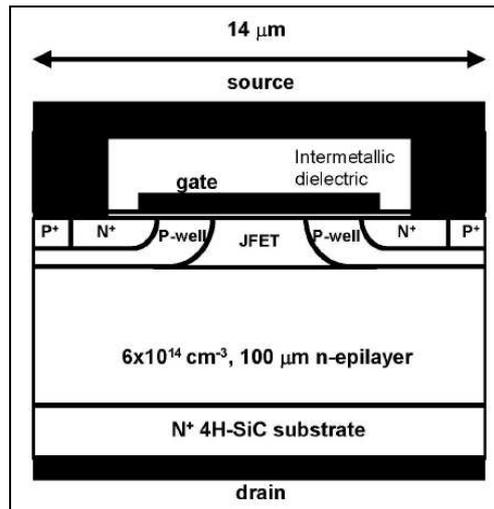


Figure 1-32 : Structure du DMOSFET à canal N 10 kV-5A en SiC-4H réalisée par Ryu [RYU 2006].

En termes de calibre en courant, la société Cree associée avec Powerex et supportée par le laboratoire de recherche de l'armée de l'air américaine l'AFRL (Air Force Research Laboratory) ont réalisé un module haute température intégrant un bras d'onduleur de calibres 1200V-100A-200°C à base de transistors MOSFET en SiC-4H et de diodes JBS en SiC-4H, voir la Figure 1-33, [RIC 2009]. Pour atteindre ce calibre en courant, chaque interrupteur du bras comporte plusieurs puces en parallèle. Concernant le transistor MOSFET SiC, il est constitué de deux puces identiques en parallèle ayant chacune un calibre en courant de 80A et une surface de 7mm×8mm. Concernant la diode JBS SiC, elle est constituée de deux puces en parallèle ayant chacune un calibre en courant de 50A et une surface de 5,62mm×5,62mm.

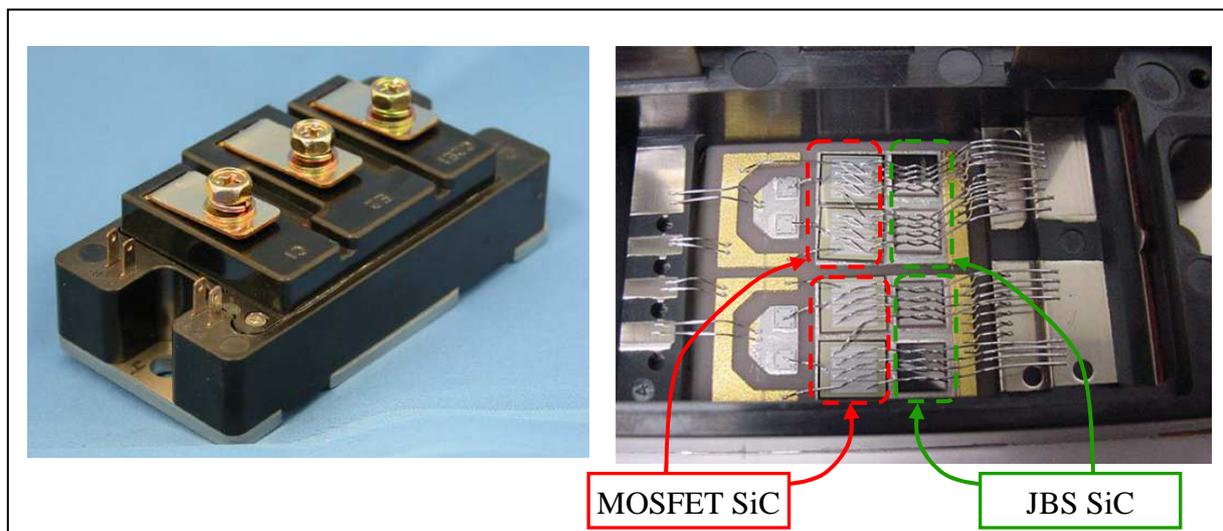


Figure 1-33 : Module 1200V/100A/200°C intégrant un bras MOSFET SiC+JBS SiC à gauche, Vue interne du module à droite [RIC 2009].

Le module employé ici pour intégrer les interrupteurs en SiC est un module fabriqué par la société Powerex. La conception de ce module est basée sur celle du module Powerex IGBT Si CM100DY-24NF ayant les mêmes calibres en tension/courant que le module SiC. De plus, le module SiC est destiné à des applications aéronautiques hautes températures, c'est pourquoi la technologie DCB (Direct Copper Bonded) au niveau du substrat du module est utilisée. Par ailleurs, comme la réduction des masses des avions est une question importante à traiter, le substrat DCB fut réalisé avec l'emploi de fibres de graphite.

Concernant les performances statiques et dynamiques du module SiC 1200V/100A/200°C, elles ont été comparées à celles obtenues avec le module IGBT Si + diode Pin Si CM100DY-24NF 1200V/100A.

Sur la Figure 1-34 est comparée la chute de tension à l'état passant du transistor MOSFET SiC à celle du transistor IGBT Si pour une tension appliquée entre grille et source de 20V, pour différents courants de conduction (10A à 120A) et différentes températures de jonctions (25°C et 150°C). Nous pouvons remarquer qu'à 25°C, la chute de tension relevée à 100A pour l'IGBT Si est de 2,3V alors que celle du MOSFET SiC est plus faible et n'est que de 1,2V, soit une réduction de 48%. A 150°C, nous pouvons établir une remarque similaire. Enfin, nous tenons à souligner par ailleurs que le MOSFET SiC fut testé à 200°C, et même à cette température de jonction, sa chute de tension relevée pour un courant de conduction de 100A reste inférieure à la chute de tension de l'IGBT Si obtenue pour une température de jonction de 25°C.

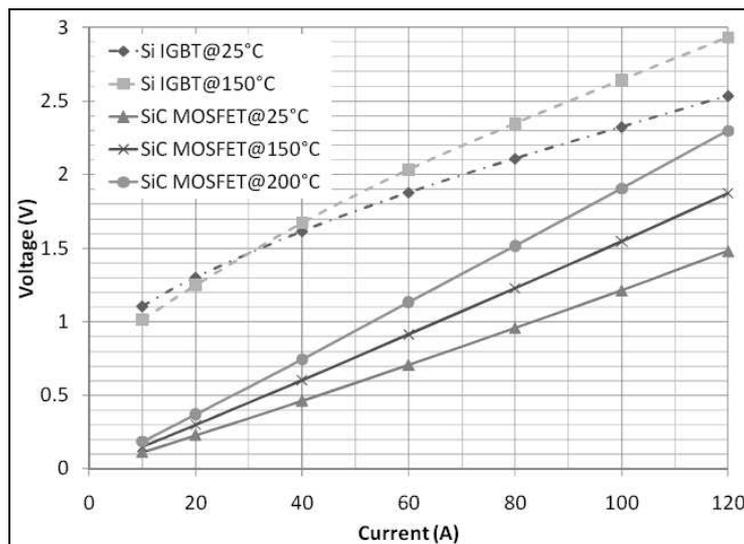


Figure 1-34 : Comparaison de la chute de tension à l'état passant entre le MOSFET SiC 1200V/100A et l'IGBT Si 1200V/100A du module CM100DY-24NF, pour $V_{gs}=20V$, différents courants de conduction et différentes températures de jonction [RIC 2009].

Sur la Figure 1-35 nous présentons le circuit qui a permis de réaliser la comparaison des performances en commutation entre le module SiC et le module Si sur charge inductive.

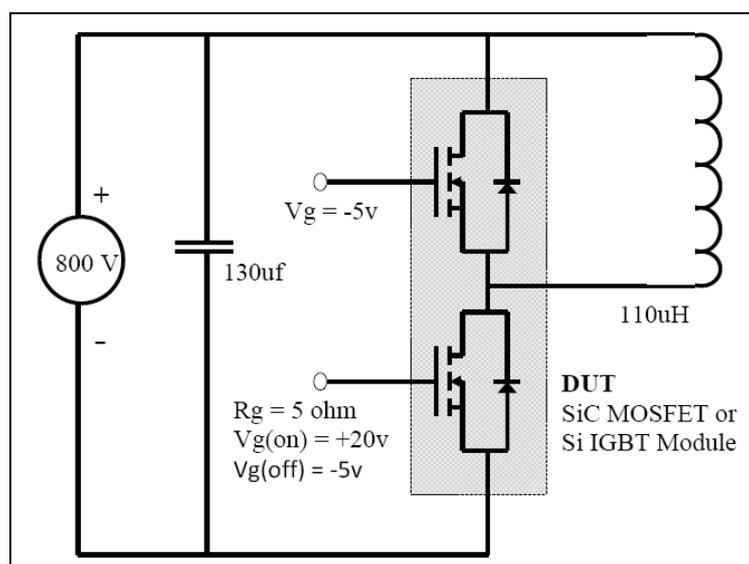


Figure 1-35 : Circuit ayant permis la comparaison des performances en commutation entre le module SiC 1200V/100A/200°C et le module Si 1200V/100A CM100DY-24NF, Tension commutée 800V et courant commuté 100A [RIC 2009].

Les pertes en commutation ont été relevées pour deux températures d'essais, 25°C et 150°C. Ces résultats sont présentés dans deux tableaux, le Tableau 1-9 et le Tableau 1-10. Nous remarquons que les pertes totales du module SiC sont plus faibles comparées au module Si, et cela quelque soient les températures d'essais. Nous noterons toutefois à température élevée, soit ici 150°C, que l'écart est plus prononcé puisque le module Si comporte uniquement des composants bipolaires.

Module	Eon (mJ)	Eoff (mJ)	Ettotal (mJ)
Si IGBT	2	12,6	14,6
SiC MOSFET	2,7	8,9	11,6

Tableau 1-9 : Comparaison des pertes en commutation à 25°C [RIC 2009].

Module	Eon (mJ)	Eoff (mJ)	Ettotal (mJ)
Si IGBT	3,5	17,3	20,8
SiC MOSFET	2,5	9,7	12,2

Tableau 1-10 : Comparaison des pertes en commutation à 150°C [RIC 2009].

Au vu des résultats qui viennent d'être présentés, le module MOSFET SiC est un bon candidat pour envisager le remplacement des modules IGBT en silicium ayant une tenue en tension de 1200V et un calibre en courant inférieur ou égale à 100A.

Pour clôturer la partie dédiée au MOSFET SiC, nous allons aborder les problèmes liés à l'oxyde de grille SiO₂ qui ralentissent la commercialisation du MOSFET SiC. Du fait que la hauteur de barrière entre la bande de conduction de l'oxyde SiO₂ et la bande de conduction du SiC soit faible (2,7eV pour le SiC-4H contre 3,1eV pour le Si) différents problèmes apparaissent :

- Un certains nombre d'électrons circulant dans le canal d'inversion sont piégés par l'oxyde, ce qui a pour conséquence de diminuer la mobilité effective du canal. Par ailleurs, le phénomène de piégeage des électrons est plus prononcé à faibles températures [SAK 2000, NAL 2002, GUR 2008],
- Une dérive de la tension de seuil est observée en corrélation avec le nombre d'électrons piégés. Par ailleurs, lorsque la température augmente, la tension de seuil diminue ce qui n'est pas encourageant pour utiliser le MOSFET SiC pour des applications où la température de jonction est supérieure à 200°C [SAK 2000, FRI 2005, FRI-b 2006, AGA-b 2006, GUR 2008, RYU 2010],
- Lorsque le transistor est à l'état passant ou à l'état bloqué, l'oxyde de grille est soumis à des champs électriques de grandes intensités qui le dégradent et si l'oxyde est contraint de travailler à hautes températures la dégradation se produit plus rapidement [NAL 2002, KRI 2005, RYU 2010].

Pour minimiser les problèmes liés à l'interface SiO₂/SiC, une optimisation des conditions d'oxydation sont les clés des structures MOS sur SiC [NAL 2002], avec par exemple l'emploi de la technique du recuit sous atmosphère NO. Avec cette technique, la mobilité effective des électrons est passée de 10cm²/V.s à 50cm²/V.s [GUR 2008], la tension de seuil est mieux maîtrisée [GUR 2008], et la durée de vie de l'oxyde a été bien améliorée lorsqu'il est soumis à des champs électriques intenses à faibles et hautes températures. Pour être plus précis sur la durée de vie de l'oxyde, Nallet en 2002 dans [NAL 2002] nous indique que l'espérance de vie d'un oxyde soumis à un champ électrique de 5MV.cm⁻¹ est de 10 ans à 25°C et passe à 1000 s à 350°C. Aujourd'hui, Ryu et son équipe dans [RYU 2010] nous indique que l'espérance de vie d'un oxyde soumis à un champ électrique de 4,6MV/cm est de 10 ans à 375°C, et lorsque l'oxyde est soumis à un champ électrique inférieur ou égale à 5,9MV/cm cette espérance de vie est de 100 ans à 225°C.

Intéressons nous maintenant aux transistors JFET en SiC.

1.4.3.2 Les transistors JFET SiC

Le transistor de puissance JFET (Junction Field Effect Transistor) aussi connu sous le nom de SIT (Static Induction Transistor) dans la filière silicium était peu attrayant comme le mentionnent Baliga et Arnould dans [BAL-1-c 1984, BAL-1 1987, ARN 1992], car sa réalisation n'était pas simple, ses applications étaient limitées en termes de tenue en tension (compromis tenue en tension - chute de tension à l'état passant) et la plupart de ces composants étaient « normally-on » (ou normalement passant).

En revanche, aujourd'hui dans la filière carbure de silicium, le transistor JFET attire l'attention des chercheurs et des industriels car c'est l'interrupteur le plus mature, le plus fiable et déjà commercialisé.

1.4.3.2.1 Généralités, Principe de fonctionnement, structures cristallines

Généralités

Le JFET (Junction Field Effect Transistor) est un transistor à Effet de Champ de Jonction. C'est un composant unipolaire mettant en jeu un seul type de porteur. Si les porteurs sont des trous, le JFET sera à canal P ; si ce sont des électrons, le JFET sera à canal N. De plus, pour bloquer le JFET à canal P il faut appliquer entre ses électrodes de commande (grille et source) une tension positive, tandis que pour bloquer le JFET à canal N il faut appliquer une tension négative. Enfin le JFET sera qualifié de « normally-on » (ou normalement passant) lorsque, pour une tension nulle appliquée entre ses électrodes de commande, un courant peut circuler entre le drain et la source. Par contre, le JFET sera qualifié de « normally-off » (ou normalement bloqué) lorsque, pour une tension nulle appliquée entre ses électrodes de commande, aucun courant ne peut circuler entre le drain et la source. Sur la Figure 1-36, nous présentons la structure cristalline simplifiée du JFET à canal P ainsi que celle du JFET à canal N avec leurs schémas électriques associés [SZE 1981].

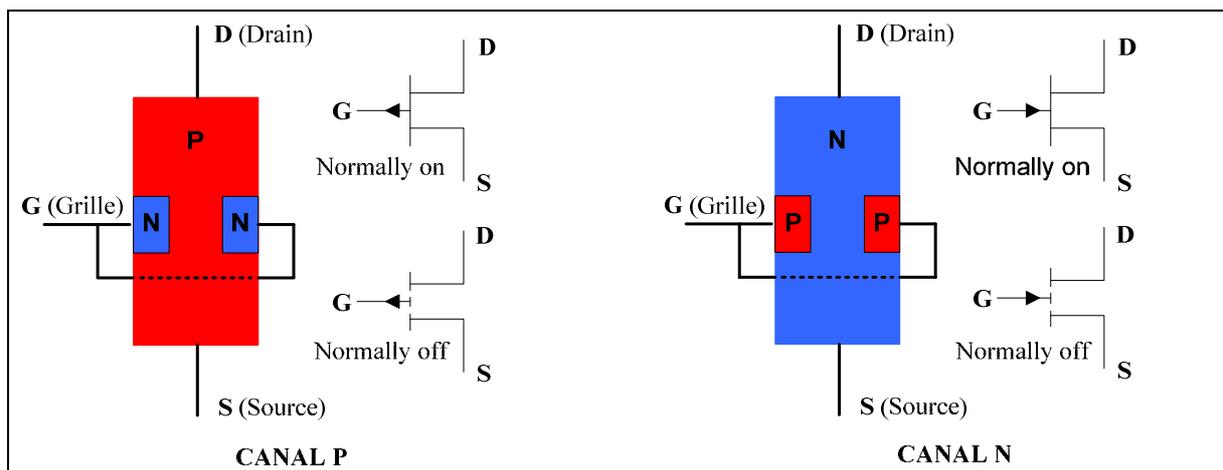


Figure 1-36 : Structure cristalline et schéma électrique associé JFET Canal P à gauche, JFET Canal N à droite [SZE 1981].

Remarques :

- Dans la littérature les JFET SiC que nous rencontrons le plus souvent sont à canal N car les électrons ont une meilleure mobilité comparée à celle des trous (voir la partie 1.3 de ce chapitre pour plus de détails sur ce sujet).

- Comme le JFET est un composant unipolaire, sa résistance augmente lorsque la température de jonction augmente. Cela rend alors possible la parallélisation de plusieurs puces pour atteindre le calibre en courant désiré.
- Le JFET étant constitué uniquement de jonctions, ce composant est donc exempt du problème d'oxyde de grille lié au MOSFET SiC et permet ainsi d'envisager des applications hautes températures où la température de jonction doit excéder 200°C voire même être bien supérieure puisqu'elle a atteint pour certains essais 300°C [BER-1 2005, MIH 2005, BER-1-a 2008, FRI 2005, FRI-b 2006, TRE 2007]. Par ailleurs, nous précisons par la suite que ce que nous venons d'évoquer est valable en particulier pour la structure du JFET deux canaux retenue par la société SiCED.

Principe de fonctionnement

Le principe de fonctionnement du JFET est basé sur le contrôle du courant circulant entre drain et source I_{DS} par l'intermédiaire d'un champ électrique généré en appliquant une tension entre grille et source appropriée (une tension inverse est appliquée à la jonction PN se situant entre grille et source). Autrement dit, le fonctionnement du JFET est basé sur l'existence d'un canal conducteur dont la conductance est modulée par l'intermédiaire de la tension appliquée entre grille et source.

Pour être plus précis, sur la Figure 1-37a, nous avons représenté un JFET ayant un canal conducteur de type N avec de part et d'autre deux couches de type P reliées à la grille, c'est un JFET dit à canal symétrique. Le canal a pour longueur L et pour épaisseur $2a$. Dans le canal, cette épaisseur est modulée par l'extension w des zones de charge d'espace (ou zones de transition ou encore zones désertes) situées autour des couches de type P, en jouant à la fois sur la polarisation entre grille et source V_{GS} , et sur la polarisation entre drain et source V_{DS} .

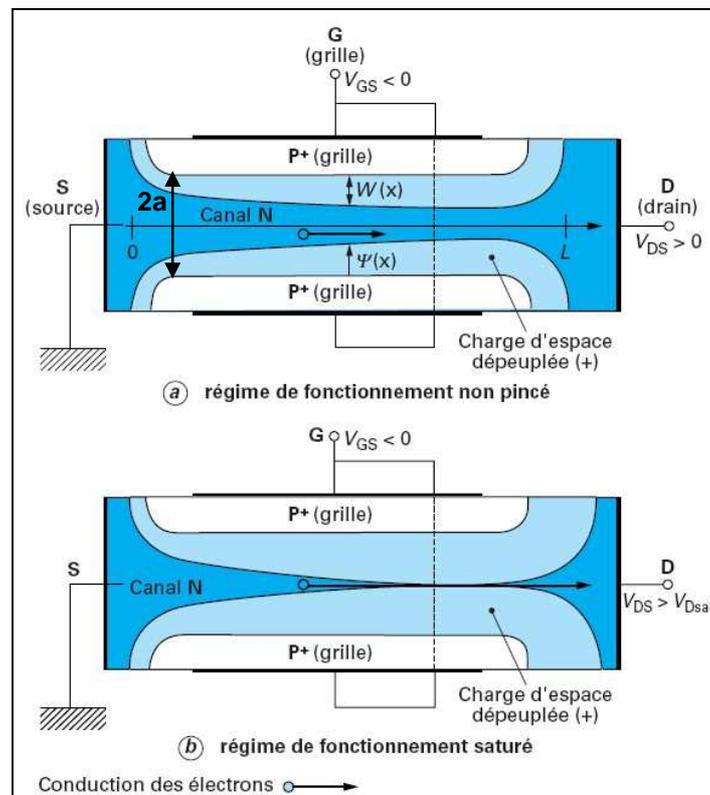


Figure 1-37 : Principe de fonctionnement du JFET à canal N [LET 1999].

L'allure des caractéristiques de sorties $I_{DS}=f(V_{DS},V_{GS})$ du composant dépend de la géométrie du composant, en particulier de la longueur du canal L et de son épaisseur $2a$. Deux cas se présentent (ici la position de la grille ainsi que la géométrie de la grille sont supposées fixes) :

$L > 2a$, JFET à canal long (cas de la Figure 1-37) :

En appliquant une tension V_{GS} négative nous polarisons en inverse la jonction PN entre grille et source, cela a pour effet d'accroître l'extension des zones de charge d'espace côté source, réduisant ainsi la section du canal. Nous augmentons alors la résistance du canal. L'application d'une tension V_{DS} positive va accroître la polarisation inverse de la jonction PN se trouvant entre grille et drain et aura pour conséquence d'étendre les zones de charge d'espace côté drain. Si la tension V_{DS} est inférieure à la tension de saturation V_{DS}^{sat} , le canal est non pincé et le JFET est en régime de fonctionnement non pincé (Figure 1-37a), également appelé régime de fonctionnement linéaire ou ohmique. Sinon, le canal est pincé et le JFET est en régime de fonctionnement saturé (Figure 1-37b). Pour obtenir le régime de fonctionnement bloqué du JFET (non représenté Figure 1-37) il faut appliquer une tension entre grille et source négative inférieure ou égale à la tension de seuil du composant (appelée V_{TO} , Turn Off voltage ou ThreshOld voltage) pour étendre les zones de charge d'espace côté source afin d'obstruer complètement le canal.

Nous observons alors dans cette configuration géométrique une caractéristique de sortie $I_{DS}=f(V_{DS},V_{GS})$ de type pentode [SZE 1981, YAM 1984, BAL-1-d 1984, BAL-1 1987, LET 1999] (voir Figure 1-38).

 $L < 2a$, JFET à canal court (non représenté Figure 1-37) :

Dans cette configuration seul le régime de fonctionnement saturé n'est pas observé car une augmentation de la tension entre drain et source pour une tension entre grille et source maintenue constante a pour effet d'ouvrir le canal plutôt que de le fermer [SZE 1981, YAM 1984, BAL-1-d 1984, BAL-1 1987, LET 1999]. Nous observons alors une caractéristique de sortie $I_{DS}=f(V_{DS},V_{GS})$ de type triode (voir Figure 1-38).

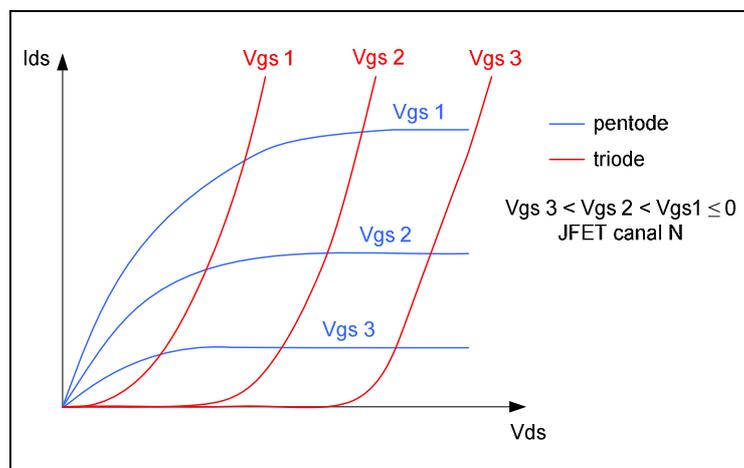


Figure 1-38 : Allure des caractéristiques de sortie d'un transistor JFET canal N en polarisation directe $V_{DS} > 0$.

Remarques :

- Le raisonnement que nous venons d'établir considère que la géométrie et la position de la grille restent inchangées. Yamagochi et son équipe montrent dans [YAM 1984] que, pour une longueur de canal et une largeur de canal données, nous pouvons obtenir une caractéristique de sortie de type pentode ou de type triode en jouant soit sur la position de la grille, soit sur la largeur de la grille.
- La caractéristique pentode présente un intérêt par rapport à la caractéristique triode qui est de comporter des courants de saturation. En effet, lors d'une surcharge ou d'un court-circuit, cette particularité de la caractéristique pentode va permettre de limiter le courant à la fois dans le composant d'électronique de puissance et dans le système électrique dans lequel est

intégré ce composant d'électronique de puissance [TOU-b 2007]. Par ailleurs, si le composant est un JFET en SiC, du fait que ce soit un composant unipolaire (la résistance à l'état passant augmente avec la température de jonction) et qu'il soit en SiC (capacité à travailler à haute température), le JFET peut supporter des phases de court-circuit pendant des durées pouvant aller jusqu'à quelques millisecondes sans casser [FRI 2001, BER-3 2009] (voir la Figure 1-39). Pour être plus précis, Lefebvre et son équipe dans [BOU 2009] ont étudié entre autres un JFET SiC deux canaux 1200V 15A de la société SiCED en régime de court-circuit. De cette étude il ressort que ce JFET possède une densité d'énergie de casse en court-circuit de $60\text{J}/\text{cm}^2$ (pour $V_{ds}=400\text{V}$ et $T_{boitier}=25^\circ\text{C}$) ce qui est bien supérieur à ce qui était mesuré pour des dispositifs de puissance en silicium. En effet, Lefebvre dans [LEF 2005] a étudié entre autres en régime de court-circuit un transistor NPT IGBT d'Infineon Si 600V 31A et a mesuré pour ce dispositif une densité d'énergie de casse en court-circuit de seulement $7,36\text{J}/\text{cm}^2$ (pour $V_{ds}=400\text{V}$ et $T_{boitier}=25^\circ\text{C}$ également).

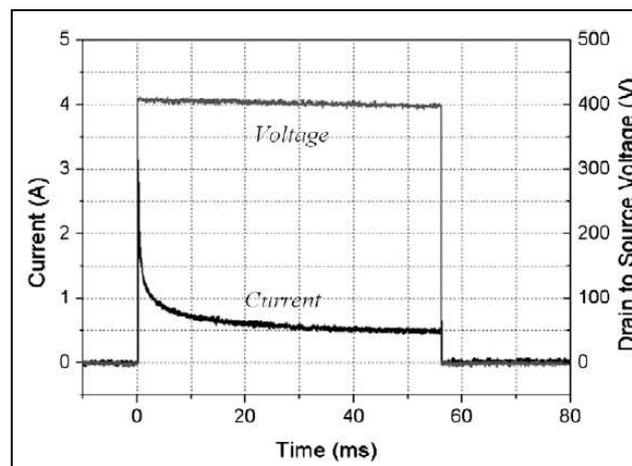


Figure 1-39 : Test destructif en court-circuit d'un JFET deux canaux de SiCED, calibres 1300V-2A, $V_{ds}=400\text{V}$ $T_{boitier}=25^\circ\text{C}$ [BER-3 2009].

Structures cristallines

Nous parlons de structures cristallines au pluriel car nous rencontrons dans la littérature principalement deux structures cristallines différentes concernant le JFET SiC de puissance.

La première structure est présentée sur la Figure 1-40, elle est désignée en français par structure JFET à canaux Latérale Verticale ou encore deux canaux et en anglais par « Lateral Vertical JFET » ou encore par « LVJFET ». Il arrive par ailleurs de trouver dans la littérature seulement la dénomination « VJFET » pour désigner cette structure, désignation qui est un abus de langage puisqu'elle omet le canal latéral. Nous ne commettrons pas cet abus de langage dans le présent manuscrit.

La particularité de ce JFET est de comporter deux canaux distincts, un canal latéral et un canal vertical. Ces deux canaux sont présents de par l'existence d'une couche de type P reliée électriquement à la source. Cette couche P permet de canaliser les lignes de courant entre la grille et la source afin de réaliser un canal long appelé canal latéral ou canal latéral asymétrique (voir la partie 3.1 du chapitre 3 pour plus de détails ou [HAM 2010, HAM 2011]); le composant dispose alors d'un meilleur contrôle du canal latéral pour que ledit composant soit passant ou bloqué et cela indépendamment du choix de la tenue en tension. Par ailleurs, la longueur de cette couche P forme le canal vertical, elle permet de jouer un rôle important lors des commutations du composant car elle a une influence sur la surface entre grille et drain, autrement dit sur la capacité de contre-réaction ou capacité MILLER du composant. De plus, le fait d'avoir une couche P reliée électriquement à la source permet au LVJFET de comporter une diode PIN SiC interne en antiparallèle entre drain et source. Par ailleurs, la zone de drift dans le prolongement du canal vertical permet de supporter la tension, c'est une région faiblement dopée de type N.

Cependant la structure du LVJFET comporte plusieurs inconvénients :

- D'abord, la majorité des structures de ce type rencontrées dans la littérature sont « normally-on » [FRI 2000, TRE 2007, ELP 2010].
- Un autre inconvénient est à mettre en avant concernant cette structure, il s'agit du phénomène de « punch-through » lié au canal latéral. Pour bloquer le LVJFET à canal N il faut appliquer entre les électrodes grille-source une tension négative et inférieure à la tension de seuil (ou blocage) pour bloquer le composant. Lorsque cette tension est trop importante un courant non-contrôlé apparaît et peut endommager la grille, il s'agit du phénomène de « punch-through » (pour plus détails voir les chapitres 2, 3 et 4 et [TRE 2007, BER-1 2010, BER-4 2010, MEU 2010]).
- Enfin, le laboratoire Ampère à Lyon dans le cadre de la thèse de Youness Hamieh [HAM 2011] a mené une étude sur la possible dégradation des caractéristiques (statique et dynamique) du LVJFET liée au problème de défauts d'empilement de la diode interne bipolaire SiC en antiparallèle dans les cas où cette dernière est utilisée. La nécessité de mener cette étude provient d'une étude préalablement réalisée en 2007 sur un MOSFET SiC intégrant une diode bipolaire en SiC en antiparallèle [AGA-b 2007]. Cette étude a montré que la caractéristique statique du MOSFET SiC se dégrade en fonction du temps de conduction de la diode bipolaire. Hamieh et son équipe ont réalisé des études similaires sur le LVJFET de SiCED et ont montré des résultats encourageants puisque la dégradation est minime et semble se stabiliser dans le temps. Par ailleurs, nous tenons à souligner que la diode bipolaire interne du LVJFET est peu utilisée au sein d'un onduleur de tension puisqu'elle ne sert que pendant les temps morts.

Pour terminer ce paragraphe dédié à la structure cristalline du JFET deux canaux, nous signalons que c'est cette structure qu'a retenue le centre de recherche SiCED pour ses JFET, une partie est dédiée par la suite à ces composants.

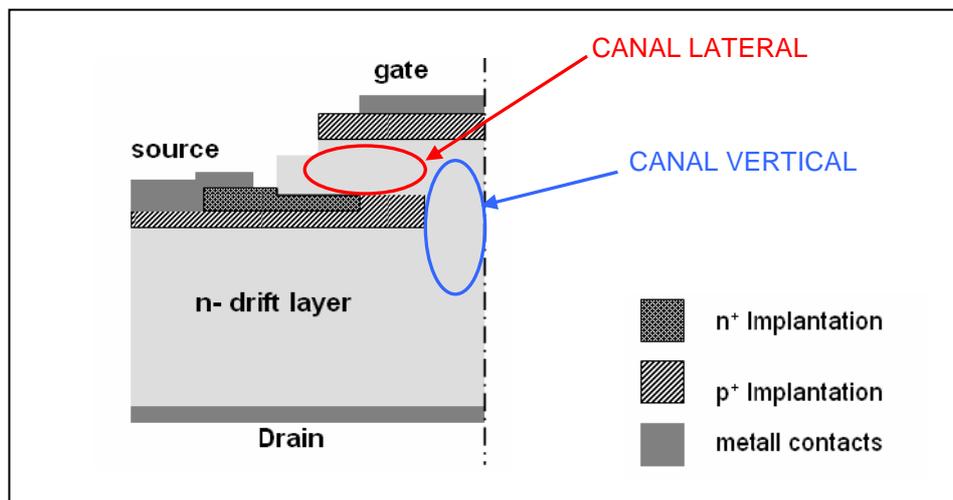


Figure 1-40 : Structure cristalline (demi-cellule) du LVJFET SiC [TRE 2007].

La deuxième structure est présentée sur la Figure 1-41, elle est désignée en français par structure JFET Verticale, ou encore par JFET Verticale pure et en anglais par « Vertical JFET (VJFET) », « Vertical Vertical JFET (VVJFET) » ou encore par « Static Induction Transistor (SIT) ». Contrairement à la version présentée précédemment, le VJFET ne comporte qu'un seul canal qui lui est vertical. Ce canal englobe à la fois la partie commande du composant (la zone où se trouvent la grille et la source) ainsi que la partie qui supporte la tension (la zone de drift), par conséquent la géométrie de la grille et de la source, soit la tension de seuil du composant, dépend directement de la tenue en tension désirée, ce qui n'est pas le cas avec le LVJFET. D'autres inconvénients sont liés à la structure du VJFET comme :

- l'absence de diode interne en antiparallèle entre les électrodes drain-source,

- la capacité de contre-réaction ou capacité MILLER est plus importante comparée à la structure du LVJFET de la Figure 1-40 ce qui rend le VJFET potentiellement moins performant en termes de rapidité de commutation,
- la fabrication de la grille du VJFET à proximité du canal vertical (géométrie de grille appelée à tranchée dans le jargon de l'électronique de puissance) est délicate comparée à celle du LVJFET. Cela rend alors difficile la reproductibilité au niveau de la tension de seuil d'un composant à l'autre [TRE 2007, ELP 2010].

Ce composant n'a pas que des inconvénients puisque la majorité des JFET SiC réalisés avec cette structure sont du type « normally-off » [TRE 2007, ZHA-1 2004, RIT 2010].

Pour terminer ce paragraphe dédié à la structure cristalline du JFET vertical, nous signalons que c'est cette structure qu'a retenu la société Semisouth pour ses JFET, une partie est dédiée par la suite à ces composants.

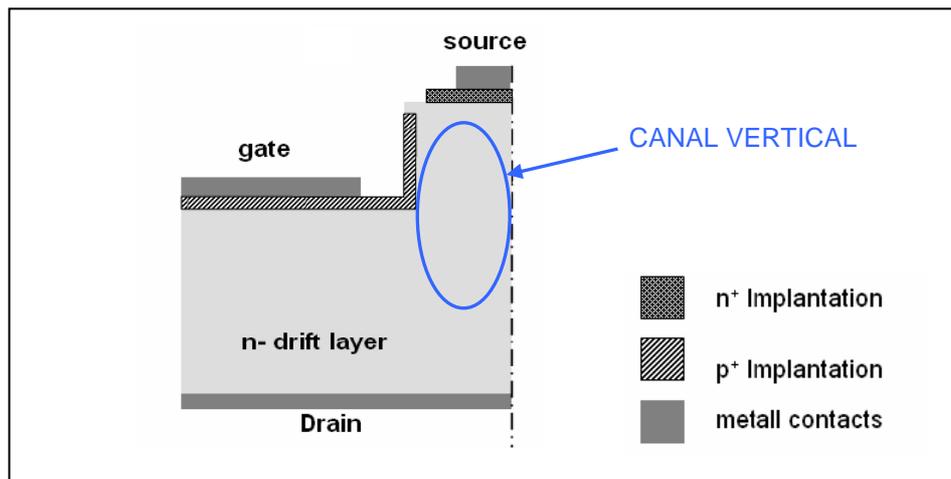


Figure 1-41 : Structure cristalline (demi-cellule) du VJFET ou VVJFET SiC [TRE 2007].

1.4.3.2.2 Transistor JFET SiC deux canaux de SiCED, JFET « normally-on »

Résistance spécifique, Tenue en tension

SiCED, le centre de recherche de la société Infineon, s'est intéressé à différentes structures de JFET SiC deux canaux en SiC-4H. Pour être plus précis, trois structures ont été étudiées et comparées, ces structures sont présentées sur la Figure 1-42 et les résistances spécifiques comparées dans le Tableau 1-11 pour différentes tenues en tension.

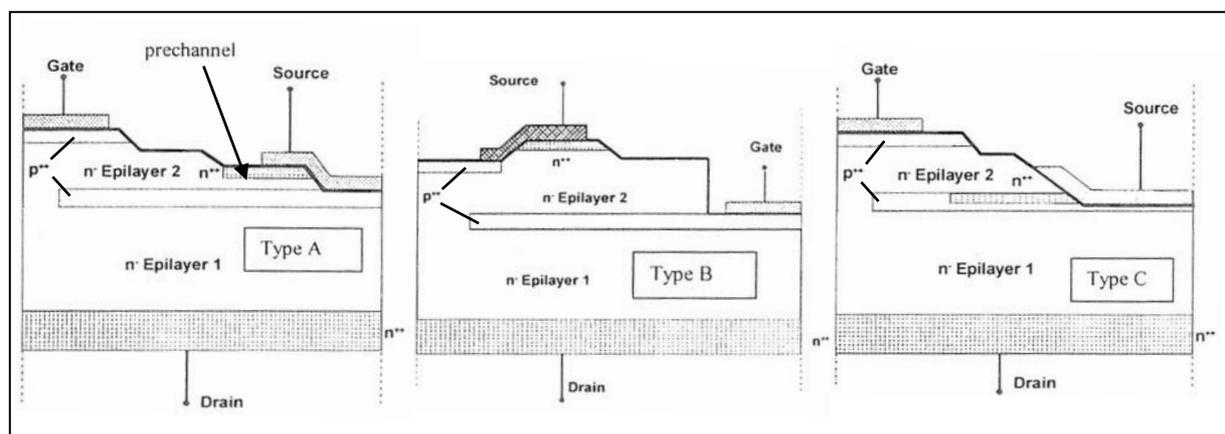


Figure 1-42 : Différentes Structures cristallines (demi-cellule) de JFET SiC deux canaux (LVJFET) étudiées par SiCED [FRI 2002].

Tenue en tension (V)	Composant Unipolaire Si ($\text{m}\Omega\text{cm}^2$)	LVJFET SiC Type A ($\text{m}\Omega\text{cm}^2$)	LVJFET SiC Type B ($\text{m}\Omega\text{cm}^2$)	LVJFET SiC Type C ($\text{m}\Omega\text{cm}^2$)
600V	30 (CoolMOS)	20	8	-
1200V	>400	22	12	15
1800V	-	24	16	18
3500V	-	-	25	-

Tableau 1-11 : Comparaison de résistances spécifiques pour plusieurs tenues en tension entre des composants unipolaires Si et des JFET SiC deux canaux de SiCED [FRI 2001, FRI 2002].

La structure de Type A est conçue pour des applications qui requièrent un JFET qui commute rapidement. Cette caractéristique est à la fois due à une faible résistance série de grille et une faible capacité de contre-réaction ou capacité dite « MILLER » (cette capacité est faible du fait que la surface entre grille et drain est faible). En revanche cette structure comporte une résistance spécifique importante due à la présence d'une région de pré-canal au niveau de la source [FRI 2001, FRI 2002].

La structure de Type B a les électrodes de grille et de source permutées par rapport à la structure de Type A. La structure de Type B comporte alors une grille dite « enterrée » qui ne nécessite pas de pré-canal et cela a pour conséquence de diminuer significativement la résistance spécifique du composant. Par contre, l'inconvénient majeur de cette structure est d'avoir une résistance de grille importante due à la faible mobilité des trous (couche P reliée à la grille) et une capacité de contre-réaction importante (surface entre grille et drain importante), d'où des performances en commutation moins bonnes comparées à celles de la structure de Type A [FRI 2001, FRI 2002].

La structure de Type C quant à elle, combine les avantages des structures de Type A et de Type B. C'est une structure qui ressemble à la structure de Type A avec pour particularité de ne pas comporter de pré-canal au niveau de la source permettant ainsi d'obtenir une résistance spécifique plus faible par rapport à la structure de Type A [FRI 2002]. Afin de permettre une possible commercialisation de cette structure, SiCED a entrepris une optimisation de la résistance à l'état passant du composant en jouant sur le profil de dopage de la zone de drift au niveau de la couche P reliée à la source. Cette optimisation a pour but d'épanouir au maximum les lignes de courant dans la région de drift et permet sur un JFET deux canaux 1200V de diminuer de 25% sa résistance à l'état passant [FRI 2007].

Remarques :

- Dans le Tableau 1-11 la résistance spécifique d'un CoolMOS 600V en silicium est comparée à celles obtenues avec deux JFET SiC (Structures Type A et Type B). C'est sans surprise que nous remarquons que les valeurs obtenues avec les JFET SiC sont plus faibles.
- Une large gamme de tenue en tension est couverte par les JFET SiC deux canaux de SiCED, allant de 600V à 3500V. C'est le caractère unipolaire du JFET SiC qui limite sa gamme de tenue en tension, cette limite d'après Friedrichs dans [FRI 2001] serait autour de 4,5kV.
- Dans les chapitres suivants, le lecteur pourra remarquer que les demi-cellules présentées sont en général celles correspondant à la structure de Type A, mais il arrivera parfois que nous fassions aussi référence à la structure de Type C qui lui est très ressemblante. Cela pourrait s'expliquer par le fait que, lorsque la société SiCED nous faisait parvenir les puces, aucune information ne nous était délivrée concernant la structure des JFET reçus.

Différentes associations de JFET SiC deux canaux

Comme le JFET SiC deux canaux est un composant « normally-on », SiCED a repris l'association de composant MOSFET-SI/JFET proposée par Baliga dans [BAL-1 1987] afin de rendre son JFET deux canaux « normally-off ». Cette association est présentée sur la Figure 1-43, elle est communément appelée structure « cascode » et comporte un MOSFET en silicium basse tension ($\approx 50\text{V}$) « normally-off » en série avec un JFET SiC deux canaux 1200V de SiCED « normally-on » [DIE 2002]. Cependant, comme le mentionnent Mino et son équipe dans [MIN 2003], cette association de composants comporte plusieurs limitations, à savoir :

- La température maximale de fonctionnement est limitée par le MOSFET en silicium,

- La diode interne du MOSFET Si limite les performances en commutation du JFET (faible dv/dt),
- Le fait d'avoir deux composants en série augmente les pertes en conduction.

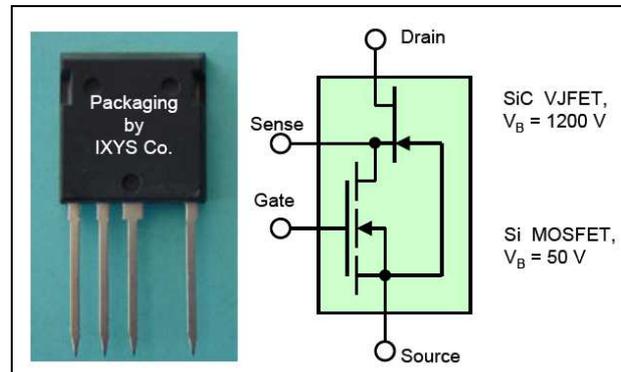


Figure 1-43 : Structure « cascode » à droite, boîtier intégrant cette structure réalisé par IXYS [IXYS] à gauche, [DIE 2002].

Une autre association à base de MOSFET basse tension en silicium, cette fois-ci proposée par Friedrichs et son équipe de SiCED dans [FRI-a 2003], permet de supporter une tension de 4,5kV. Cette association de base fut reprise et améliorée par la même équipe afin d'atteindre une tenue en tension de 8kV [FRI-b 2003], cette association est présentée sur la Figure 1-44. Pour atteindre une telle tenue en tension, la structure « cascode » présentée sur la Figure 1-43 est reprise afin d'avoir un composant « normally-off » et à cette dernière il a été rajoutée un certain nombre de cellules JFET SiC deux canaux + diode Si afin d'atteindre la tenue en tension désirée.

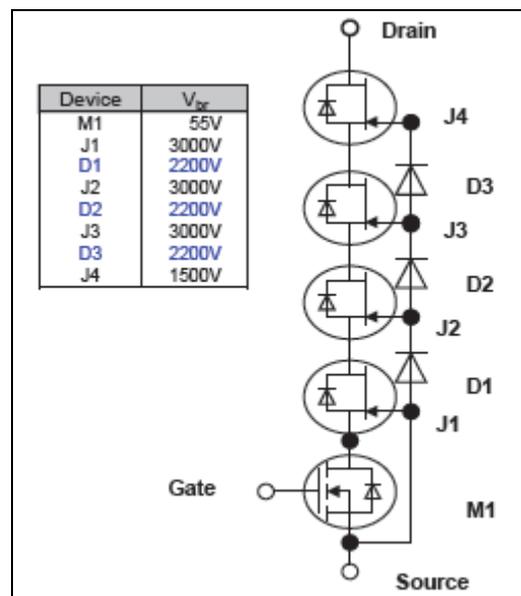


Figure 1-44 : Structure « cascode » haute tension 8kV à base de cellules JFET SiC deux canaux + diode Si, [FRI-b 2003].

A-t-il la capacité de travailler à haute température ?

Nous rappelons que le JFET SiC deux canaux de SiCED est un composant qui comporte uniquement des diodes bipolaires en SiC ce qui en théorie lui permettrait de pouvoir fonctionner à haute température. Cependant, un autre aspect du composant est à prendre en considération afin de garantir à haute température un bon fonctionnement lors des commutations, il s'agit de l'évolution de la tension de blocage (ou tension de seuil) en fonction de la température de jonction. En ce qui concerne le JFET SiC de SiCED, sa tension de blocage est négative, en général bien inférieure à 0V et

peu sensible aux variations de température (pour plus de détails sur ce sujet le lecteur pourra se référer à la partie 2.2.2.3.2 du chapitre 2, ou aux références suivantes [FRI-b 2006, BER-1 2010, BER-4 2010, MEU 2010]). Par conséquent, le composant est apte à fonctionner à hautes températures.

Pour illustrer notre dernier propos, nous donnons un exemple sur la Figure 1-45 dans lequel un JFET SiC 1200V deux canaux de SiCED est caractérisé en régime statique (Figure 1-45-a) pour une température de jonction allant de 25°C jusqu'à 275°C, et en régime dynamique au blocage (Figure 1-45-b) pour une température de jonction allant de 25°C à 250°C [FRI-b 2006]. Nous faisons remarquer que sur la Figure 1-45-a, le JFET SiC 1200V possède une résistance spécifique bien inférieure à celle du MOSFET Si CoolMOS 600V. Par ailleurs, sur la Figure 1-45-b nous constatons que le courant de recouvrement augmente légèrement lorsque la température de jonction atteint 250°C.

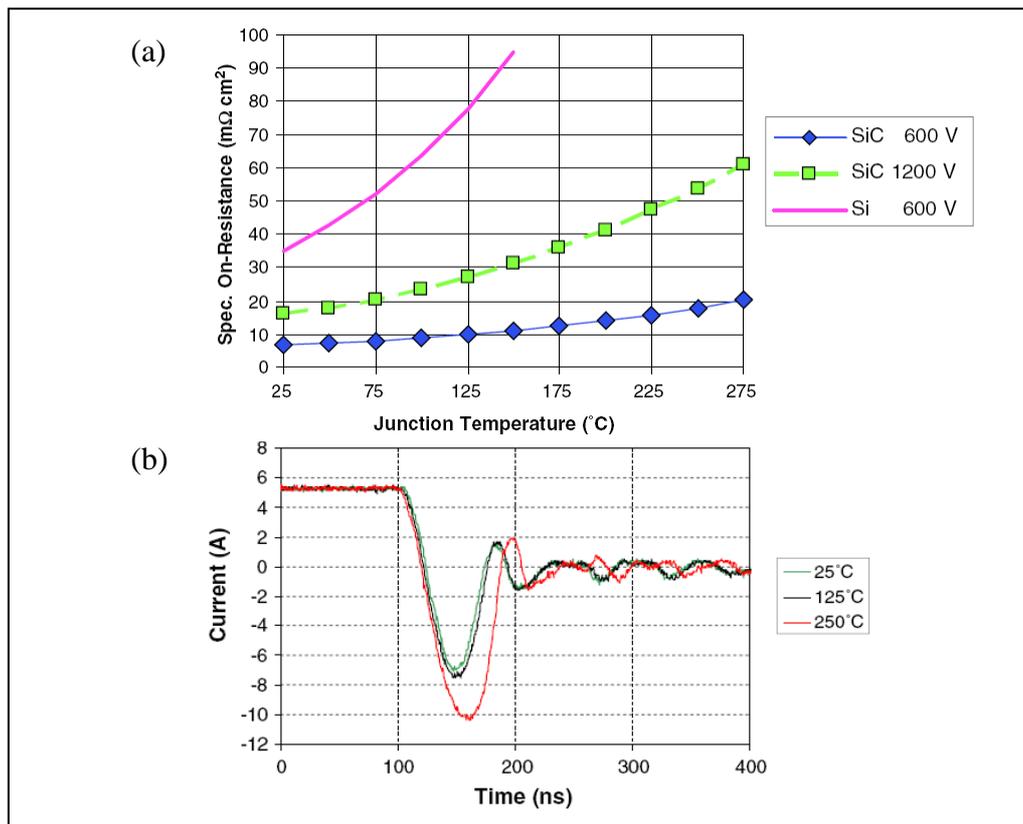


Figure 1-45 : (a) : Résistance spécifique à l'état passant=f(température de jonction), comparatif entre un MOSFET 600V Si-CoolMOS, et deux JFET SiC deux canaux de SiCED 600V et 1200V, (b) : Commutation au Blocage d'un JFET 1200V deux canaux de SiCED pour différentes températures de jonction, Tension et courant commutés 800V/5A [FRI-b 2006].

Pour terminer sur la capacité du JFET deux canaux de SiCED à travailler à haute température, l'équipe de Bergogne dans [BER-1 2005] a réalisé un bras d'onduleur avec le JFET de SiCED fonctionnant à une température ambiante de 300°C.

1.4.3.2.3 Transistor JFET SiC Verticale de Semisouth, JFET « normally-off »

Résistance spécifique, Tenue en tension

Semisouth est le premier fabricant de composants à avoir mis sur le marché un JFET en SiC, et qui plus est « normally-off ». La structure qu'a retenue Semisouth pour ses JFET est celle présentée sur la Figure 1-46, nous rappelons que cette structure est purement verticale et qu'elle est sans diode interne en antiparallèle entre drain et source. Pour que cette structure soit « normally-off », l'extension de la zone de charge d'espace pour une polarisation de grille nulle (la source étant à la masse) doit être

suffisamment large pour bloquer le canal de conduction et empêcher la circulation d'un courant entre le drain et la source. Cela nécessite la réalisation du composant avec un canal très étroit ou avec un dopage faible. Les deux mesures conduisent à augmenter la résistance à l'état passant du composant [ZHA-1 2004, FRI 2005, MIH 2005, HAM 2011]. C'est pourquoi Semisouth afin d'améliorer la résistance à l'état passant de ses composants polarise en directe la jonction PN entre grille et source pour bénéficier de l'effet bipolaire. Par ailleurs, cela a un autre intérêt de polariser de cette manière les électrodes de commande du JFET de Semisouth, cette stratégie de commande permet de garantir la mise en conduction du fait que la tension de seuil est faible et de l'ordre du volt [ROU-2 2005].

De plus, dernièrement Semisouth a réalisé dans [RIT 2010] un JFET « normally-off » en SiC-4H capable de supporter une tension de 1200V tout en ayant une résistance spécifique très faible de $3,1\text{m}\Omega\text{cm}^2$ à 25°C . Pour y parvenir, une tension positive entre grille-source d'environ 3V était appliquée. Nous rappelons qu'une jonction PN en SiC possède à 25°C une tension de diffusion d'environ 2,7V.

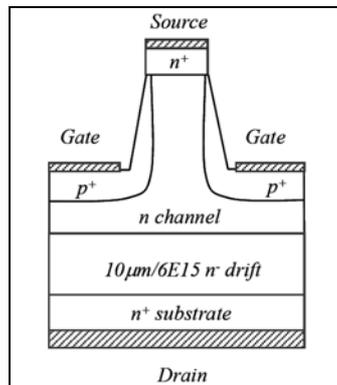


Figure 1-46 : Structure du JFET SiC « normally-off » de Semisouth [RIT 2010].

Pour clôturer cette sous-partie, nous allons présenter le meilleur démonstrateur en termes de tenue en tension. Ce démonstrateur n'a pas été réalisé par la société Semisouth mais par l'équipe de Zhao [ZHA-1 2004], il s'agit d'un JFET « normally-off » en SiC-4H qui permet de tenir une tension importante de 11kV (la structure du dispositif haute tension est présentée sur la Figure 1-47). Pour y parvenir, le JFET comporte une région de dérive de $120\mu\text{m}$ d'épaisseur et dopée à $4,9 \times 10^{14}\text{cm}^{-3}$ d'atomes donneurs. La résistance spécifique du dispositif pour une polarisation de grille de 3,5V (la source étant reliée à la masse) est de $130\text{m}\Omega\text{.cm}^2$ à 300K.

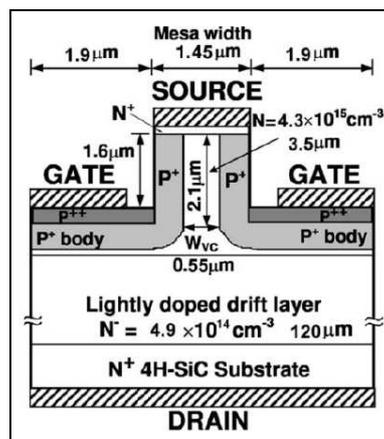


Figure 1-47 : Structure du JFET SiC « normally-off » de 11kV réalisée par Zhao et son équipe [ZHA-1 2004].

A-t-il la capacité de travailler à haute température ?

Le JFET SiC vertical de Semisouth est un composant qui lui aussi comporte uniquement des diodes bipolaires en SiC ce qui en théorie lui permettrait de pouvoir fonctionner à haute température. Cependant deux aspects sont à prendre en considération :

- L'évolution de la tension de seuil à haute température. En effet, la tension de seuil d'un tel dispositif est en général de l'ordre du volt, et diminue légèrement lorsque la température augmente. Dans le cas d'un circuit de commande appliquant une tension de 0V entre les électrodes de commande grille-source pour assurer le blocage, cette diminution pourrait suffire à rendre le JFET de Semisouth « normally-on » lorsque la température de jonction atteint 200°C à 250°C [MIH 2005]. Ce problème peut néanmoins être résolu en complexifiant le circuit de commande afin d'appliquer une tension négative entre grille et source, avec une mise en garde contre un possible problème d'alimentation du circuit de commande à haute température qui serait fatal au convertisseur de puissance à base de JFET SiC de Semisouth.
- Le niveau de courant dans la grille qui risque d'augmenter notablement à haute température. En effet, la stratégie de commande de Semisouth consiste à faire conduire la diode grille-source afin d'obtenir une faible résistance à l'état passant, ce qui nécessite alors d'avoir un circuit de commande capable de fournir le courant de polarisation de la diode considérée. Comme ce courant de polarisation augmente notablement avec la température de jonction du JFET, la gamme de température d'emploi de ce dernier est limitée [MIH 2005]. Avec cette stratégie de commande, Semisouth a caractérisé son composant pour une température de jonction n'excédant pas 175°C [RIT 2010]. Nous allons présenter ces résultats de caractérisation (comportements statique et dynamique) dans ce qui suit.

L'étude réalisée par l'équipe de chercheur de Semisouth porte sur le JFET 1200V déjà présenté précédemment.

Concernant la caractérisation statique du composant, elle a été effectuée sur une plage de température de jonction allant de 25°C à 175°C. Sur la plage de température de jonction indiquée précédemment et pour une tension grille-source d'environ 3V, il a été étudié la variation de la résistance spécifique à l'état passant du dispositif ainsi que la variation du courant de saturation (voir la Figure 1-48). Nous constatons que la résistance spécifique du dispositif augmente significativement d'un facteur 2,5 lorsque la température de jonction augmente et passe de 25°C à 175°C. Nous retrouvons ce même facteur concernant le courant de saturation, mais cette fois-ci dans une logique inverse par rapport à la résistance spécifique puisque le courant de saturation est inversement proportionnel à la résistance spécifique.

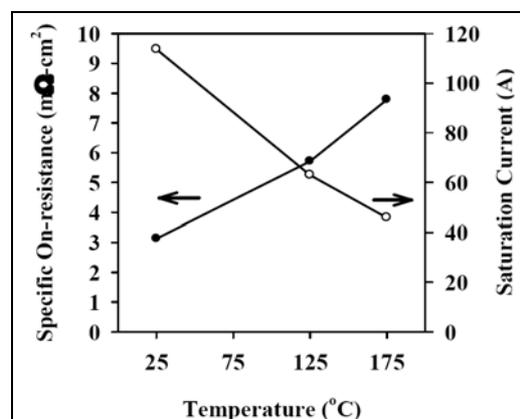


Figure 1-48 : Evolution en fonction de la température de jonction de R_{on} -spécifique et du courant de saturation, JFET SiC « normally-off » de Semisouth 1200V [RIT 2010].

Concernant l'étude en régime dynamique du composant, elle n'a été effectuée qu'à 25°C. En revanche ses performances en commutation ont été comparées à celles d'un IGBT Si à tranchée 1200V-40A

d'Infineon (ref : IGW40T120). Le circuit ayant servi à la comparaison est un bras d'onduleur de tension utilisé en configuration hacheur série alimentant une charge RL. Les commutations ont été réalisées pour une tension de 600V commutée et un courant de 40A commuté. Comme le JFET de Semisouth ne comporte pas de diode interne en antiparallèle, quatre diodes JBS SiC ayant chacune un calibre de 10A ont été utilisées. Les résultats de pertes en commutation sont présentés sur la figure 1-48. Nous remarquons que l'ensemble JFET SiC de Semisouth+diode JBS SiC permet d'obtenir de faibles pertes en commutation comparé à l'IGBT Si, que ce soit lors de la phase blocage ou lors de la phase de mise en conduction. Cela montre indéniablement la supériorité du SiC en commutation. Toutefois Semisouth dans [RIT 2010] ne présente aucun essai en commutation à 175°C. Il aurait cependant été intéressant de voir si la stratégie de commande en mode bipolaire au niveau de la grille aurait pénalisée les performances en commutation du VJFET SiC.

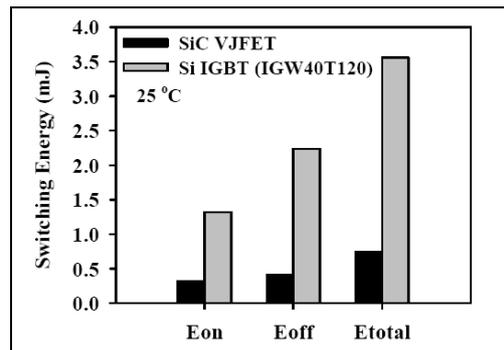


Figure 1-49 : Comparaison des pertes en commutation entre le JFET SiC de Semisouth et l'IGBT Si d'Infineon (IGW40T120), température de jonction 25°C, tension commutée 600V courant commuté 40A, [RIT 2010].

Nous venons d'aborder dans cette partie le dernier dispositif classé dans le domaine des interrupteurs commandables unipolaires en SiC. Avant de conclure ce chapitre, nous allons, dans la partie qui suit, réaliser un recensement des interrupteurs commandables unipolaires en SiC qui sont actuellement commercialisés.

1.4.3.3 Interrupteurs unipolaires en SiC commercialisés

1.4.3.3.1 MOSFET SiC

Aujourd'hui seule la société CREE [@CRE] fabrique et commercialise des MOSFET SiC. En 2009 fut introduit sur le marché le premier module intégrant un bras d'onduleur de tension composé de transistors MOSFET SiC et de diodes JBS SiC. Le boîtier, l'intégration des puces et la commercialisation du module sont réalisés par la société Powerex [@POW] et les composants de puissance fabriqués par la société CREE. Les caractéristiques de ce module sont reportées dans le Tableau 1-12.

	MOSFET SiC	Diode JBS SiC
Tenue en tension	1200 V	1200 V
Calibres en courant	100 A	100 A
Rds on	15 mΩ	-
Température de jonction	-40°C à 200°C	-40°C à 200°C
Température de boîtier	-40°C à 150°C	

Tableau 1-12 : Caractéristiques du module commercialisé par Powerex (ref : QJD1210006) comportant un bras de transistors MOSFET SiC et des diodes JBS SiC 1200V/100A [@POW].

En 2011, CREE est le premier fabricant de composants de puissance à introduire des MOSFET SiC en version « discret » sur le marché. Il s'agit de deux versions de MOSFET SiC à canal N intégrant une diode bipolaire en antiparallèle et ayant toutes les deux un calibre en tension de 1200V. Ces deux versions se différencient par leur résistance à l'état passant, la première possède une résistance à l'état passant de 80mΩ et l'autre une valeur plus élevée de 160mΩ. Nous soulignons au passage que la température maximale admissible au niveau de la jonction et au niveau du boîtier sont identiques et ne s'élève qu'à 125°C. Les caractéristiques complètes de ces deux MOSFET sont récapitulées dans le Tableau 1-13.

	Version 80 mΩ	Version 160 mΩ
Tenue en tension	1200 V	1200 V
Calibre en courant	33 A	23 A
Boîtier	Plastique TO 247-3	Plastique TO 247-3
Température de jonction et de boîtier max.	-55°C à 125°C	-55°C à 125°C
référence	CMF20120D	CMF10120D

Tableau 1-13 : Transistors MOSFET à canal N en SiC en version discrète commercialisés par la société CREE [@CRE].

1.4.3.3.2 JFET SiC

Aujourd'hui seule la société américaine Semisouth commercialise des JFET SiC. Nous rappelons qu'elle commercialise en version « discret » des JFET SiC à canal N à structure verticale sans diode interne en antiparallèle. Ces JFET étaient initialement uniquement « normally-off », mais depuis avril 2010, Semisouth commercialise aussi ses puces en version « normally-on ». Ces versions « normally-on » possèdent une résistance à l'état passant plus faible comparée à celle des versions « normally-off » [@SEM-1]. Toutes les versions de JFET SiC commercialisées par Semisouth sont récapitulées dans le Tableau 1-14.

	référence	Tenue en tension (V)	Rds on (mΩ)	Température de jonction T_J et boîtier T_B (°C)	Type de Boîtier
Normally-off	SJEP120R100	1200	100 $T_J=25^\circ\text{C}, V_{gs}=3\text{V}, I_D=10\text{A}$	$T_J = T_B$ -55 à 150	TO 247
	SJEP120R063	1200	63 $T_J=25^\circ\text{C}, V_{gs}=3\text{V}, I_D=20\text{A}$	$T_J = T_B$ -55 à 150	TO 247
	SJEP170R550	1700	550 $T_J=25^\circ\text{C}, V_{gs}=3\text{V}, I_D=3\text{A}$	$T_J = T_B$ -55 à 175	TO 247
Normally-on	SJEP120R85	1200	85 $T_J=25^\circ\text{C}, V_{gs}=3\text{V}, I_D=17\text{A}$	$T_J = T_B$ -55 à 150	TO 247
	SJEP120R45	1200	45 $T_J=25^\circ\text{C}, V_{gs}=2\text{V}, I_D=30\text{A}$	$T_J = T_B$ -55 à 150	Puce nue

Tableau 1-14 : Transistors JFET à canal N en SiC en version discrète commercialisés par la société Semisouth [@SEM].

Avant de conclure ce premier chapitre, nous tenons à indiquer que le fabricant allemand de composant Infineon devrait commercialiser très prochainement les JFET SiC deux canaux développés dans son centre de recherche SiCED.

1.5 Conclusion

Nous avons tout d'abord effectué un bref historique concernant le carbure de silicium, allant de la découverte du matériau jusqu'à la commercialisation de composant en SiC. Nous avons insisté sur le fait que la viabilité commerciale de la filière du carbure de silicium réside sur la qualité du substrat de base (le « wafer ») sur lequel sont élaborés les composants de puissance en SiC. Il s'avère qu'aujourd'hui les « wafer » sont de grande taille : 4"($\approx 10\text{cm}$) et comportent peu de défauts internes, ce qui est de bon augure pour un développement commercial de composants en SiC de puissance. Nous avons par ailleurs mis en avant le fait que le polytype en SiC le plus intéressant est le SiC-4H. Nous avons aussi montré la supériorité du SiC par rapport au Si en termes de tenue en tension, de résistance à l'état passant, de performance en commutation et de possibilité à travailler dans des environnements thermiquement sévères.

Puis nous avons présenté les composants de puissance en SiC à l'étude et commercialisés. Nous avons essayé de synthétiser au mieux les avantages et inconvénients de chacun de ces composants en SiC dans deux tableaux. Le premier est dédié aux interrupteurs de puissance non-commandables (Tableau 1-15) et le second aux interrupteurs de puissance commandables (Tableau 1-16). Nous pouvons mettre en avant les points suivants :

- Les composants bipolaires sont victimes des défauts d'empilement ce qui pénalise leur fiabilité,
- Les composants exempts d'oxyde de grille peuvent être employés dans des applications hautes températures, où la température de jonction est susceptible d'excéder 150°C ,
- La mise en œuvre des composants commandables est liée à la nature de la commande, commande en tension ou en courant et à l'aspect « normally-on » ou « normally-off » du composant considéré,
- L'aspect commercialisation est lié aux points précédemment évoqués et plus particulièrement à la fiabilité.

	Fiabilité	Fonctionnement Haute Température	Commercialisation
Diode Schottky	bonne	moyen	oui
Diode JBS	bonne	oui	oui
Diode Bipolaire	mauvaise	oui	non

Tableau 1-15 : Avantages et inconvénients des composants non commandables en SiC à l'étude et commercialisés.

	Mise en œuvre (commande)	Fiabilité	Fonctionnement Haute Température	Commercialisation
BJT	moyenne	moyenne	oui	oui
GTO	difficile	mauvaise	oui	non
IGBT	facile	mauvaise	moyen	non
MOSFET	facile	moyenne	moyen	oui
JFET SiCED	moyenne	bonne	oui	en cours
JFET Semisouth	facile	bonne	moyen	oui

Tableau 1-16 : Avantages et inconvénients des composants commandables en SiC à l'étude et commercialisés.

Pour terminer, au travers de ce premier chapitre bibliographique, nous avons justifié le choix qui a été réalisé dans le cadre du projet SEFORA, celui d'avoir retenu le JFET SiC deux canaux de SiCED.

CHAPITRE 2

CARACTERISATION ELECTRIQUE DU JFET SIC DEUX CANAUX DE SiCED

Ce deuxième chapitre va porter sur la caractérisation du comportement électrique statique et dynamique du transistor retenu dans le cadre du projet SEFORA. Nous rappelons que le transistor retenu et par conséquent étudié est le transistor JFET SiC deux canaux. Ce composant aujourd'hui est disponible uniquement en échantillons, fournis par la société SiCED.

Du fait que ce composant est récent sur la scène des semi-conducteurs et dans un stade de pré-commercialisation, il est nécessaire d'effectuer des caractérisations en conditions réelles pour comprendre son fonctionnement, évaluer ses performances et ses limites. Des travaux ont déjà été effectués sur la caractérisation et la modélisation de ce composant, par exemple dans le cadre des thèses de Mousa [MOU 2009] et d'Hamieh [HAM 2011]. Nous allons nous attacher dans ce chapitre à apporter des éléments nouveaux sur la caractérisation du JFET SiC deux canaux de SiCED. Voici les éléments nouveaux qui seront présentés :

- Une caractérisation du comportement électrique statique du JFET à faible niveau de tension sera réalisée sur quatre échantillons en ambiance sévère et en particulier à basses températures. Cette caractérisation va permettre d'obtenir les parties utiles de fonctionnement du JFET pour une plage de température allant de -40°C jusqu'à 180°C . Nous montrerons que des phénomènes apparaissent sur certaines caractéristiques électriques du JFET qui ne sont pas évidents à expliquer, notamment à basse température (-40°C) et haute température (180°C).
- Enfin nous montrerons et décrirons de façon précise les phases de commutation du JFET SiC deux canaux observés expérimentalement en fonctionnement diode (roue libre) et transistor sur un bras d'onduleur de tension pour une température ambiante égale à 27°C .

Nous tenons à préciser que pour pouvoir effectuer les caractérisations évoquées précédemment, nous avons réalisé différents bancs de caractérisation à la fois au laboratoire GREEN et au sein de la société Hispano-Suiza sur le site de Réau. Ces bancs seront bien entendu présentés dans le présent chapitre. Par ailleurs, nous tenons à rajouter que les travaux de caractérisation du JFET SiC ont été effectués dans le cadre du projet SEFORA, en collaboration entre les laboratoires GREEN, Ampère et SATIE, ainsi que la société Hispano-Suiza.

2.1 Présentation des JFET caractérisés

Nous avons caractérisé deux versions de JFET SiC deux canaux de SiCED, la première que nous avons désignée par Type A et la seconde par Type B. Nous avons résumé leurs caractéristiques dans le Tableau 2-1 qui suit :

Version	Tenue en tension	Résistance à l'état passant	Courant de saturation	Surface active
Type A	1200V	$0,2\Omega$ (à 25°C et pour $V_{gs}=0V$)	42A (à 25°C et pour $V_{gs}=0V$)	$2,4 \times 2,4\text{mm}^2$
Type B	1200V	$0,4\Omega$ (à 25°C et pour $V_{gs}=0V$)	22A (à 25°C et pour $V_{gs}=0V$)	$2,4 \times 2,4\text{mm}^2$

Tableau 2-1 : Caractéristiques des JFET SiC deux canaux de SiCED caractérisés.

Les JFET de type A que nous avons caractérisés étaient montés dans un module onduleur triphasé haute température identique à celui présenté sur la Figure 2-1. Ce module assemblé par la société Semelab [@SEM-3] comportait 6 JFET de type A non représentées sur la Figure 2-1 et avait les caractéristiques suivantes [BER-1-a 2008, MEU 2010] :

- Le module comportait un substrat dit DCB (Direct Copper Bonded) ou encore désigné par Soudage Direct sur Cuivre qui avait pour rôles d'assurer l'isolation électrique vis à vis du dissipateur thermique, l'évacuation des calories et une bonne résistance mécanique [BER-3 2010]. Pour ce faire, le substrat comportait des couches en céramique réalisées en nitrure de silicium Si_3N_4 capables de supporter une température importante de 600°C .

- Les puces JFET étaient brasées avec un alliage d'Or et de Germanium Au/Ge possédant un point de fusion élevé de 370°C.
- Les fils de bonding de 125µm de diamètre étaient réalisés avec un alliage d'Aluminium et d'argent Al/Ag capable de supporter une température élevée de 400°C.
- Le gel encapsulant les puces JFET possédait une tenue en température limite de 260°C avec de possibles pics à 300°C. Ce gel avait pour rôle d'éviter tout risque d'arc électrique entre les puces.
- Enfin ce module avait pour particularité d'être hermétique afin d'éviter la corrosion qui serait due à une utilisation en ambiance sévère.

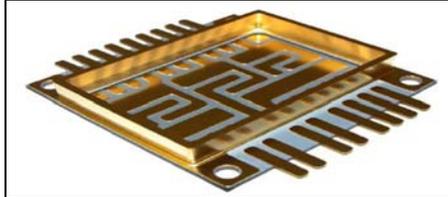


Figure 2-1 : Module onduleur triphasé JFET haute température assemblé par Semelab [@SEM-3] intégrant 6 JFET de Type A (non représentés sur la figure).

Les JFET de type B que nous avons caractérisés étaient montés individuellement dans un boîtier plastique TO220 comme illustré sur la Figure 2-2. Sur cette même figure nous rappelons le schéma électrique associé au JFET « normally-on » à canal N, avec le repérage des électrodes du JFET (Grille, Drain et Source) sur le composant réel.



Figure 2-2 : Schéma électrique et boîtier du JFET SiC de type B.

Remarque :

La version de Type A a seulement été étudiée en régime dynamique, alors que la version de Type B a été étudiée à la fois en régime statique et en régime dynamique. Par ailleurs, l'ordre alphabétique choisi pour « baptiser » ces deux versions n'est pas arbitraire, il correspond à l'ordre dans lequel ces versions de JFET nous ont été fournies pour les étudier.

Nous rappelons également sur la Figure 2-3 la structure cristalline du JFET SiC deux canaux avec son schéma électrique équivalent associé représentant le comportement statique (générateur de courant côté drain-source modulé par V_{gs}) et dynamique (diode + capacité de transition associée entre chaque paire d'électrodes). Ainsi cela permettra au lecteur de pouvoir localiser les différents constituants du composant qui seront caractérisés par la suite.

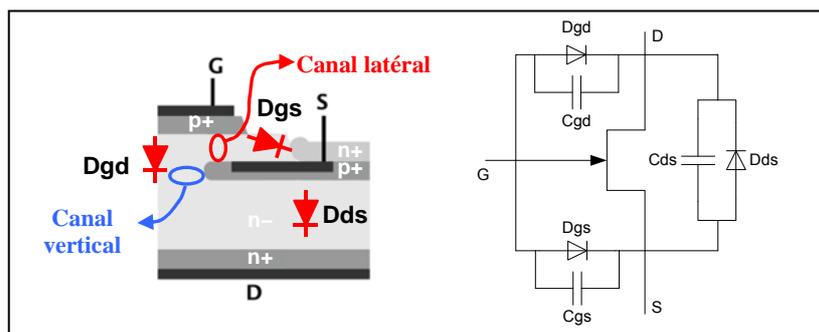


Figure 2-3 : Demi-cellule du JFET SiC (à gauche), schéma électrique équivalent simplifié (à droite).

2.2 Caractérisation du comportement statique

Cette partie sera organisée de la façon suivante : nous allons dans un premier temps présenter le banc que nous avons réalisé au laboratoire GREEN qui nous a permis d'effectuer les caractérisations statiques en ambiance sévère. Puis, pour chaque type de caractérisation, nous mettrons en avant le schéma de câblage, le protocole expérimental associé et bien sûr les résultats obtenus.

2.2.1 Présentation du banc de caractérisation statique haute température

2.2.1.1 Avant propos

Nous distinguons deux types de caractérisations statiques : celles effectuées à courants forts et celles effectuées à courants faibles. Nous entendons par « courants forts » des courants dépassant l'ampère, pouvant aller jusqu'à plusieurs centaines d'ampères et par « courants faibles » des courants inférieurs, voire bien inférieurs à l'ampère.

Dans la littérature beaucoup de résultats de caractérisation statique sont obtenus par l'intermédiaire de plateformes développées par Tektronix et Hewlett Packard (Agilent technologie aujourd'hui).

Pour effectuer des caractérisations à courants forts, les laboratoires Ampère à Lyon [MOU 2009] et LAAS à Toulouse [BER-5 2010] emploient le traceur Tektronix 371A (voir Figure 2-4). Ce traceur permet de caractériser de manière automatique la tenue en tension d'un composant jusqu'à 3000V et la partie utile de la caractéristique statique d'un composant en délivrant des courants pulsés (minimisation de l'auto-échauffement) jusqu'à 400A sous une tension de 30V maximum [@TEK-a].

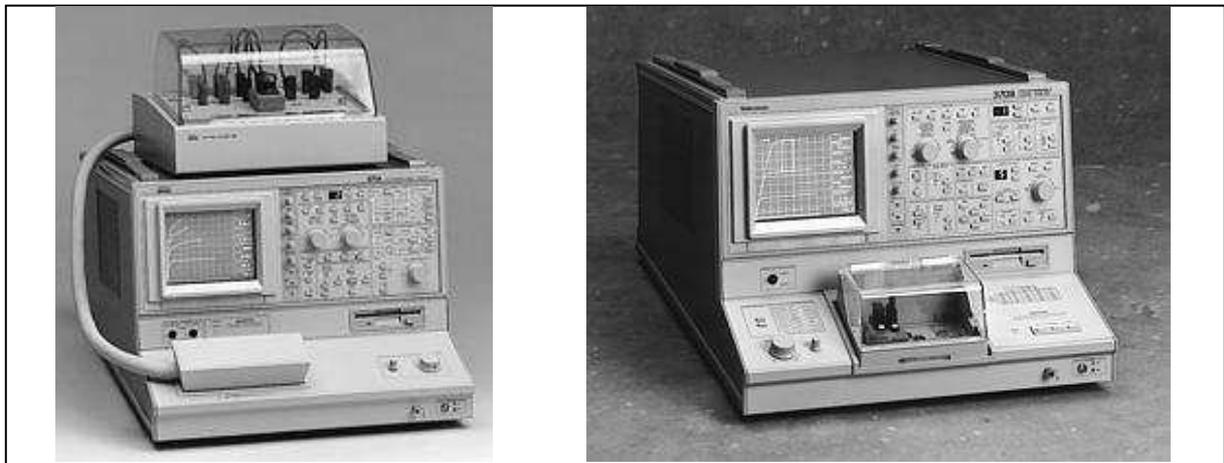


Figure 2-4 : Bancs de caractérisation statique Tektronix 371A (à gauche) et 370B (à droite) [@TEK-a].

Pour effectuer des caractérisations à courants faibles, le laboratoire Ampère utilise des traceurs Tektronix de la famille 370 [MOU 2009]. Par exemple le traceur Tektronix 370B (voir Figure 2-4) a une résolution en courant minimale de 1pA [@TEK-a]. Le laboratoire LAAS utilise quant à lui l'alimentation de Hewlett Packard HP 4142B (voir Figure 2-5) pour effectuer ce type de caractérisation. C'est une alimentation programmable en tension et en courant d'une très grande précision de mesure, avec une gamme en courant allant de 20fA à 100mA et une gamme de tension allant de 40 μ V à 100V [BER-5 2010, @AGI, @TES].



Figure 2-5: Alimentation HP 4142B (à gauche) couplée à un ordinateur HP IMA (à droite) [@AGI, @TES].

Etant donné que nous ne disposons pas de tels appareils au laboratoire, nous nous sommes intéressés aux publications dans lesquelles les auteurs ont réalisé leur propre banc de caractérisation statique, en vue de nous en inspirer. Une publication a retenu notre attention, il s'agit de celle de Lefebvre [LEF 2005]. Le but des travaux présentés dans cette publication était d'étudier le comportement de composants IGBT (600V et 1200V) et COOLMOS (600V) en régime de courts-circuits répétitifs. Afin de réaliser des courts-circuits sur le composant sous test, Lefebvre a employé un circuit simple et efficace qui est composé d'une source de tension (Alimentation 0-600V découplée avec un étage capacitif) sur laquelle est branchée en direct un transistor jouant le rôle de disjoncteur (ici un IGBT 400A-1200V) en série avec le dispositif sous test (DUT Device Under Test), voir Figure 2-6.

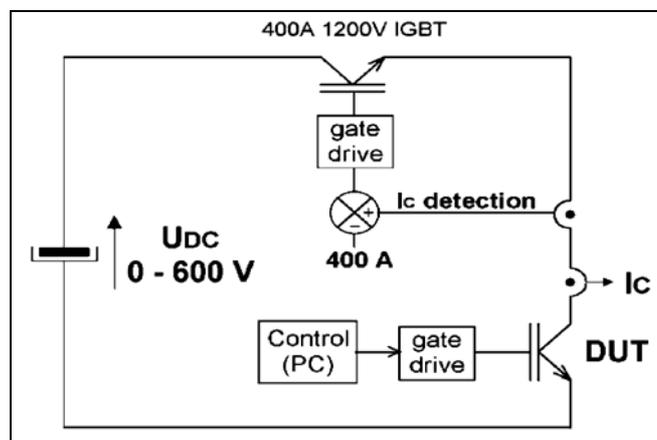


Figure 2-6: Circuit de test permettant de réaliser des courts-circuits [LEF 2005].

Le principe d'un essai est de commander par l'intermédiaire d'un ensemble ordinateur – driver (mise à l'état passant pour V_{gs} ou $V_{ge} = +15V$) le dispositif sous test pendant une durée de $10 \mu s$ et de façon répétée toutes les 3 secondes pour éviter le sur-échauffement. Il en résulte qu'à chaque essai une tension continue élevée est appliquée aux bornes du dispositif sous test (250V, 400V ou 540V). L'objectif est d'observer le nombre de courts-circuits supportés par le composant sous test avant que ce dernier casse.

En ce qui nous concerne, pour pouvoir effectuer des caractérisations statiques à courants forts, nous allons élaborer un banc qui s'inspire de la structure présentée sur la Figure 2-6 (voir les parties 2.2.2.1 et 2.2.2.2). Nous effectuerons des courts-circuits de moindres intensités sous tension réduite afin d'obtenir les caractéristiques utiles des JFET étudiés. En ce qui concerne la durée des courts-circuits, elle sera fixée de façon à minimiser l'auto-échauffement.

Par ailleurs, nous tenons à souligner que nous avons un certain intérêt à réaliser notre propre banc de caractérisation, puisque cela nous permet d'avoir accès à différentes mesures lors d'un essai. Nous avons accès par exemple à l'évolution dans le temps du courant drain-source I_{ds} ou encore de la tension de commande V_{gs} , ce que ne permettent pas forcément les appareils de caractérisation précédemment cités en avant propos.

Enfin, concernant les caractérisations à courants faibles, Lefèvre propose aussi dans [LEF 2005] des circuits « basiques » pour caractériser sur des transistors de types MOS et IGBT la tension de seuil par exemple, et le courant de fuite dans la grille à l'état passant (voir Figure 2-7). Ces circuits comportent uniquement une alimentation faible tension (15V max.), le dispositif sous test, et pour les mesures de courant-tension un milliampèremètre ou micro-ampèremètre du type Keithley 6430 SMU et un voltmètre.

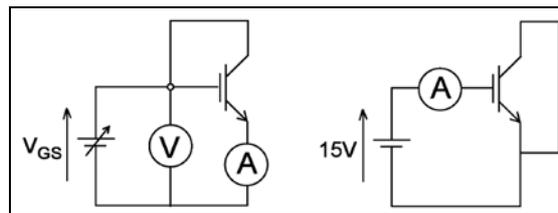


Figure 2-7: Circuits électriques simples permettant de caractériser pour les MOS et IGBT la tension de seuil (à gauche) et le courant de fuite de la grille à l'état passant (à droite) [LEF 2005].

Nous ferons de même pour caractériser à courants faibles les JFET dans la partie 2.2.2.3 de ce chapitre. Nous emploierons des montages similaires que nous adapterons au JFET pour mesurer la tension de seuil, visualiser le phénomène de « punch-through » au niveau de la grille, etc. Le micro-ampèremètre que nous utiliserons sera un multimètre de type Fluke 289 TRMS ayant une résolution en courant minimale de $0,01\mu\text{A}$.

2.2.1.2 Contraintes

Le banc de caractérisation statique que nous avons réalisé au laboratoire GREEN nous a permis d'effectuer différentes caractérisations statiques. Cependant nous avons dû le concevoir en tenant compte de plusieurs contraintes qui sont la température ambiante de caractérisation du JFET, les niveaux de courant à atteindre dans le JFET et les niveaux de tension à appliquer entre les différentes électrodes du JFET. Voici le détail de ces différentes contraintes :

La température ambiante :

Les caractérisations seront effectuées pour une plage de température de jonction correspondant au mieux aux exigences avioniques présentées dans l'introduction générale (tableau 1). Nous rappelons que la température de jonction est susceptible de varier dans une plage allant de -55°C à $+250^{\circ}\text{C}$. Cependant pour des raisons pratiques (chambre climatique limitée) nous effectuerons la caractérisation sur une plage allant de -40°C à $+180^{\circ}\text{C}$.

Les niveaux de courant :

Comme nous l'avons déjà évoqué auparavant lors de l'avant-propos, le banc de caractérisation statique que nous allons concevoir devra permettre de réaliser des caractérisations à fort niveau de courant et à faible niveau de courant. Nous entendons par fort niveau de courant, des courants pouvant atteindre suivant la version de JFET à caractériser 42A (voir la contribution de Mousa, [MOU 2008]). Nous entendons par faible niveau de courant, des courants de l'ordre du micro-ampère jusqu'à quelques centaines de milliampères.

Les niveaux de tension :

Un niveau de tension continue de l'ordre de 30V sera suffisant pour obtenir les parties utiles des différentes caractéristiques statiques du JFET. Nous entendons par parties utiles, entre autres, en mode de polarisation directe l'observation des régimes linéaire et saturé du JFET SiC deux canaux, et en mode de polarisation inverse l'observation à la fois de la conduction du canal latéral du JFET et de la diode en antiparallèle Dds .

Nous avons synthétisé dans le Tableau 2-2 les contraintes dimensionnantes du banc de caractérisation statique.

Température ambiante	Niveaux de courant	Niveaux de tension
-40°C -> +180°C	Courants forts : jusqu'à 42A Courants faibles : qqes μA à qqes centaines de mA	$\approx 30V$

Tableau 2-2 : Récapitulatif des contraintes dimensionnantes du banc de caractérisation statique

Remarque :

L'aspect auto-échauffement n'a pas été mentionné auparavant dans les contraintes car il sera traité au cas par cas en fonction de la caractérisation réalisée.

2.2.1.3 Matériels employés – Métrologie

Nous allons maintenant décrire le banc présenté sur la Figure 2-8. Sur cette figure nous avons divisé le banc en quatre parties (a, b, c et d), voici le descriptif de chacune d'elle.

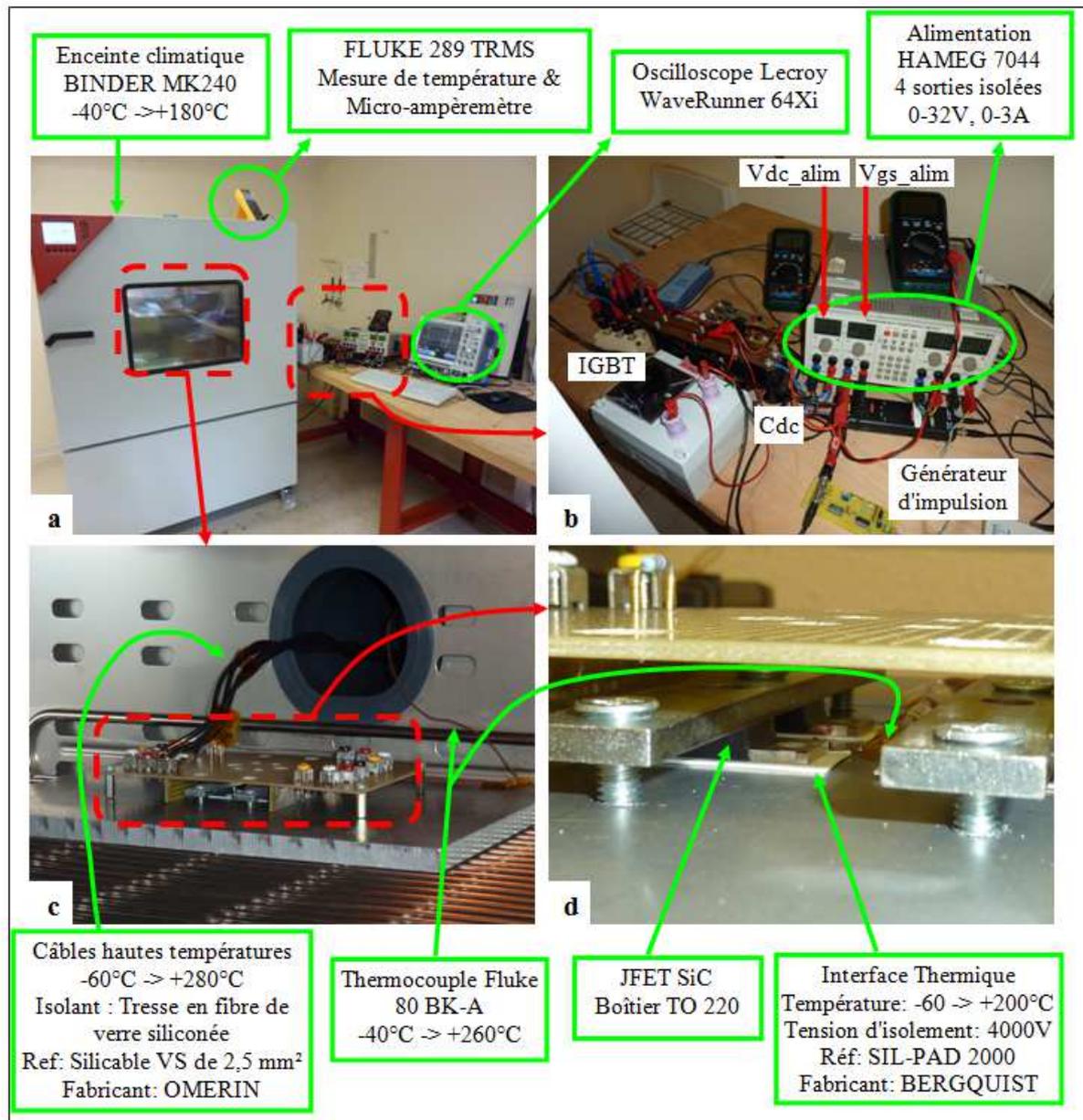


Figure 2-8 : Banc de caractérisation statique haute température réalisé au laboratoire GREEN.

Figure 2-8-a :

Dans cette partie nous présentons une vue d'ensemble du banc où nous pouvons voir l'enceinte climatique Binder MK240 qui nous a permis de caractériser les JFET dans une gamme de température allant de -40°C à +180°C.

Nous montrons également différents appareils de mesure, les voici en détail :

- Nous avons utilisé le Multimètre Fluke 289 TRMS. Cet appareil nous a permis de mesurer la température à proximité des puces JFET et de mesurer de faibles valeurs de courant circulant dans le

JFET de l'ordre du μA jusqu'à la centaine de milliampères. Cet appareil dispose d'une résolution en température de $0,1^\circ\text{C}$, et d'une résolution minimale en courant de $0,01\mu\text{A}$.

- Nous avons employé par ailleurs l'oscilloscope Lecroy WaveRunner 64Xi. Historiquement nous avons fait l'acquisition de cet oscilloscope afin de réaliser des caractérisations en commutation des JFET car il possède une bande passante élevée de 600MHz. Et comme nous avons cet appareil à notre disposition, nous l'avons employé pour effectuer nos caractérisations statiques. Par la même occasion nous avons aussi employé les sondes de courant et tension associées à cet oscilloscope.

La sonde de courant Lecroy CP031 fut utilisée pour acquérir à la fois des courants d'intensités élevées (25A max pour la version caractérisée) et faibles (centaine de milliampères) circulant entre le drain et la source des JFET. Elle possède un calibre en courant de 30A, une bande passante de 100MHz et une résolution minimale de 20mA.

La sonde de tension passive Lecroy PP008 fut employée pour visualiser la tension entre le drain et la source V_{ds} des JFET. Elle nous a permis notamment de mesurer des tensions V_{ds} de l'ordre d'une centaine de millivolts afin de déterminer la résistance à l'état passant R_{on} . Elle possède un calibre en tension de 400V, une bande passante de 500MHz et une résolution minimale de 20mV.

Enfin, nous avons utilisé une autre sonde de tension Lecroy, il s'agit de la sonde différentielle ADP 305. Par souci de commodité (masse de l'oscilloscope ramenée sur le montage et nombre de voies limitées) nous avons utilisé cette sonde isolée afin d'observer la tension de commande V_{gs} des JFET. Cette sonde possède un calibre en tension de 1000V, une bande passante de 100MHz et une résolution minimale de 200mV.

Pour terminer le descriptif de cette figure, nous pouvons voir en arrière plan la partie câblée du banc qui se trouve en dehors de l'enceinte climatique. Nous allons la décrire dans la partie qui suit.

Figure 2-8-b :

La partie câblée visible sur cette figure comporte différents dispositifs. Certains comme l'étage de découplage capacitif C_{dc} , l'IGBT et les sondes de courant et tension auraient pu se trouver à l'intérieur de l'enceinte climatique, mais du fait que la température ambiante atteint des extrêmes trop importants, nous avons décidé de placer ces composants à l'extérieur de l'enceinte climatique. Voici les différents dispositifs en détail :

- Une alimentation de tension HAMEG 7044 a été utilisée. Elle comporte 4 sorties isolées ayant chacune pour calibre en tension 0-32V et en courant 0-3A. Elle a permis de gérer de façon indépendante les tensions appliquées aux bornes du JFET (V_{ds} et V_{gs}) et d'alimenter différentes cartes servant au fonctionnement du banc (carte driver d'un IGBT et carte générant des impulsions).

- Afin de générer des courts-circuits sur de courtes durées, en général inférieures ou égales à $270\mu\text{s}$ pour minimiser l'auto-échauffement, nous avons développé un générateur d'impulsion par l'intermédiaire d'un monostable (voir l'annexe 1 pour plus de détail).

- Comme nous l'avons mentionné précédemment en avant-propos, pour réaliser la caractérisation statique des JFET nous nous sommes inspiré du montage proposé par Lefebvre dans [LEF 2005]. Ce dernier comporte un étage de découplage capacitif couplé à une alimentation de tension.

Nous avons fait de même pour notre banc en employant un étage capacitif C_{dc} qui se compose de 4 condensateurs électrolytiques BHC Aerovox ALS30A333KE040 de 33mF chacun, connectés les uns aux autres en parallèle. Cette configuration de l'étage capacitif permet théoriquement de pouvoir générer des impulsions de courant de 50A pendant plusieurs millisecondes, sous une tension constante de 40V. L'étage a été dimensionné avec une marge importante par rapport aux contraintes énoncées auparavant, de façon à s'assurer qu'à chaque essai, et surtout à fort niveau de courant, la tension appliquée entre les électrodes drain-source du JFET sous test reste constante.

- Enfin, nous avons travaillé avec un bras d'IGBT Semikron SKM200GB123D (1200V, 200A à 25°C ambiant). Nous avons fait le choix d'utiliser ce bras d'IGBT car c'était un des dispositifs disponibles au laboratoire ayant des calibres en courant et en tension adéquats par rapport aux contraintes que nous nous sommes fixées. Nous tenons à préciser par ailleurs que sur ce bras, un seul

IGBT était utilisé. Il avait pour rôle, lors d'un essai, d'appliquer pendant le temps voulu la tension aux bornes du JFET sous test.

Les JFET ont été caractérisés à l'intérieur de l'enceinte climatique. Nous allons détailler dans la partie qui suit la plateforme sur laquelle étaient montés les JFET.

Figure 2-8-c :

Sur cette figure nous pouvons distinguer en arrière plan :

- Les câbles électriques hautes températures qui nous ont permis de réaliser des essais dans une plage de température allant de -40°C à $+180^{\circ}\text{C}$. Ces câbles ont la particularité d'avoir un isolant composé de plusieurs guipages de verre imprégnés silicone recouverts d'une tresse en fibre de verre siliconée. Cela permet à ces câbles de pouvoir travailler sur une plage de températures importante, à savoir -60°C -> $+280^{\circ}\text{C}$. Ils sont fabriqués par la société OMERIN [@OME] et ont pour référence : Silicable VS de 2.5mm^2 . Nous tenons à préciser que les performances de tenue aux températures extrêmes de ces câbles sont dues au type d'isolant employé, ici le silicone. Pour être plus complet en matière d'isolants hautes températures, Shugg dans son ouvrage [SHU 1995] recense les meilleurs candidats. Bien évidemment le silicone en fait partie, mais il y a aussi le polyimide (connu sous la marque déposée Kapton[®]) et les isolants de la famille des fluoropolymères qui sont intéressants avec en particulier le polytétrafluoroéthylène (connu sous le diminutif PTFE, TFE ou sous la marque déposée Téflon[®]).
- Le thermocouple Fluke 80BK-A placé au plus près des puces JFET (voir Figure 2-8-d). Ce thermocouple est compatible avec le Multimètre Fluke 289 TRMS et permet de mesurer des températures sur une plage allant de -40°C à $+260^{\circ}\text{C}$.

Nous allons passer maintenant à la description du dispositif qui se trouve au premier plan, il s'agit de la plateforme intégrant les puces JFET à caractériser. Cette plateforme permet d'accueillir quatre échantillons JFET encapsulés dans des boîtiers TO220, et comporte deux parties distinctes.

Une première partie en forme de « π » est réalisée avec des cartes de prototypage RE323-LF en époxyde FR4 fabriquées par la société Roth Elektronik [@ROT]. Ces cartes de prototypage possèdent des pastilles à souder en vue de réaliser divers circuits électroniques. Elles ont été disposées en forme de « π » afin de faciliter le montage des JFET et par conséquent éviter de fragiliser les pattes des JFET par des pliages successifs. Les JFET comme toute la connectique (bornes à vis en laiton, référence 8191-4 de Keystone [@KEY], et supports en laiton pour résistance, référence 66-3472 de Vero [@VER]) ont été soudés par l'intermédiaire d'une soudure haute température. Pour être plus précis, il s'agit d'un alliage haute température fabriqué par MBO (ref : 300AG 10/10 CR2-500G) qui comporte 1.5% d'argent et possède un point de fusion de 302°C contre 190°C pour de la soudure à l'étain classique. Pour des raisons pratiques de montage/démontage, nous avons utilisé un ensemble Cosses hautes températures – Bornes à vis (présentées auparavant) afin de réaliser les différentes connexions électriques entre la plateforme intégrant les puces JFET et les câbles électriques hautes températures. Ces cosses hautes températures ont été soudées sur chacun des câbles hautes températures avec l'alliage haute température présenté précédemment. De plus ces cosses sont en cuivres nickelé, certifiées jusqu'à 340°C et fabriquées par Tyco Electronics [@TYC] (ref : 382694).

Remarque :

Les cartes de prototypage employées dans la conception du banc sont conçues pour travailler à des températures n'excédant pas 140°C . Cependant, ces cartes ont été testées sur la plateforme expérimentale d'Hispano-Suiza au-delà de 200°C , et jusqu'à 200°C aucune dégradation des caractéristiques électriques du JFET n'a été observée. Par conséquent ces cartes conviennent pour nos essais.

La deuxième partie quant à elle est constituée uniquement d'une plaque. Cette plaque a deux fonctions. D'une part, elle permet de supporter la première partie décrite précédemment. D'autre part,

du fait qu'elle soit en dural (alliage d'aluminium et de cuivre) et d'une épaisseur de 10mm, elle possède une inertie thermique qui permet de maintenir à chaque essai la température de semelle de chaque boîtier TO220 à la température régnant dans l'enceinte climatique. Ainsi nous pourrions assimiler la température régnant dans l'enceinte comme étant la température de jonction des composants testés (l'auto-échauffement devant être, bien sûr, minimisé).

Nous allons maintenant présenter la dernière figure qui se focalise à la fois sur la fixation des boîtiers JFET, et sur l'aspect interface thermique entre les boîtiers JFET et la plaque en dural.

Figure 2-8-d :

Sur cette figure, nous montrons en détail les interfaces thermiques que nous avons utilisées afin de favoriser les échanges thermiques entre les puces JFET et la plaque en dural. Ces interfaces thermiques sont prévues pour être utilisées avec des boîtiers TO220. Elles sont fabriquées par Bergquist [BER], permettent de travailler dans une gamme de température importante allant de -60°C à $+200^{\circ}\text{C}$, possèdent une tension d'isolement de 4000V et ont pour référence : 2015-54 gamme SIL-PAD 2000. Nous montrons par ailleurs la manière dont nous avons fixé deux à deux les boîtiers JFET. Cette fixation a été réalisée par l'intermédiaire d'un système de visseries en acier inoxydable et d'une barrette en cuivre nickelé. Cette dernière vient faire pression sur l'ensemble Boîtier TO220 – Interface thermique. L'assemblage ainsi réalisé permet de contribuer à de meilleurs échanges thermiques et permet par ailleurs d'isoler électriquement les JFET les uns les autres, car il est important de noter que le drain du JFET est relié électriquement à sa semelle. Cependant, ici cet aspect n'est pas très important puisque les JFET seront caractérisés de façon indépendante les uns après les autres, mais cet assemblage peut donner des idées afin de réaliser un bras, voire même un onduleur JFET haute température à base d'échantillons JFET en boîtier TO220.

Remarque :

Sur cette figure, nous pouvons apercevoir en arrière plan une résistance. Cette dernière nous permettait, lors de certaines caractérisations, notamment en forte polarisation inverse de la grille, de dilater l'échelle d'évolution des courants de grille afin d'observer le phénomène de « punch-through » sans détériorer la grille des JFET. Nous avons constaté lors de nos essais que les résistances à film métallique que nous avons employées permettent de travailler dans la plage de température établie précédemment sans que la valeur nominale de ces résistances soit affectée par la température (nous tenons à préciser que les niveaux de courant dans la grille ne dépassaient pas $500\mu\text{A}$).

Après avoir effectué une présentation détaillée du banc de caractérisation statique haute température, nous allons passer aux phases de caractérisation des JFET et analyse des résultats.

2.2.2 Résultats de caractérisation statique

Avant de présenter les résultats de caractérisation statique, nous tenons à préciser que nous avons caractérisé 4 échantillons JFET de Type B. Nous rappelons que cette version de puce JFET est présentée au début de ce chapitre, dans la partie 2.1. Les JFET qui ont été caractérisés seront évoqués par l'intermédiaire de numéros. Nous avons alors caractérisé les JFET N°13, N°14, N°20 et N°24. Seules les caractérisations statiques du JFET N°13 seront présentées complètement. Par contre, nous comparerons pour les quatre JFET l'évolution en fonction de la température de certains paramètres : à savoir le courant de saturation, la tension de seuil, la tension négative entre grille-source à partir de laquelle le phénomène de « punch-through » apparaît et la résistance à l'état passant.

2.2.2.1 Caractérisation électrique statique en mode de polarisation directe

Nous rappelons que la caractéristique électrique statique du JFET en mode de polarisation directe consiste à observer l'évolution du courant circulant entre le drain et la source (I_{ds} , ici de quelques mA jusqu'à 25A environ), lorsque la tension appliquée entre les électrodes drain-source est positive ($V_{ds} > 0$, ici évoluant de 0 à 30V), et cela pour différentes polarisations de grille négatives (V_{gs} , comprises entre 0V et autour de la tension de seuil V_{T0}). Pour ce faire, nous avons adopté une configuration de câblage particulière du banc de caractérisation statique, afin de réaliser des caractérisations à fort niveau de courant. Nous présentons sur la Figure 2-9 le schéma électrique correspondant.

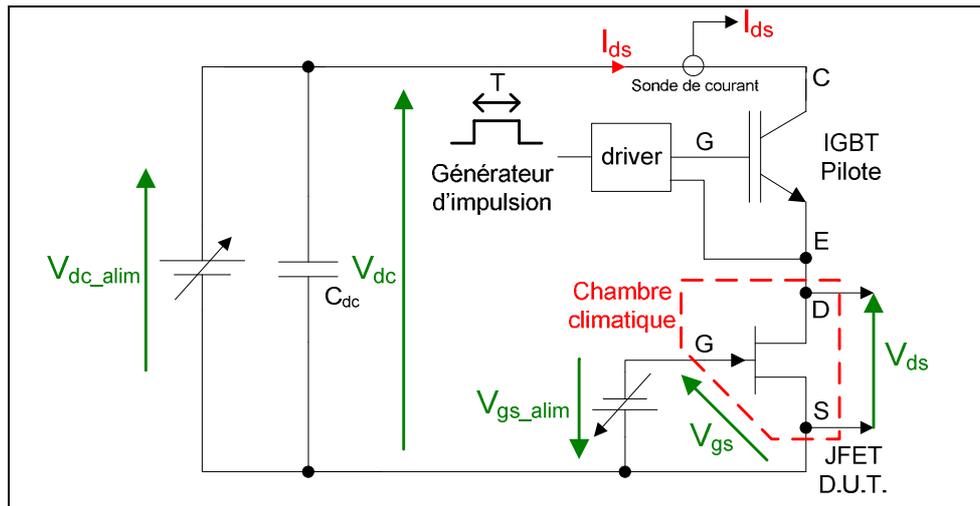


Figure 2-9 : Caractérisation directe des JFET à fort niveau de courant, Schéma de câblage du banc de caractérisation statique associé.

Ce schéma comporte une alimentation de tension V_{dc_alim} découplée par un étage capacitif C_{dc} , et sur cet ensemble est branché un IGBT (qualifié de « Pilote ») en série avec le dispositif sous test (D.U.T. Device Under Test), le JFET SiC. L'IGBT que nous qualifions de « Pilote » sur le schéma, a pour rôle d'appliquer lors d'un essai une tension constante V_{dc} entre les électrodes drain-source du JFET sous test (V_{ds}) pendant un temps voulu. Autrement dit, nous réalisons des courts-circuits maîtrisés au niveau du JFET afin d'obtenir sa caractéristique statique directe. Par ailleurs, comme le JFET a son drain relié électriquement à l'émetteur de l'IGBT, et sa source reliée à la borne négative de l'alimentation de tension, nous appliquerons une tension V_{ds} qui sera bien positive. Pour terminer le descriptif du schéma électrique, une deuxième alimentation de tension V_{gs_alim} a été utilisée pour appliquer une tension négative entre les électrodes grille-source du JFET sous test ($V_{gs} < 0$).

Nous allons maintenant présenter le protocole expérimental que nous avons suivi afin d'obtenir une caractéristique statique en mode de polarisation directe complète.

Nous avons représenté sur la Figure 2-10 les courbes expérimentales obtenues lors d'un essai. Nous relevons au niveau du JFET sous test les signaux nécessaires à l'obtention d'un point de la caractéristique statique, à savoir I_{ds} , V_{ds} et V_{gs} . Nous visualisons par ailleurs le signal de commande au niveau du driver de l'IGBT afin de s'assurer qu'à chaque essai, la tension V_{ds} est bien appliquée toujours pour la même durée T , ici fixée à 270 μ s. Cette durée a été choisie en se basant sur les travaux présentés dans la publication de Mousa [MOU 2008] de telle sorte à minimiser l'auto-échauffement.

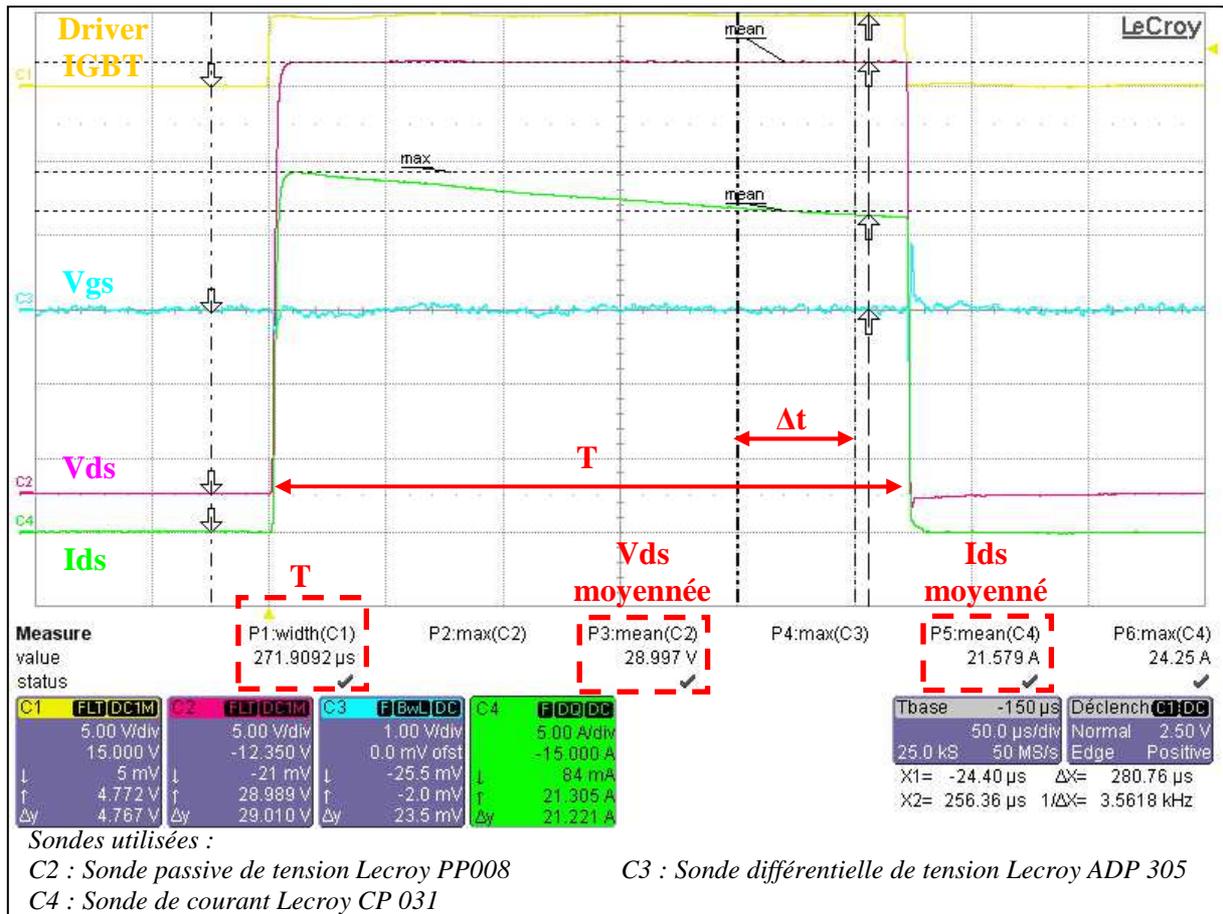


Figure 2-10 : Principe d'une mesure en polarisation directe,

JFET N°13, $V_{dc_alim}=32V$, $V_{gs}=0V$, $T_{ambient}=25^{\circ}C$.

Pour réaliser un point de mesure de la caractéristique statique, nous effectuons la mesure à la fin de l'essai sur I_{ds} et V_{ds} pour ne pas être gênés par leur phase d'établissement et toujours au même instant, ici à partir de $200\mu s$. Cette mesure s'effectue sur une plage de temps Δt de $50\mu s$ où nous réalisons avec l'oscilloscope la moyenne d' I_{ds} et V_{ds} afin de s'affranchir du bruit de mesure. Ce sont ces valeurs qui seront utilisées pour tracer un point de la caractéristique statique. Par conséquent cette méthode que nous qualifions de « méthode du point par point », est assez fastidieuse pour une caractérisation statique complète comparée aux différents traceurs automatiques présentés en avant-propos partie 2.2.1.1. Car nous tenons à préciser que pour obtenir une caractérisation complète à une température donnée, il nous fallait une demi-journée voire une journée. Mais l'avantage de ce procédé de caractérisation réside dans le fait que nous avons accès à tous les signaux au niveau du JFET sous test. A ce propos, à chaque essai nous visualisons la tension de grille V_{gs} , afin de s'assurer d'une part que nous appliquons la tension V_{gs} voulue, et d'autre part qu'elle est identique tout au long de l'essai.

Pour terminer le descriptif de la Figure 2-10, nous allons faire quelques remarques sur les formes d'ondes obtenues.

Nous tenons tout d'abord à souligner qu'elles ont été obtenues dans des conditions où nous observons les niveaux de courant les plus importants (ici environ 24A). Pour être plus précis nous observons le courant de saturation du JFET pour une polarisation entre les électrodes grille-source nulle ($V_{gs}=0V$), un niveau de polarisation appliqué du côté drain-source significatif de l'ordre de 29V, et une température ambiante de caractérisation de $25^{\circ}C$.

Puis, concernant l'allure du courant I_{ds} , nous constatons après sa phase d'établissement une légère décroissance. Cette décroissance est due au phénomène d'auto-échauffement. Autrement dit, la réduction de courant observée est due à la mobilité des électrons qui diminue du fait que la température de jonction du JFET augmente [TOU 2003].

Enfin, la dernière remarque concerne l'évolution de la tension drain-source V_{ds} du JFET N°13, nous constatons qu'elle reste bien constante tout au long de l'essai même si des niveaux de courant I_{ds} important traversent le JFET. Par conséquent, l'étage de découplage capacitif C_{dc} joue bien son rôle.

Le protocole expérimental étant précisé, nous présentons sur la Figure 2-11 les caractéristiques statiques en polarisation directe $I_{ds}=f(V_{ds}, V_{gs})$ du JFET N°13 pour trois températures, -40°C , 25°C et 180°C .

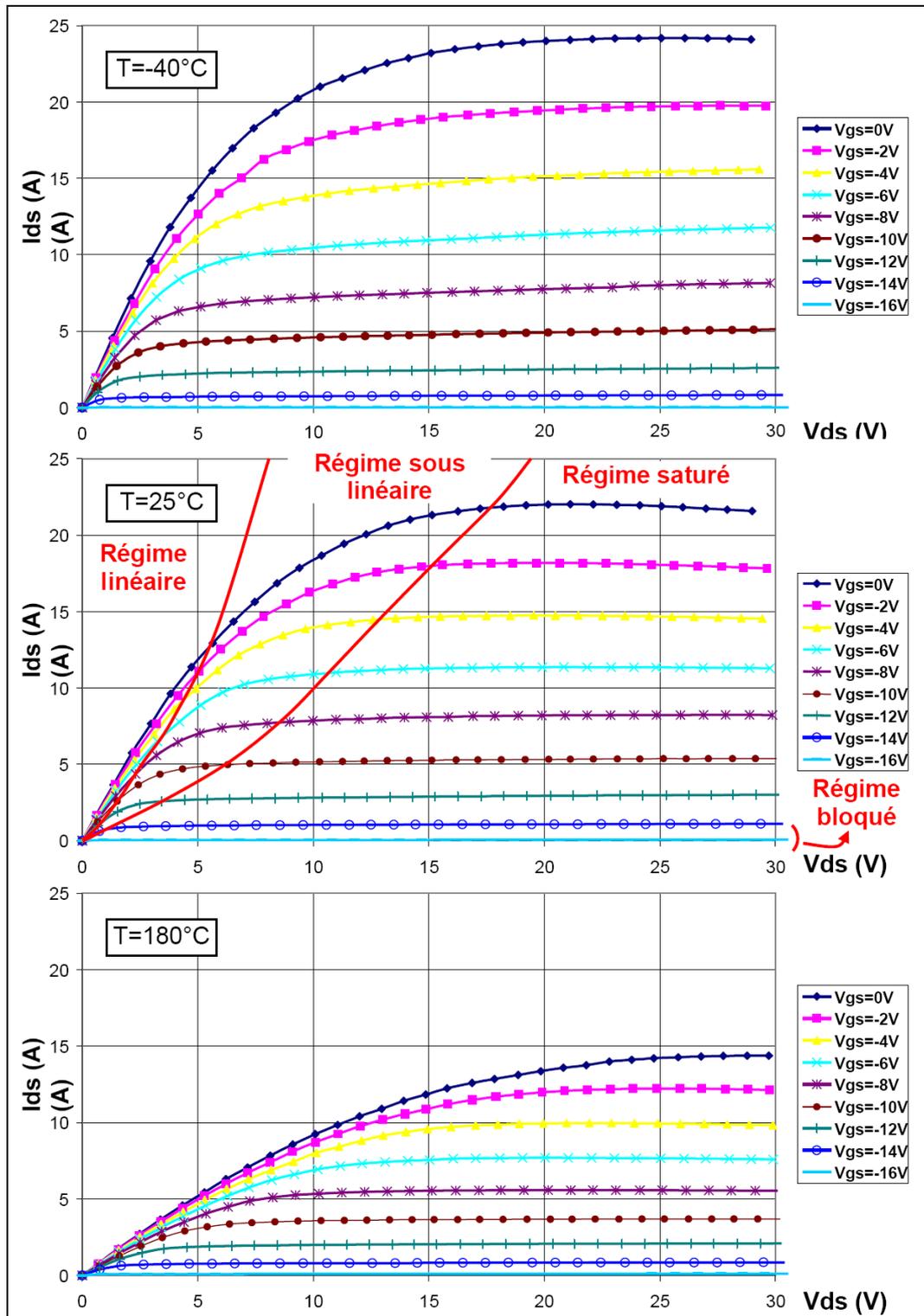


Figure 2-11 : Caractérisations statiques en polarisation directe du JFET N°13 pour 3 températures : -40°C , 25°C et 180°C .

D'emblée, le premier constat que nous pouvons établir porte sur l'allure des caractéristiques statiques en polarisation directe obtenues dans la plage de température étudiée ($-40^{\circ}\text{C} \rightarrow +180^{\circ}\text{C}$), elles sont toutes du type pentode. Autrement dit, nous constatons la présence de courants de saturation dans tous les cas. Cela donne par conséquent une indication concernant le comportement de l'ensemble Canal latéral – Canal vertical du JFET étudié qui se comporte comme un canal JFET dit à « canal long » (voir la partie du chapitre 1 dédiée au JFET pour plus de détail). D'autre part, nous remarquons que pour une polarisation de grille V_{gs} nulle, un courant drain-source I_{ds} peut circuler. C'est pour cette raison que le JFET deux canaux de SiCED est dit « normalement passant » ou « normally-on ».

Nous pouvons par ailleurs constater sur la Figure 2-11 que le fonctionnement du JFET en mode de conduction peut être divisé en trois régimes comme l'explique Mousa [MOU 2009]. Pour plus de clarté, nous illustrons sur la Figure 2-12 chaque régime de fonctionnement que nous allons détailler maintenant.

Nous définissons auparavant la tension drain-source à partir de laquelle le courant de saturation est observé, nous l'appellerons V_{ds_sat} .

Le régime linéaire ($V_{ds} \ll V_{ds_sat}$) :

Le régime linéaire appelé également régime ohmique correspond à une évolution quasi linéaire du courant de sortie I_{ds} pour de faibles valeurs de la tension drain-source V_{ds} et pour une polarisation de grille V_{gs} donnée. Nous tenons à souligner que la section conductrice du canal latéral dépend principalement de la polarisation de grille V_{gs} . Par conséquent, dans ce régime de fonctionnement le JFET se comporte comme une résistance contrôlée par la tension de grille V_{gs} . De plus, dans cette région ohmique de la caractéristique statique du JFET nous pouvons définir la résistance à l'état passant R_{on} (désignée aussi par R_{ds}^{on}) comme étant l'inverse de la conductance (« ou pente ») $g = \frac{\Delta I_{ds}}{\Delta V_{ds}}$ pour une polarisation de grille V_{gs} nulle et une tension drain-source V_{ds} nulle, soit :

$$R_{on} = \left(\frac{1}{g} \right)_{V_{gs}=0V, V_{ds}=0V} = \left(\frac{\Delta V_{ds}}{\Delta I_{ds}} \right)_{V_{gs}=0V, V_{ds}=0V} \quad \text{Eq 2-1}$$

Le régime sous-linéaire ($V_{ds} < V_{ds_sat}$) :

Lorsque la polarisation de drain augmente, autrement dit lorsque la tension V_{ds} augmente (la source étant reliée à la masse), la jonction grille-drain Dgd se trouve plus fortement polarisée en inverse. Par conséquent, la zone de charge d'espace de la jonction Dgd s'étend dans le canal latéral. La déformation de la section conductrice du canal latéral devient donc significative engendrant une diminution de la conductance. Le courant I_{ds} présente alors une variation dite « sous linéaire » avant que la tension V_{ds} n'atteigne V_{ds_sat} , où là, la saturation s'amorce.

Le régime de saturation ($V_{ds} \geq V_{ds_sat}$) :

Lorsque la tension drain-source V_{ds} atteint V_{ds_sat} , le canal latéral ici, est dit « pincé ». En effet, les zones de charge d'espace des jonctions Dgd et Dds se rejoignent. Les électrons doivent désormais traverser une zone de charge d'espace entre le drain et la source où il y règne un champ électrique intense ; par conséquent les électrons y sont accélérés jusqu'à leur vitesse de saturation. C'est pourquoi, une saturation au niveau du courant drain-source I_{ds} est observée.

Remarque :

Dans la littérature, seulement deux régimes de fonctionnement en conduction sont spécifiés pour le JFET. Lorsque le canal conducteur est non-pincé, le régime est dit « non-pincé, linéaire ou ohmique »,

il regroupe alors les régimes linéaire et sous linéaire précédemment présentés. Lorsque le canal est pincé, le régime de fonctionnement est dit « pincé ou saturé » [BAL-1 1987, LET 1999, HAM 2010].

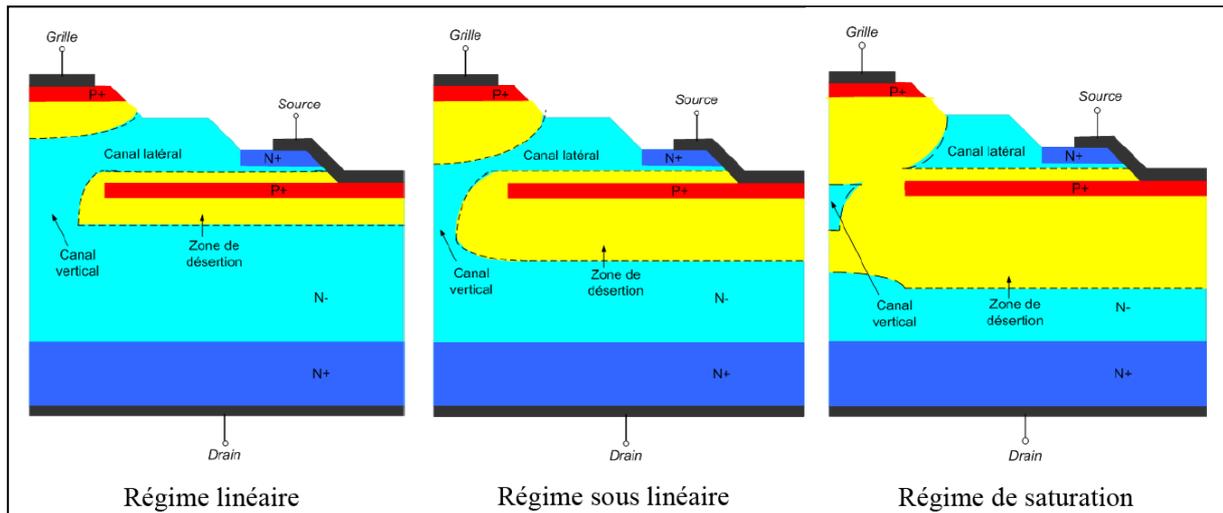


Figure 2-12 : Evolution de la section conductrice des deux canaux du JFET de SiCED dans les trois régimes de fonctionnement, linéaire (à gauche), sous linéaire (au milieu) et saturé (à droite) [MOU 2009].

Un régime n'a pas été évoqué précédemment ni présenté sur la Figure 2-12 puisqu'il ne concernait pas la conduction du JFET en polarisation directe, il s'agit du régime bloqué (voir Figure 2-11). Le JFET est dit « bloqué », lorsque la tension appliquée entre ses électrodes grille-source V_{gs} est suffisamment négative pour observer l'annulation du courant de saturation, et cela quelque soit la tension appliquée entre ses électrodes drain-source V_{ds} dans la limite de tenue en tension du composant. La tension appliquée entre les électrodes grille-source V_{gs} à partir de laquelle le courant de saturation s'annule est communément appelée tension de seuil (ou tension de blocage). Nous préférons employer par la suite le terme « seuil » à la place de « blocage » pour éviter toute confusion avec la tension de blocage appliquée par les drivers, et nous utiliserons le diminutif V_{TO} (« Voltage Turn Off » ou « Threshold Voltage ») pour désigner la tension de seuil. Sur les caractéristiques présentées de la Figure 2-11, nous avons déjà un ordre d'idée sur la valeur de V_{TO} du JFET N°13, elle sera autour de -16V. Une identification du V_{TO} à partir des caractéristiques statiques directes ainsi qu'une méthode de mesure directe du V_{TO} seront présentées par la suite.

Après avoir décrit les différents régimes de fonctionnement issus des caractéristiques statiques présentées sur la Figure 2-11, nous allons mettre en avant et essayer d'analyser l'influence de la température sur l'allure de ces caractéristiques statiques.

La première observation que nous pouvons faire concerne l'évolution du régime ohmique en fonction de la température. Du fait que la mobilité des électrons diminue lorsque la température augmente [TOU 2003], il est tout à fait logique d'observer une augmentation de R_{on} (diminution de la pente) lorsque la température augmente.

La deuxième observation porte sur l'apparition du régime saturé. Nous faisons remarquer que ce régime apparaît pour une tension drain-source V_{ds} plus importante lorsque la température augmente. Ce phénomène peut s'expliquer en s'appuyant sur l'analyse présentée par Lefebvre dans [LEF 2004] concernant la tenue en tension d'une jonction en fonction de la température. Lorsque la température augmente au sein du JFET, l'agitation thermique du réseau cristallin est plus importante, et le libre parcours moyen des porteurs, ici les électrons dans le canal latéral et le canal vertical, s'en trouve réduit. La portion de trajectoire le long de laquelle un électron est accéléré est donc plus courte à température élevée. Il faut alors dans ces conditions un champ électrique plus élevé, et donc par conséquent une tension plus élevée entre les électrodes drain-source du JFET pour que la saturation soit observée.

La troisième observation concerne quant à elle le régime saturé et en particulier l'évolution des courants de saturation en fonction de la température. Nous constatons une diminution des courants de saturation lorsque la température augmente. Nous soulignons par ailleurs que cette diminution est plus prononcée à haute température. Cette dépendance du courant de saturation avec la température est liée au comportement de la mobilité des électrons comme pour la résistance à l'état passant [TOU 2003, MOU 2008].

Par ailleurs, nous faisons remarquer que sur la caractéristique statique à -40°C nous observons d'une manière générale (abstraction faite de l'auto-échauffement observé pour $V_{gs}=0\text{V}$) une légère pente au niveau des courants de saturation, assimilable à une conductance de saturation. Autrement dit, nous pouvons supposer que pour des températures bien en dessous de zéro degré, le JFET comporte seulement deux régimes de fonctionnement, le régime ohmique et le régime sous linéaire.

D'autre part, sur la caractéristique à 25°C , nous observons aussi les effets de l'auto-échauffement au niveau des courants de saturation pour des polarisations de grille faibles, $V_{gs}=0\text{V}$ et $V_{gs}=-2\text{V}$.

La dernière observation porte sur le blocage du composant. Comme nous l'avons déjà évoqué précédemment la tension de seuil V_{T0} se situe aux alentours de -16V pour les trois températures étudiées. Par conséquent, le blocage du composant est peu influencé par la température. Nous verrons dans la partie 2.2.2.3.2 que la tension de seuil V_{T0} diminue légèrement lorsque la température augmente.

2.2.2.2 Caractérisation électrique statique en mode de polarisation inverse

Nous rappelons que la caractéristique électrique statique du JFET en mode de polarisation inverse consiste à observer comme précédemment l'évolution du courant circulant entre le drain et la source (I_{ds} , ici de quelques mA jusqu'à 25A environ) mais cette fois-ci lorsque la tension appliquée entre les électrodes drain-source est négative ($V_{ds}<0$, ici évoluant de 0 à -6V), et cela pour différentes tensions grille-source négatives (V_{gs} , comprises entre 0V et en dessous de la tension de seuil V_{T0}). Pour ce faire, nous avons adopté une configuration de câblage particulière du banc de caractérisation statique présenté dans la partie précédente afin de réaliser des caractérisations à fort niveau de courant. Nous présentons sur la Figure 2-13 le schéma électrique correspondant.

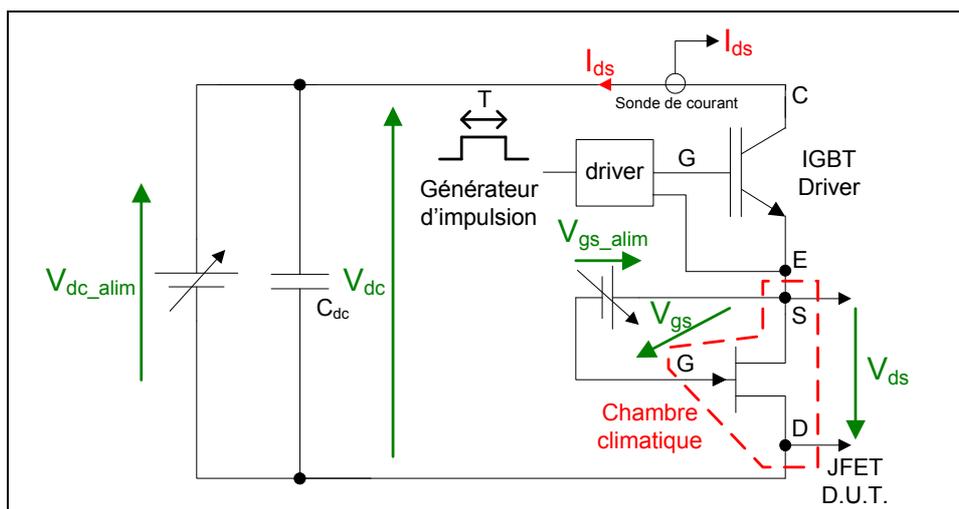


Figure 2-13 : Caractérisation inverse des JFET à fort niveau de courant, Schéma de câblage du banc de caractérisation statique associé.

La structure générale du schéma de câblage ressemble fortement à celle employée lors de la caractérisation statique des JFET en mode de polarisation directe (Figure 2-9). Toutefois, le câblage du

JFET a légèrement changé pour que la tension drain-source V_{ds} puisse être négative. En effet, les électrodes drain-source du JFET ont été permutées.

Pour obtenir les caractéristiques statiques complètes en mode de polarisation inverse, nous avons suivi le même protocole expérimental que pour l'obtention des caractéristiques statiques en mode de polarisation directe (voir Figure 2-10 pour rappel).

Le protocole expérimental étant précisé, nous présentons sur la Figure 2-14 les caractéristiques statiques en polarisation inverse $I_{ds}=f(V_{ds}, V_{gs})$ du JFET N°13 pour trois températures, -40°C , 25°C et 180°C .

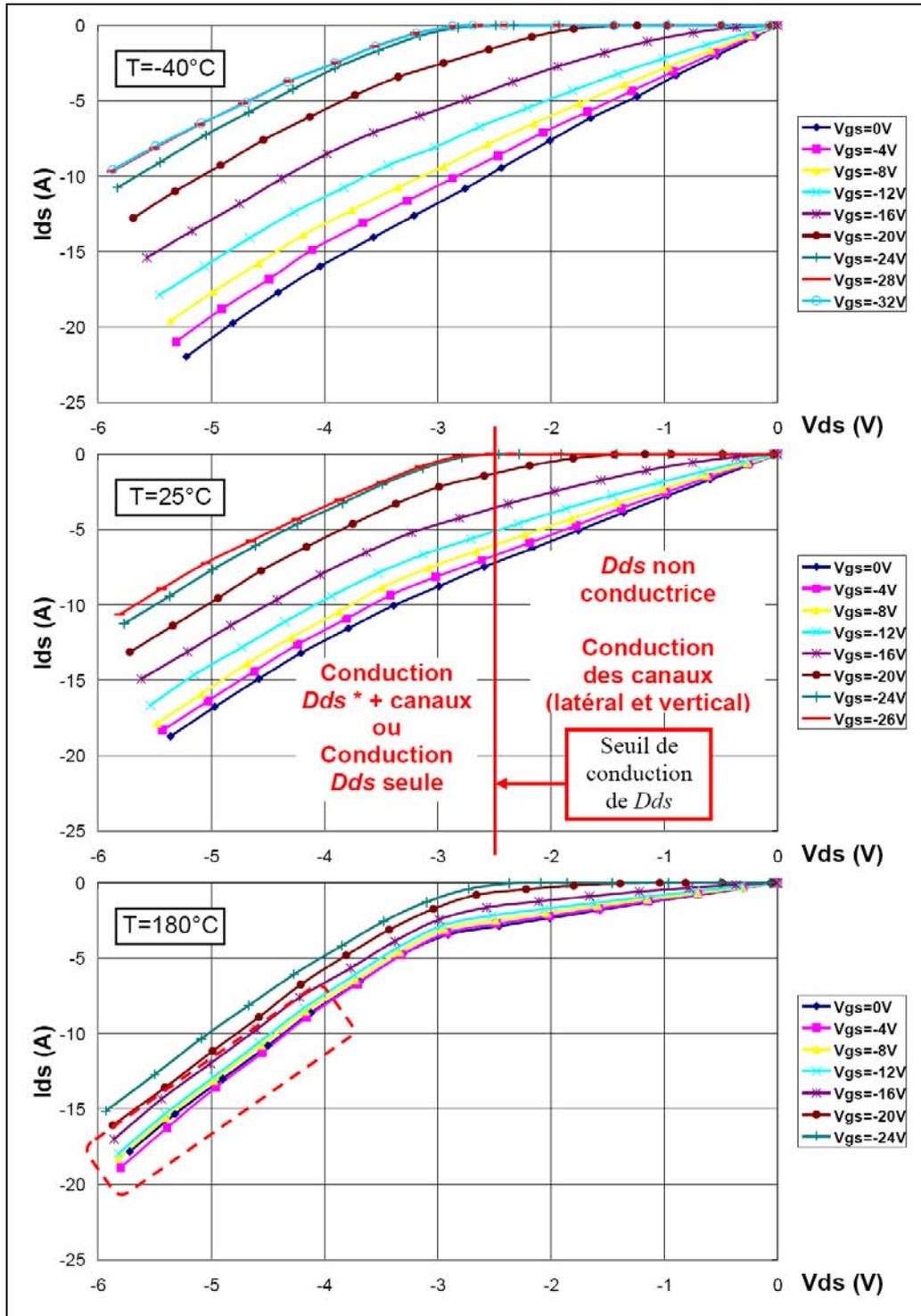


Figure 2-14 : Caractérisations statiques en polarisation inverse du JFET N°13 pour 3 températures : -40°C , 25°C et 180°C , * D_{gd} conduit aussi lorsque V_{gs} vaut uniquement 0V.

Avant d'analyser de façon précise les résultats présentés sur la Figure 2-14, nous tenons à rappeler qu'en polarisation inverse, le JFET de part sa structure interne (diode en antiparallèle Dds , et les deux canaux, voir la Figure 2-3 pour rappel) peut conduire un courant inverse. Le composant JFET SiC deux canaux de SiCED est donc bidirectionnel en courant à l'instar de la plupart des composants unipolaires. Par ailleurs, comme en polarisation directe ($Vds > 0$), ici un courant I_{ds} peut circuler dans le JFET lorsque la tension appliquée entre ses électrodes de commande V_{gs} est nulle. Donc nous pouvons avancer le fait que le JFET est « normally-on » en polarisation directe et inverse.

Sur la Figure 2-14 nous distinguons deux parties, une première où la diode Dds n'est pas conductrice, et une seconde où cette même diode est passante (ceci est valable pour toutes les températures et pas seulement à 25°C). La délimitation entre ces deux parties correspond au seuil de conduction de la diode Dds , appelé par ailleurs tension de diffusion $V_{bi_{Dds}}$ (V_{bi} diminutif anglais de « built-in potential »). Cette tension de diffusion vaut environ 2,5V à 25°C pour cette diode, valeur typique pour le polytype 4H en SiC. Par ailleurs, nous tenons à préciser que cette tension de diffusion diminue légèrement avec l'augmentation de la température. Pour illustration le lecteur pourra se référer à la Figure 1-4 du chapitre 1.

Voici maintenant le descriptif de ces deux parties :

Dds non conductrice, $|V_{ds}| < V_{bi_{Dds}}$:

Ici, le courant peut circuler uniquement dans les canaux du JFET, à savoir le canal latéral et le canal vertical. Deux régimes de fonctionnement sont alors observés.

Le premier correspond au régime ohmique ou linéaire déjà présenté dans la partie concernant l'étude de la caractérisation statique directe du JFET. Nous soulignons au passage que la partie linéaire observée ici est parfaitement symétrique avec la partie linéaire de la caractéristique statique directe. Autrement dit, les résistances à l'état passant du JFET ($V_{gs}=0V$) sont identiques en polarisation inverse et directe (voir la partie 2.2.2.3.5 de ce chapitre pour plus de détails).

Lorsque la tension de commande V_{gs} devient suffisamment négative, la caractéristique du JFET n'est plus linéaire, le JFET fonctionne alors dans un autre régime, appelé régime triode. En effet, une reconfiguration des zones de charge d'espace (ZCE) a lieu entre le canal vertical et le canal latéral ($V_{gs} < 0$ et $V_{ds} < 0$ impliquent la diminution des ZCE associées à Dgd et Dds) qui fait que, l'ensemble Canal vertical – Canal latéral se comporte alors comme un JFET dit à « canal court » [HAM 2010] (voir la partie dédiée au JFET dans le chapitre 1 pour plus de détails sur le régime triode).

Dds passante, $|V_{ds}| \geq V_{bi_{Dds}}$:

Ici, quelle que soit la tension de commande V_{gs} appliquée au JFET, la diode Dds est toujours passante. En effet, si la tension de commande V_{gs} est bien inférieure à la tension de seuil du JFET N°13 (environ 10V en dessous de V_{T0} , ici $V_{T0} \sim -16V$), le canal latéral est bloqué et nous observons uniquement la conduction de la diode Dds . Dans tous les autres cas, nous observons à la fois la conduction de la diode Dds et celle des deux canaux (latéral et vertical).

Par ailleurs sur la Figure 2-14, pour $V_{gs}=0V$ seulement, nous observons en plus la conduction de la diode Dgd . En effet, dans ces conditions de polarisation, la diode Dgd se trouve branchée en parallèle avec la diode Dds et les deux canaux (latéral et vertical), voir la Figure 2-3. Pour être plus précis concernant la conduction de la diode Dgd , pour que cette diode conduise il faut que la tension à ses bornes V_{gd} soit supérieure ou égale à sa tension de diffusion $V_{bi_{Dgd}}$. Comme V_{gd} est définie par :

$$V_{gd} = V_{gs} - V_{ds} \quad \text{Eq 2-2}$$

Lorsque la diode Dgd est passante nous avons :

$$V_{gd} \geq V_{bi_{Dgd}} \text{ soit } V_{gs} - V_{ds} \geq V_{bi_{Dgd}} \quad \text{Eq 2-3}$$

Donc, pour $V_{gs}=0V$, la diode se met à conduire lorsque V_{ds} en valeur absolue devient supérieure ou égale à $V_{bi_{Dgd}}$ (environ 2,5V). Cependant, comme nous avons réalisé des caractérisations inverses en incrémentant tous les 4V la tension de commande V_{gs} , nous allons montrer à partir de l'équation Eq 2-3, que pour une tension de commande V_{gs} inférieure ou égale à -4V et une tension V_{ds} négative, la diode Dgd est bloquée. En partant du principe que $V_{bi_{Dgd}}$ vaut environ 2,5V, V_{ds} doit être inférieure ou égale à :

$$V_{ds} \leq -(V_{bi_{Dgd}} - V_{gs}) \text{ soit } V_{ds} \leq -(2,5 - (-4)) = -6,5V \quad \text{Eq 2-4}$$

pour que Dgd conduise, or ici ce n'est pas le cas puisque lors de nos essais V_{ds} reste supérieure à -6V.

Nous allons maintenant formuler différentes remarques relatives à ce que nous venons d'énoncer, mais aussi sur un point précis que nous n'avons pas encore abordé qui concerne l'influence de la température sur ces caractéristiques statiques en mode de polarisation inverse.

Tout d'abord, nous pouvons remarquer que lorsque le JFET travaille dans des conditions de polarisation inverse ($V_{ds}<0$), le blocage du canal latéral se produit pour une tension de commande bien inférieure à la tension de seuil V_{T0} . Cela est dû à la reconfiguration des zones de charge d'espace entre le canal vertical et le canal latéral, comme pour l'apparition du régime triode.

Par ailleurs, nous souhaitons faire remarquer que les résultats présentés pour les températures positives, 25°C et 180°C, ne sont pas tout à fait complets. En effet, pour l'essai à -40°C, la plus petite tension de commande V_{gs} appliquée au JFET est de -32V, ce qui n'est pas le cas concernant les essais réalisés à 25°C et 180°C. Par conséquent, nous pouvons certifier uniquement pour l'essai à -40°C, que le canal est bloqué à partir d'une tension de commande V_{gs} de -28V, puisque les caractéristiques obtenues à $V_{gs}=-28V$ et $V_{gs}=-32V$ sont confondues. Nous n'avons pu obtenir ces caractéristiques concernant les températures d'essais positives, car dans ces conditions il apparaît des courants non contrôlés au niveau de la grille du JFET dus au phénomène de « Punch-through » (voir la partie 2.2.2.3.3 de ce chapitre pour plus de détail). Afin d'observer ces caractéristiques, une solution aurait pu être envisagée mais par manque de temps nous n'avons pu la tester. Cette solution aurait consisté à employer un circuit câblé entre l'alimentation V_{gs_alim} et la grille du JFET, composé d'une résistance à film métallique de forte valeur (12kΩ par exemple) branchée en parallèle avec une capacité céramique haute température (supérieure à 10nF pour assurer le blocage du canal latéral). Ainsi le courant de grille aurait été maîtrisé en régime statique et la dynamique du courant drain-source I_{ds} inchangée (pas d'auto-échauffement supplémentaire puisque l'Interaction Puissance-Commande aurait été minimisée, voir le chapitre 4 pour plus de détail). Nous tenons à préciser que la solution présentée s'inspire d'une structure de driver pour JFET SiC proposée par l'équipe de Kolar dans [ROU-2 2005]. Cette structure sera étudiée dans le chapitre 4.

Ensuite, nous pouvons constater qu'avec l'augmentation de la température, la conductivité des deux canaux (latéral et vertical) diminue, ce qui engendre alors une diminution du courant drain-source I_{ds} . Par ailleurs, nous remarquons clairement l'influence de l'effet bipolaire en fonction de la température sur les caractéristiques statiques en mode de polarisation inverse. En effet, si nous considérons la caractéristique $V_{gs}=-24V$, pour une même chute de tension, par exemple $V_{ds}=-5V$, nous avons un courant I_{ds} de -10A à 180°C contre seulement -7,7A à 25°C et -7A à -40°C. Par conséquent, lorsque le JFET conduira des courants inverses dans un bras d'onduleur de tension haute température, ici nous nous plaçons dans le cas où $V_{gs}=0V$ et le courant de conduction maximal en inverse pour les applications visées vaut -10A environ, le mode de conduction inverse sera unipolaire à -40°C et à 25°C, et bipolaire à 180°C. Cela aura certainement des conséquences sur les pertes et les formes d'ondes aux blocages pour cette version de puce JFET (possible courant de recouvrement à haute température).

Enfin nous souhaitons attirer l'attention sur un phénomène que nous avons rencontré uniquement lors de l'essai à 180°C (voir les pointillés rouges), et qui n'est pas évident à expliquer, il concerne la caractéristique obtenue lorsque $V_{gs}=0V$. Nous pouvons observer de façon claire que la

caractéristique à $V_{gs}=0V$ chevauche les caractéristiques à $V_{gs}=-4V$ et $-8V$. Pour visualiser l'apparition du phénomène, nous avons représenté sur la Figure 2-15 un zoom de l'essai effectué sur le JFET N°13 à $180^{\circ}C$. Nous remarquons que le phénomène de chevauchement se manifeste uniquement lorsque l'effet bipolaire apparaît (voir pointillés rouges), soit lorsque la conduction des diodes D_{gd} et D_{ds} apparaît. Afin de s'assurer que ce phénomène n'est pas lié uniquement au JFET N°13, nous avons représenté sur la Figure 2-15 la caractéristique statique complète en mode de polarisation inverse du JFET N°14 à $180^{\circ}C$, et nous observons le même comportement lorsque $V_{gs}=0V$.

Dans ces conditions, le courant I_{ds} a la possibilité de pouvoir circuler à la fois dans les diodes D_{gd} et D_{ds} ainsi que dans les deux canaux (latéral et vertical), ce qui permet alors théoriquement d'augmenter le niveau de courant. Or nous constatons le contraire ! La question est donc ouverte.

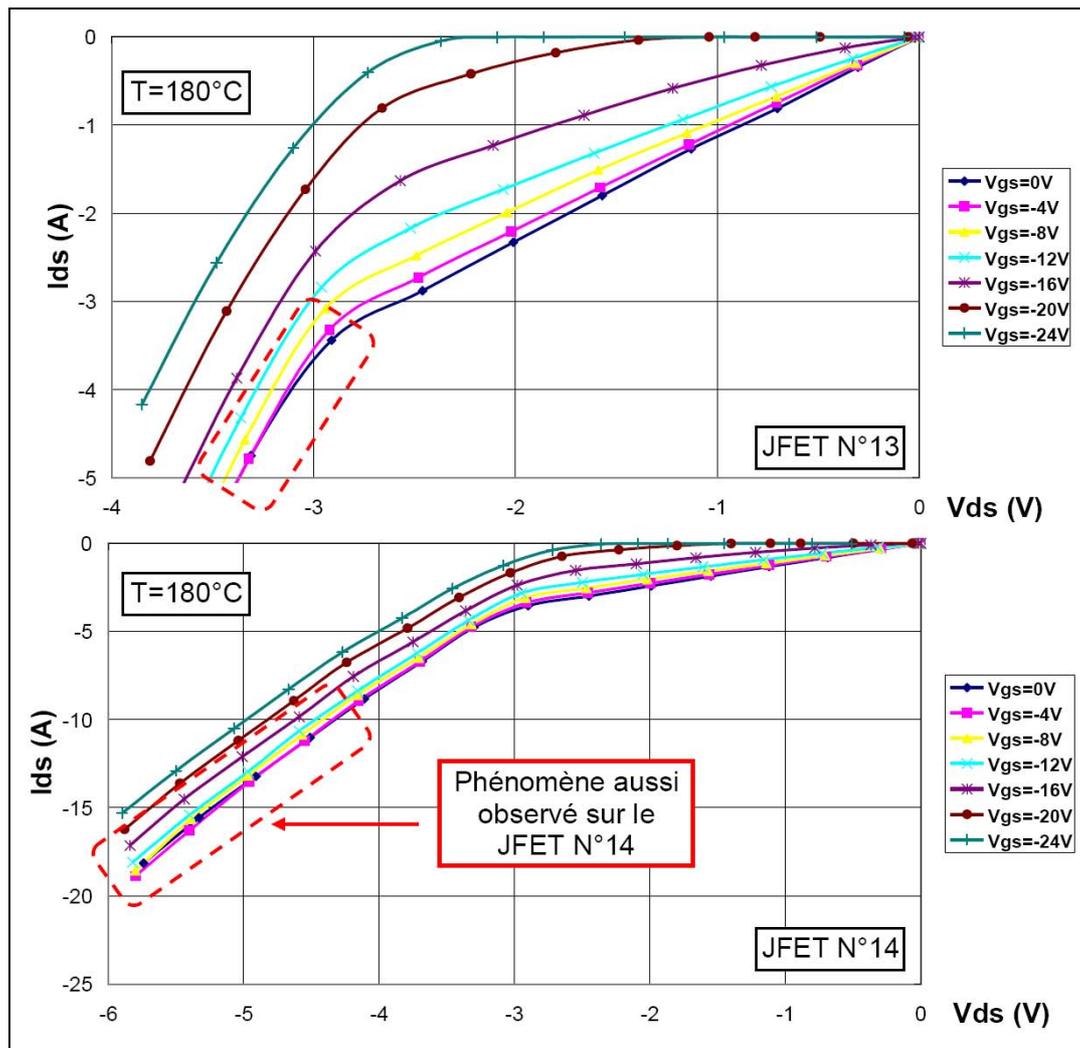


Figure 2-15 : Phénomène de chevauchement observé à $180^{\circ}C$ sur la caractéristique statique en polarisation inverse des JFET N°13 et 14 pour $V_{gs}=0V$.

**Apparition du phénomène pour le JFET N°13 (haut),
Observation du phénomène dans son ensemble pour le JFET N° 14 (bas).**

Nous allons maintenant passer à une partie qui va être dédiée à l'étude en fonction de la température de différents paramètres liés au JFET SiC deux canaux de SiCED, obtenus à partir des résultats de caractérisation statique déjà présentés ou à partir de nouvelles mesures.

2.2.2.3 Etude de l'évolution de différents paramètres et de la caractéristique $I_{gs}=f(V_{gs}, D_{gs} \text{ polarisée en directe})$ du JFET SiC deux canaux en fonction de la température

Cette étude est nécessaire pour cerner de façon plus précise le comportement statique du JFET SiC deux canaux de SiCED, voici les différents objectifs qui lui sont directement liés :

Le premier objectif de ces travaux est d'évaluer la variation du courant de saturation, pour différentes polarisations de grille en fonction de la température. A partir de ces résultats, nous pourrions observer les limites en courant de cette version de JFET, en particulier lorsque le courant drain-source de saturation I_{ds_sat} est maximal pour une polarisation de grille V_{gs} nulle, ou observer l'annulation d' I_{ds_sat} pour une tension égale à la tension de seuil V_{T0} . De plus ces résultats sont utiles pour la validation du modèle statique en régime saturé correspondant à cette version de JFET. Car nous tenons à préciser que les courants de saturation doivent être bien modélisés afin d'obtenir un comportement en commutation fidèle à l'expérience.

Le deuxième objectif de ces travaux est de donner des éléments qui vont permettre de concevoir un driver dédié au JFET SiC deux canaux sur la plage de température étudiée. Bien évidemment le driver devra tenir compte des spécificités du composant afin de commander les JFET au sein d'un onduleur triphasé sans endommager ce dernier. Nous entendons par spécificités l'évolution en fonction de la température, de la tension de seuil, du phénomène de « punch-through » (courant non contrôlé dans la grille lorsque la tension de commande est inférieure à la tension de seuil et égale à une tension que nous appelons $V_{br,gs}$, diminutif de « breakdown gate-source voltage », ou tension de claquage de grille) et de la caractéristique statique en polarisation directe de la diode D_{gs} .

Le troisième objectif de ces travaux est d'évaluer la variation de la résistance à l'état passant R_{on} en fonction de la température de jonction (en polarisation directe et inverse). Autrement dit, cela va nous permettre d'évaluer, sur la plage de température étudiée, les performances en conduction de la version de JFET SiC deux canaux dont nous disposons. De plus, ces résultats permettront de valider le modèle statique en régime ohmique correspondant à cette version de JFET. Enfin, nous évaluerons l'influence d'une tension de commande V_{gs} positive sur la résistance à l'état passant.

Les trois premiers objectifs que nous venons d'énoncer justifient le fait que nous ayons étudié l'évolution en fonction de la température des différents paramètres du JFET précédemment évoqués. Par ailleurs nous avons aussi étudié en fonction de la température la caractéristique statique de la diode D_{gs} en polarisation directe. Nous effectuerons la plupart de ces études sur plusieurs puces JFET, en particulier sur 4 JFET, les JFET N 13, 14, 20 et 24. Nous aurons ainsi une idée sur la reproductibilité des caractéristiques de ces puces JFET, synonyme de maîtrise du processus de fabrication de ces nouveaux composants.

Voici la façon dont sera organisée cette partie. Pour chaque paramètre ou caractéristique étudiés, la méthode d'obtention sera précisée et les résultats seront analysés.

Remarque :

Seule l'obtention de la tension de seuil se fera par deux méthodes, une méthode dite « directe » et une méthode dite « indirecte ». La méthode directe permet directement à partir d'une mesure d'obtenir le paramètre recherché. La méthode indirecte permet à partir de mesures et d'un modèle mathématique d'identifier le paramètre recherché, cette méthode pourrait être aussi désignée par « méthode d'identification ». Tous les autres paramètres seront obtenus à partir de la méthode directe.

2.2.2.3.1 Le courant de saturation

Méthode d'obtention

Pour obtenir l'évolution des courants de saturation en fonction de la tension de grille V_{gs} et de la température, il suffit de récupérer les points de mesure sur les caractéristiques statiques en mode de polarisation directe (Figure 2-11) où le JFET fonctionne en régime saturé, soit pour une tension drain-source V_{ds} d'environ 30V.

Autrement dit, si nous souhaitons travailler uniquement sur l'évolution des courants de saturation en fonction de V_{gs} et cela pour différentes températures, nous pouvons utiliser la configuration du banc de caractérisation statique présenté sur la Figure 2-9 avec le protocole présenté sur la Figure 2-10 ayant permis l'obtention des caractéristiques statiques en mode de polarisation directe. Lors de ces essais la tension d'alimentation V_{ds_alim} doit être fixée à 32V pour visualiser la saturation du JFET sous test, et la variation de la tension de grille V_{gs} doit être comprise entre 0V et proche de la tension de seuil V_{T0} , pour obtenir la caractéristique dite « de transfert » du JFET en régime saturé.

Résultats

Sur la Figure 2-16, nous présentons pour le JFET N°13 l'évolution des caractéristiques de transfert en régime de saturation $I_{ds_sat}=f(V_{gs})$, sur la plage de température étudiée (-40°C -> +180°C).

Pour une température donnée, nous observons que le courant de saturation varie non linéairement en fonction de V_{gs} . Comme nous l'avons déjà évoqué précédemment, le courant de saturation I_{ds_sat} diminue lorsque V_{gs} diminue. Lorsque l'annulation du courant de saturation est observée, le JFET est bloqué. La tension de grille V_{gs} pour laquelle le courant de saturation s'annule correspond à la tension de seuil V_{T0} . Ici l'annulation d' I_{ds_sat} est presque observée lorsque V_{gs} vaut environ -16V, donc en première approximation nous pouvons considérer que V_{T0} vaut ici -16V, et qu'elle est a priori indépendante de la température. Pour cette version de puce JFET, lorsque $V_{gs}=0V$, nous obtenons un courant de saturation maximal qui vaut 24,3A à -40°C, 21,8A à 25°C et 14,8A à 180°C. L'influence de la température sur les courants de saturation est liée, comme nous l'avons déjà évoqué précédemment, au fait que la mobilité des électrons diminue lorsque la température augmente. Dans le jargon de l'électronique de puissance, on dit que le courant de saturation I_{ds_sat} présente « un coefficient de température négatif ». Cette propriété du JFET « normally-on » associée à sa caractéristique pentode lui permet par exemple d'être employé dans des applications de limiteur de courant [TOU 2003, TOU-b 2007]. Par ailleurs, la parallélisation de plusieurs puces est facilitée, et permet ainsi d'ajuster le calibre en courant du limiteur tout en évitant le risque d'emballement thermique (autorégulation de l'auto-échauffement).

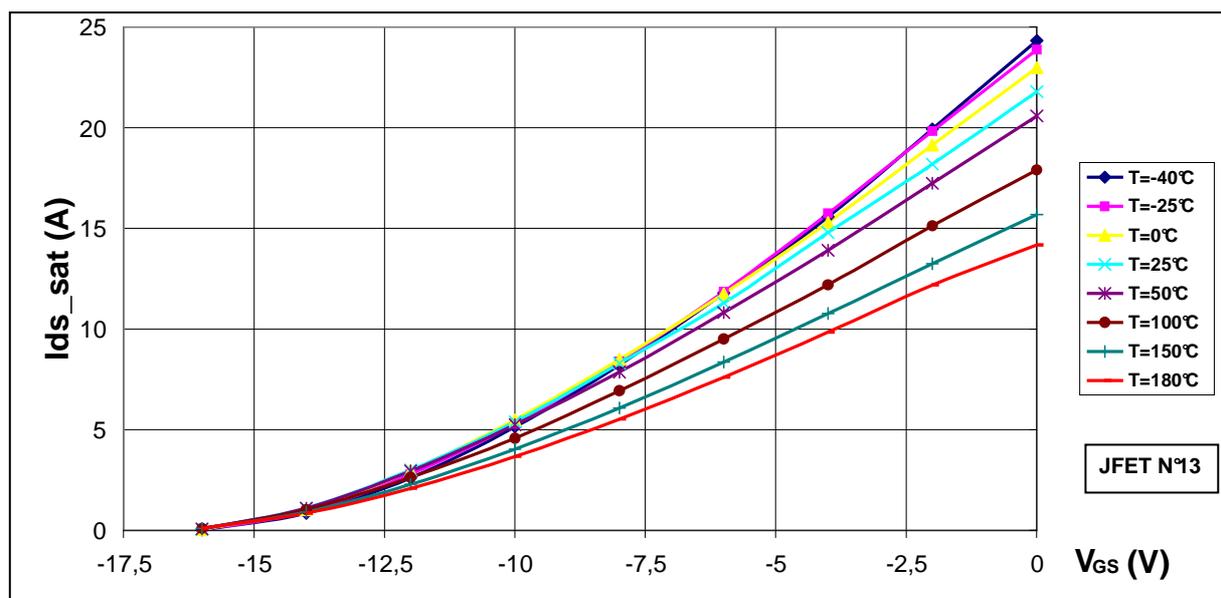


Figure 2-16 : Caractéristiques de transfert du JFET N°13 en régime saturé, $I_{ds_sat}=f(V_{gs})$, pour des températures comprises entre -40°C et 180°C, $V_{dc_alim}=32V$.

Nous allons maintenant comparer le comportement en régime saturé des 4 JFET testés. Nous nous placerons dans le cas où nous avons les niveaux de courant les plus importants pour établir le comparatif, soit pour $V_{gs}=0V$. Nous avons représenté entre autres sur la Figure 2-17, l'évolution des courants de saturation en fonction de la température. Nous pouvons remarquer la présence d'une dispersion au niveau des résultats qui est par ailleurs plus prononcée à basse température.

Sur cette même figure, nous avons représenté pour chaque JFET l'évolution relative du courant de saturation en fonction de la température. Nous pouvons constater que pour les températures positives, sur la plage $25^{\circ}C \rightarrow 180^{\circ}C$, l'évolution pour les 4 JFET est similaire, cependant, pour les températures basses ($-40^{\circ}C$ à $0^{\circ}C$), ce n'est pas le cas. Ces derniers résultats nous indiquent alors que nous pouvons déterminer pour cette version de puces JFET, la valeur du courant de saturation sur une plage allant de $25^{\circ}C$ à $180^{\circ}C$, à partir d'une seule mesure effectuée sur cette plage de température. Par ailleurs, pour être plus précis, nous savons que le courant de saturation obtenu pour $T=25^{\circ}C$ et $V_{gs}=0V$, perd environ 35% de sa valeur lorsque $T=180^{\circ}C$.

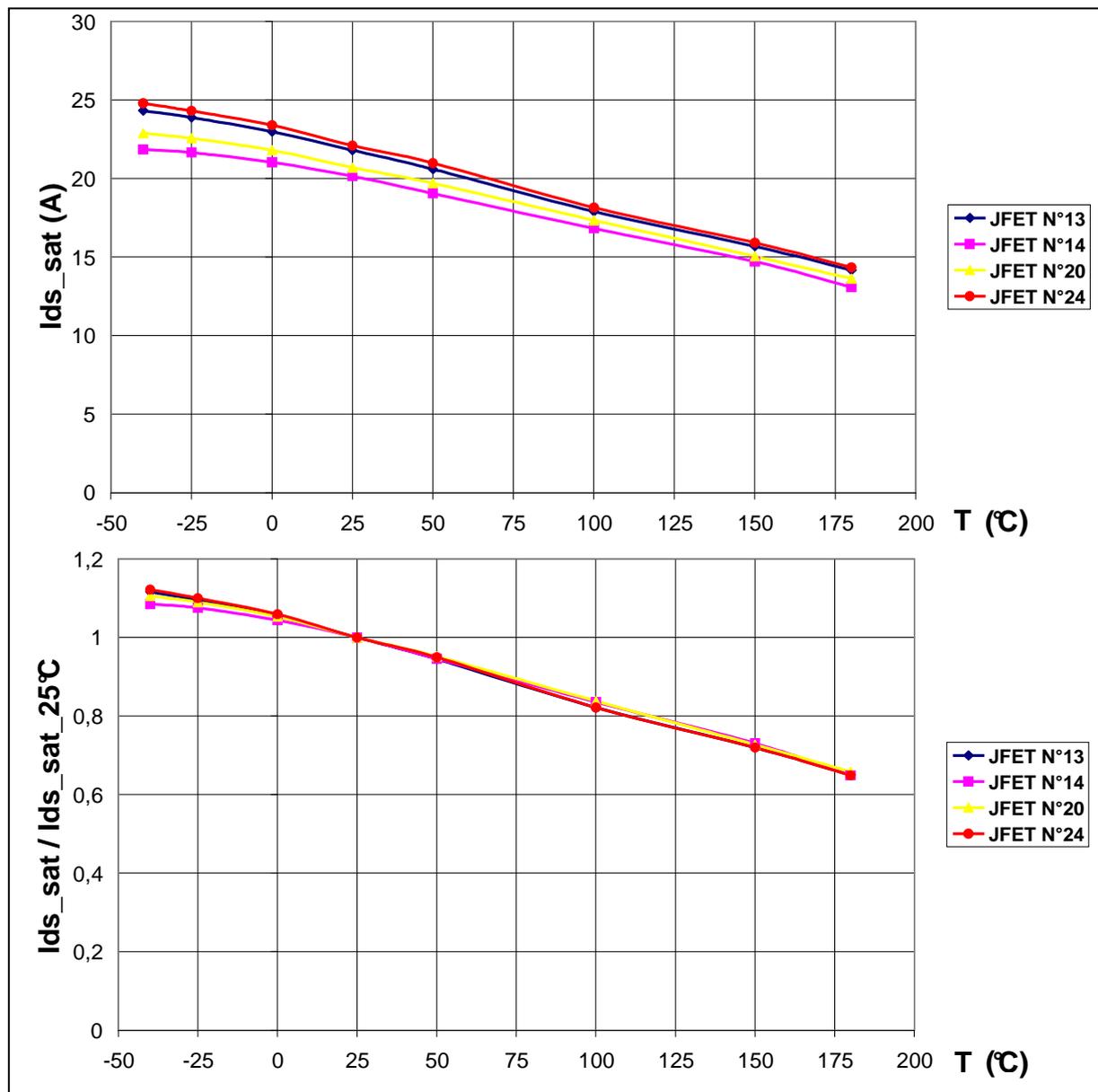


Figure 2-17 : Comparaison pour 4 puces JFET de l'évolution de $I_{ds_sat}=f(T, V_{gs}=0V)$ (haut) et de $I_{ds_sat}/I_{ds_sat_25^{\circ}C}=f(T, V_{gs}=0V)$ (bas), $V_{dc_alim}=32V$.

Nous allons maintenant nous intéresser à l'évolution de la tension de seuil du JFET SiC deux canaux en fonction de la température.

2.2.2.3.2 La tension de seuil

Méthodes d'obtention

Pour obtenir l'évolution de la tension de seuil V_{T0} en fonction de la température, nous proposons deux méthodes d'obtention, une méthode directe et une méthode indirecte.

- **Méthode directe**

Nous rappelons que la tension de seuil V_{T0} est définie comme étant la valeur de tension appliquée entre grille et source V_{gs} à partir de laquelle le courant de saturation I_{ds_sat} s'annule. Or, l'annulation du courant I_{ds_sat} expérimentalement parlant ne signifie rien, car nous pouvons toujours mesurer un courant du moment que nous disposons d'appareillage adéquat. C'est pourquoi nous proposerons de travailler avec un seuil de courant relativement faible, autour de la centaine de micro-ampères, pour définir la tension de seuil, ce qui justifiera par ailleurs le nom de la méthode. Pour mesurer directement la tension de seuil, nous avons employé un circuit adapté à la mesure de courants faibles, ce circuit est présenté sur la Figure 2-18 (voir l'avant-propos de ce chapitre pour rappel). Nous allons maintenant présenter le protocole expérimental associé à ce montage. Ce protocole sera appliqué à chaque température d'étude.

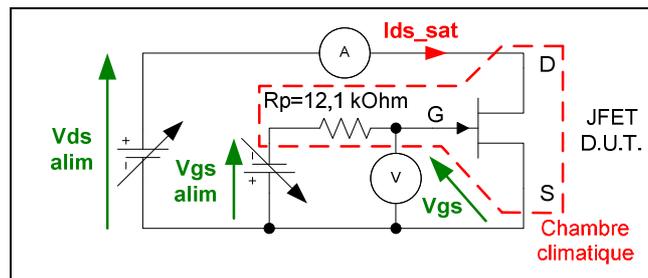


Figure 2-18 : Montage servant à caractériser $V_{T0}=f(T)$ pour un JFET « normally-on », méthode directe.

Tout d'abord, nous devons appliquer une tension entre drain et source V_{ds} suffisamment importante pour s'assurer que le JFET fonctionnait bien en mode saturé, ici nous appliquons 30V (voir Figure 2-11). Par ailleurs, le courant de la source V_{ds_alim} était limité à 200mA pour éviter tout risque d'endommagement du JFET lors de chaque essai. Ensuite, nous appliquons une tension de commande V_{gs} négative, et dès que le courant I_{ds_sat} devenait égal à un certain seuil de courant, ici fixé à 200 μ A, nous relevions la valeur de V_{gs} ; la valeur de tension ainsi relevée était définie comme étant la tension de seuil V_{T0} . Concernant le choix du seuil de courant, nous l'avons fixé à 200 μ A de telle sorte à avoir une marge par rapport aux courants de fuite observés à haute température lorsque le JFET était bloqué. En effet, ces courants pouvaient atteindre environ 7 μ A à 180°C lorsque nous appliquons une tension de commande V_{gs} égales à $V_{T0}-1V$ et/ou $V_{T0}-2V$.

De plus, une résistance de protection R_p de 12.1k Ω était introduite entre l'alimentation de tension V_{gs_alim} et la grille du JFET (voir Figure 2-18). R_p avait pour rôles de limiter le courant fourni par V_{gs_alim} et de protéger la grille lors de fortes polarisations inverses (problème de « punch-through »). Car, nous tenons à préciser que nous ne connaissons pas forcément à l'avance la valeur de V_{T0} des JFET à caractériser, puisque le fabricant SiCED au cours de la thèse a fait évoluer considérablement les versions de JFET.

- **Méthode indirecte**

La méthode indirecte consiste à réaliser une identification paramétrique à partir d'un modèle (voir l'équation Eq 2-7) pour obtenir la tension de seuil V_{T0} . Ce modèle représente la caractéristique de transfert d'un JFET à canal symétrique fonctionnant en régime saturé et à faible niveau de courant. L'emploi de ce modèle est justifié du fait qu'expérimentalement nous ne pouvons pas déterminer le point de la caractéristique de transfert du JFET de SiCED en régime saturé où le courant de saturation s'annule. La démarche pour établir le modèle en question est présentée dans [SZE 1981] où dans l'annexe 4, nous allons simplement rappeler les grandes lignes.

Nous devons partir de l'expression du courant de saturation en fonction de la tension de commande V_{gs} (voir Eq 2-5), obtenue pour un canal JFET symétrique et une tension V_{ds} égale à V_{ds_sat} . Dans cette expression, V_p représente la tension de pincement du canal JFET et R_{CH} représente la résistance du canal JFET sans charge d'espace.

$$I_{ds_sat}(V_{gs}) = \frac{V_p}{3R_{CH}} \left[1 - 3 \frac{V_{bi} - V_{gs}}{V_p} + 2 \sqrt{\left(\frac{V_{bi} - V_{gs}}{V_p} \right)^3} \right] \quad \text{Eq 2-5}$$

Nous tenons à préciser que nous faisons ici l'hypothèse que le JFET de SiCED comporte un canal latéral symétrique, ce qui n'est pas le cas physiquement [HAM 2010]. Pour valider ou non cette hypothèse, nous allons comparer par la suite dans la partie résultats, la méthode directe et la méthode indirecte.

Ensuite nous définissons la tension de seuil V_{T0} par :

$$V_{T0} = V_{bi} - V_p \quad \text{Eq 2-6}$$

Nous rappelons que V_{bi} représente la tension de diffusion de la jonction grille-source et V_p la tension de pincement du canal JFET.

Puis pour obtenir le modèle qui va nous servir à identifier V_{T0} , nous réalisons un développement limité à l'ordre 2 (le terme constant et le terme d'ordre un étant nuls) de l'expression Eq 2-5 autour du point $V_{gs} = V_{T0}$, et nous obtenons :

$$I_{ds_sat}(V_{gs}) \Big|_{V_{gs} \rightarrow V_{T0}} = \frac{1}{4R_{CH}V_p} (V_{gs} - V_{T0})^2 \quad \text{Eq 2-7}$$

Cette expression peut se réécrire sous la forme :

$$\sqrt{I_{ds_sat}(V_{gs}) \Big|_{V_{gs} \rightarrow V_{T0}}} = \frac{1}{\sqrt{4R_{CH}V_p}} (V_{gs} - V_{T0}) \quad \text{Eq 2-8}$$

Nous rappelons que pour pouvoir exploiter l'équation Eq 2-8, nous devons travailler sur la caractéristique de transfert du JFET SiC deux canaux de SiCED en régime saturé pour chaque température, lorsque les courants de saturation tendent vers zéro. Ensuite, nous traçons la racine carrée du courant I_{ds_sat} en fonction de V_{gs} . Enfin, pour chaque température nous réalisons une extrapolation de cette nouvelle caractéristique de transfert par l'intermédiaire d'une droite, et lorsque chaque droite coupe l'axe des abscisses, nous identifions V_{T0} .

C'est ce que nous avons réalisé pour le JFET N°13 sur la Figure 2-19, en exploitant les caractéristiques de transfert de ce JFET en régime saturé (voir ces caractéristiques sur la Figure 2-16).

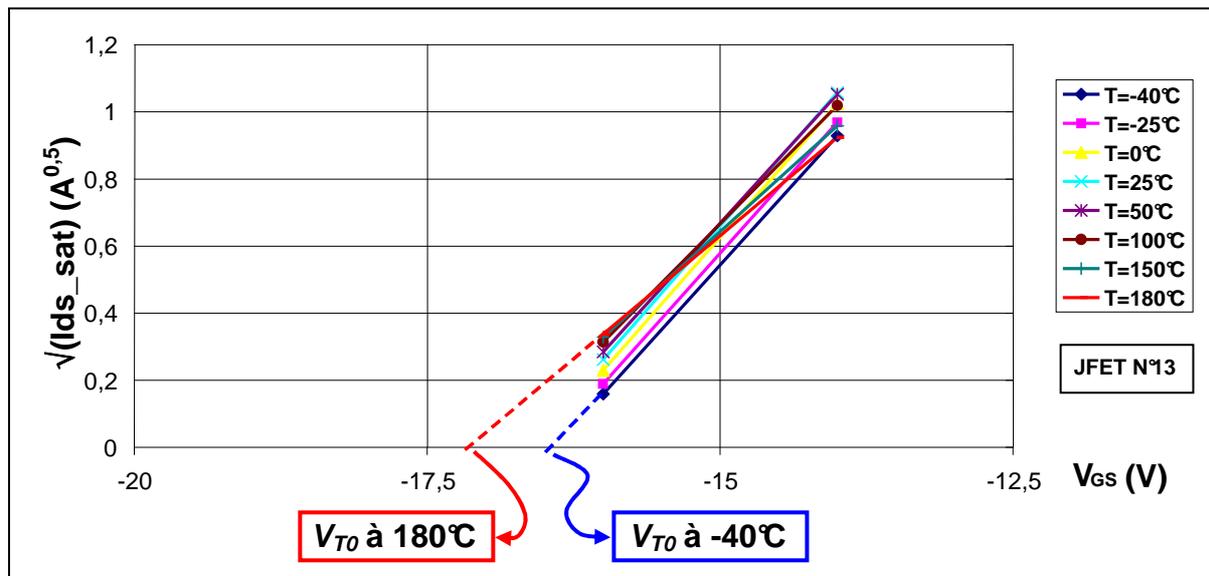


Figure 2-19 : Exploitation des résultats de la Figure 2-16 (caractéristiques de transfert du JFET N°13 en régime saturé), Obtention de V_{T0} pour différentes températures par la Méthode indirecte.

Remarque : Le lecteur pourra se référer à l'annexe 4 pour avoir des détails sur l'obtention des équations Eq 2-5, et Eq 2-6 et d'une manière générale sur la modélisation du JFET à canal symétrique.

Résultats

Nous présenterons d'abord les résultats obtenus avec la méthode directe. Dans cette partie, nous comparerons les résultats obtenus pour les quatre JFET testés. Puis, dans une seconde partie, nous comparerons les résultats obtenus entre les méthodes directe et indirecte, mais cette fois-ci uniquement pour le JFET N°13.

• Méthode directe

Nous avons représenté entre autres sur la Figure 2-20 l'évolution de la tension de seuil V_{T0} en fonction de la température.

Nous pouvons remarquer d'une part la présence d'une légère dispersion au niveau des résultats, et d'autre part une évolution similaire de V_{T0} en fonction de la température d'un JFET à l'autre. La diminution observée de V_{T0} en fonction de la température s'explique par l'équation Eq 2-6. En effet, V_{T0} ne dépend que de deux tensions, la tension de pincement V_p toujours positive qui ne dépend pas de la température, et la tension de diffusion V_{bi} qui diminue lorsque la température augmente (voir la Figure 1-4 du chapitre 1).

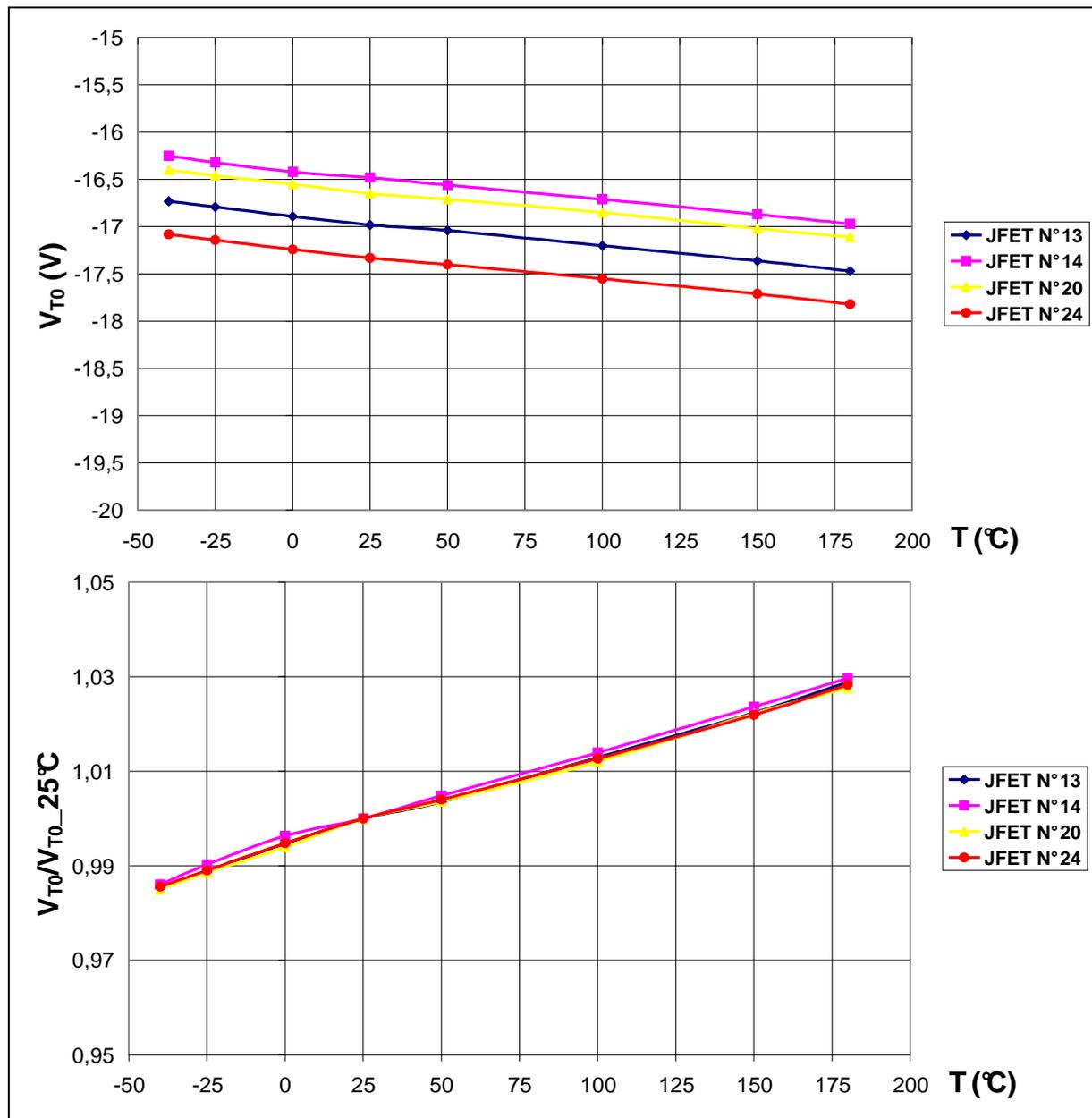


Figure 2-20 : Comparaison pour 4 puces JFET de l'évolution de $V_{T0}=f(T)$ (haut) et de $V_{T0}/V_{T0_25^\circ\text{C}}=f(T)$ (bas), V_{T0} obtenue par la méthode directe.

Sur cette même figure, nous avons représenté pour chaque JFET l'évolution relative de V_{T0} en fonction de la température. Nous pouvons constater que sur la plage de température étudiée ($-40^\circ\text{C} \rightarrow 180^\circ\text{C}$), l'évolution pour les 4 JFET est similaire. Ces derniers résultats nous indiquent alors que nous pouvons déterminer, pour cette version de puce JFET, la valeur de la tension de seuil sur toute la plage de température d'étude à partir d'une seule mesure effectuée sur cette plage. Par ailleurs, pour être plus précis, nous savons que la tension de seuil obtenue pour $T=25^\circ\text{C}$ diminue environ de 3% lorsque $T=180^\circ\text{C}$ et augmente de 1,5% lorsque $T=-40^\circ\text{C}$. Nous pouvons conclure alors que l'influence de la température n'est pas significative sur la tension de seuil, mais cependant nous devons garder à l'esprit que la tension de seuil diminue légèrement lorsque la température augmente.

- **Méthode indirecte**

Sur la Figure 2-21 nous comparons uniquement pour le JFET N°13 l'évolution de V_{T0} en fonction de la température obtenue avec les méthodes directe et indirecte.

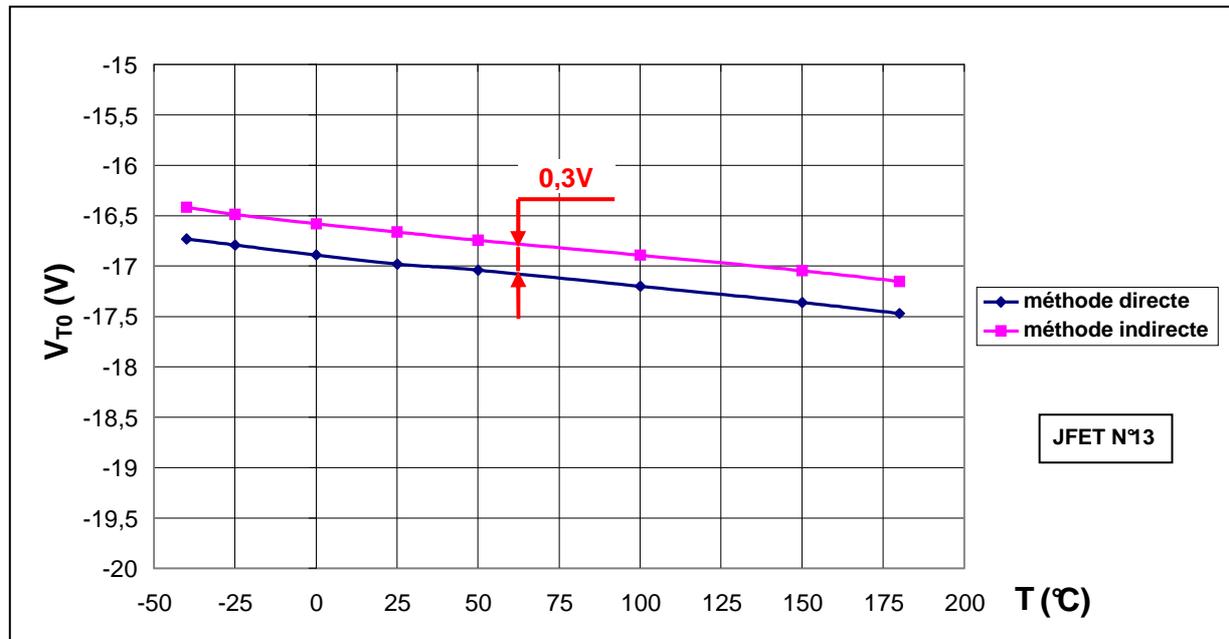


Figure 2-21 : Comparaison des méthodes directe et indirecte pour l'obtention de l'évolution de $V_{T0}=f(T)$, résultats obtenus avec le JFET N°13.

Nous remarquons que les tensions de seuil sont très proches d'une méthode à l'autre, la méthode directe étant un peu plus restrictive en termes de blocage. Ce constat est valable sur toute la plage de température d'étude puisque l'écart est constant, et égal à 0,3V. Par ailleurs, nous tenons à signaler qu'un écart similaire sur la plage de température d'étude a été observé au niveau des résultats obtenus pour les autres puces JFET caractérisées (résultats non présentés ici).

Remarque :

Dans un convertisseur, en particulier dans un bras d'onduleur de tension à base de JFET SiC, la tension fournie par les drivers sera réglée, en général, à au moins 2 ou 3V en dessous de V_{T0} pour assurer la fonction blocage des JFET. Pour veiller à ce que cette fonction soit bien assurée, lorsque nous avons déterminé V_{T0} avec la méthode directe, nous appliquons des tensions de blocage toujours inférieure de 1V et 2V en dessous de V_{T0} . Dans ces conditions le courant de saturation mesuré était toujours inférieur au seuil de $200\mu A$. En général, pour une tension V_{GS} égales à $V_{T0}-1V$ et/ou $V_{T0}-2V$, un courant de faible intensité assimilable à des courants de fuite était mesuré, et ce courant était d'environ $7\mu A$ max. à $T=180^{\circ}C$ pour les 4 JFET caractérisés. Comme d'une méthode à l'autre les résultats sont très proches, nous pouvons alors affirmer que les deux méthodes présentées sont équivalentes pour obtenir la tension de seuil du JFET SiC de SiCED.

Nous validons aussi l'hypothèse concernant l'utilisation du modèle du JFET à canal symétrique pour déterminer par identification la tension de seuil du JFET SiC deux canaux de SiCED qui comporte un canal latéral asymétrique.

Enfin pour terminer sur le comparatif des deux méthodes, nous pouvons mettre en avant le fait que la méthode directe est plus facile à mettre en œuvre que la méthode indirecte.

Nous allons maintenant nous intéresser à l'évolution en fonction de la température de la tension d'apparition du phénomène de punch-through entre la grille et la source $V_{br,gs}$ du JFET SiC deux canaux.

2.2.2.3.3 La tension V_{gs} à partir de laquelle le phénomène de punch-through apparaît, $V_{br,gs}$

Méthode d'obtention

Pour bloquer le JFET SiC deux canaux de SiCED nous devons bloquer la jonction D_{gs} en appliquant à ses bornes une tension négative V_{gs} inférieure à V_{T0} . Lorsque cette tension est « trop négative » un courant dans la grille I_g non contrôlé apparaît dû au phénomène de « punch-through ». Pour être un peu plus concret sur l'apparition de ce phénomène, nous tenons à rappeler que nous bloquons une jonction. Par conséquent, une zone de charge d'espace apparaît de part et d'autre de la jonction, soit du côté P^+ et du côté N^- (voir pour rappel la structure du JFET sur la Figure 2-3). La zone de charge d'espace qui apparaît du côté qui supporte la tension, ici le canal latéral puisqu'il est faiblement dopé (matériau de type N^-), va s'étendre lorsque la polarisation inverse sera renforcée aux bornes de la jonction considérée. Lorsque cette zone de charge d'espace atteint la couche P^+ reliée à la source du JFET, deux couches de même nature (P^+ grille et P^+ source) sont « reliées ensemble » par cette zone de charge d'espace. Dans ces conditions, la jonction grille-source D_{gs} fonctionne en régime « punch-through », autrement dit un champ électrique intense règne dans toute la région du canal orienté de la source vers la grille qui va engendrer l'apparition d'un courant non contrôlé de porteurs minoritaires, ici des trous. Dans la littérature pour décrire ce phénomène nous pouvons trouver les dénominations suivantes : « champ traversant » ou encore « perçage » [ARN 1992, LEF 2004].

Nous tenons à signaler que dans la littérature le phénomène de « punch-through » observé sur le JFET SiC de SiCED était souvent assimilé à un claquage par avalanche de la jonction grille-source D_{gs} [ROU-2 2005, BER-1-b 2008, BUR 2009]. Mais comme le mentionne Treu dans [TRE 2007] ou comme nous l'avons montré dans [BER-4 2009, BER-4 2010, BER-1 2010, HAM 2010] et dans le chapitre 3, l'apparition de ce phénomène est bien liée au phénomène de « punch-through ».

Pour observer ce phénomène expérimentalement, nous avons employé un montage dédié à la caractérisation à faible niveau de courant (voir Figure 2-22), car lors des essais les courants dans la grille I_g n'excéderont pas $500\mu A$. Pour limiter I_g à ce niveau de courant et bien entendu éviter tout risque de casse de la grille par effet thermique dû au phénomène de « punch-through », nous avons employé une résistance de protection R_p de $12.1\text{ k}\Omega$ disposée entre la grille et la source de tension réglable V_{gs_alim} . Nous tenons à faire remarquer que les essais se feront avec les électrodes drain-source reliées entre elles, afin de caractériser le phénomène de « punch-through » dans le pire cas. En effet, Mousa a montré dans [MOU 2009] que pour une température d'essai donnée ce phénomène apparaît plus tôt lorsque V_{ds} est nulle.

Par ailleurs, ce qui nous intéresse ici c'est d'étudier l'évolution de l'apparition du phénomène de « punch-through » en fonction de la température. Pour cela nous avons défini la tension d'apparition de ce phénomène $V_{br,gs}$ (breakdown gate-source voltage, ou tension de claquage de la jonction grille-source) comme étant la tension entre grille et source V_{gs} à partir de laquelle un courant de grille I_g atteint un niveau de $-150\mu A$, et cela pour chaque température d'essai.

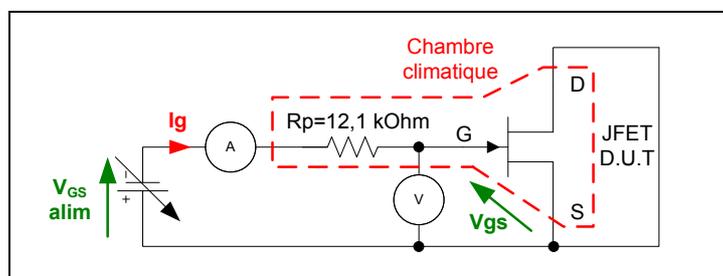


Figure 2-22 : Montage servant à caractériser la grille du JFET lorsque cette dernière fonctionne en régime Punch-through, soit $I_g=f(V_{gs}, T)$ lorsque V_{gs} est « fortement négative ». Permet d'obtenir par ailleurs $V_{br,gs}=f(T)$.

Résultats

La Figure 2-23 présente pour le JFET N°13 l'évolution de I_g en fonction de V_{gs} lorsque la grille fonctionne en régime « punch-through », et cela pour différentes températures d'essais allant ici de -40°C à $+180^\circ\text{C}$. Nous remarquons que le courant dû au phénomène de « punch-through » apparaît plus « tôt » lorsque la température d'essai est élevée.

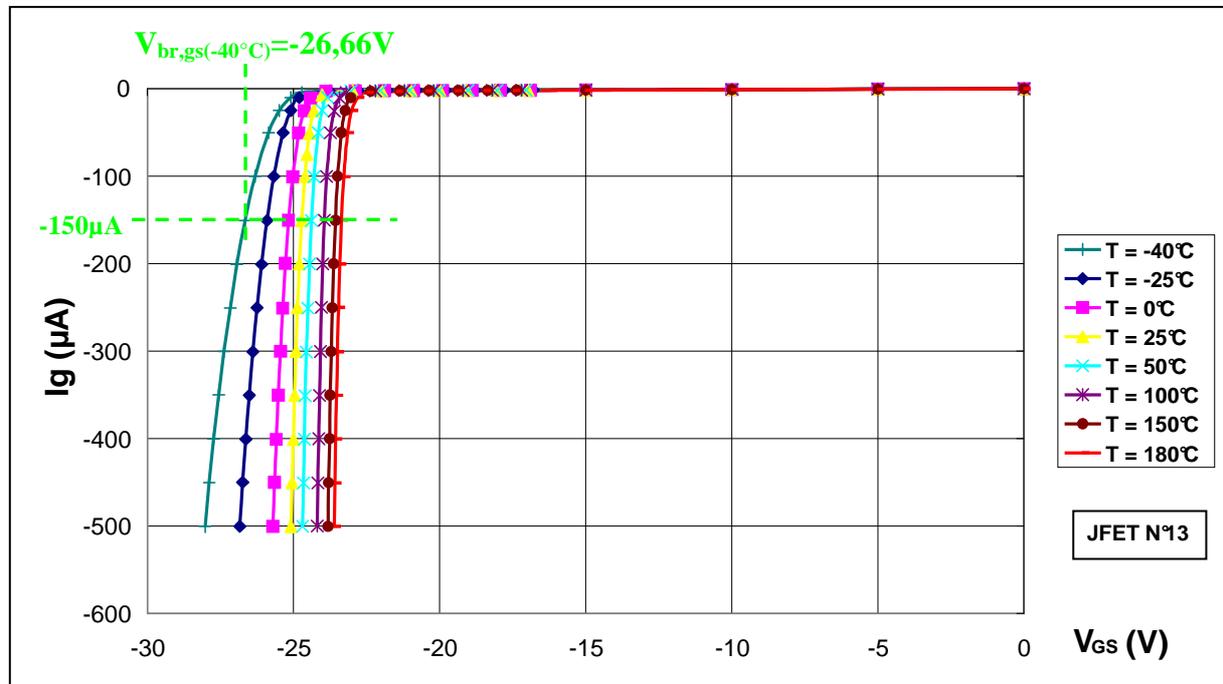


Figure 2-23 : Comportement de la grille en polarisation inverse du JFET N°13, régime « punch-through », $I_g=f(V_{gs}, T)$.

Ensuite, nous avons représenté entre autres sur la Figure 2-24 l'évolution de $V_{br,gs}$ en fonction de la température pour les quatre JFET caractérisés. Nous pouvons remarquer d'une part la présence d'une légère dispersion au niveau des résultats, et d'autre part une évolution similaire de $V_{br,gs}$ en fonction de la température d'un JFET à l'autre. Sur cette même figure, nous avons représenté pour chaque JFET l'évolution relative de $V_{br,gs}$ en fonction de la température. Nous pouvons constater que sur la plage de température étudiée (-40°C \rightarrow 180°C), l'évolution pour les quatre JFET est similaire. Ces derniers résultats nous indiquent alors que nous pouvons déterminer pour cette version de puce JFET, la valeur de la tension à partir de laquelle le phénomène de « punch-through » apparaît sur toute la plage de température d'étude, en effectuant seulement une mesure de $V_{br,gs}$ sur cette plage de température d'étude. Par ailleurs, pour être plus précis, nous savons que $V_{br,gs}$ obtenue pour $T=25^\circ\text{C}$ augmente de 6% lorsque $T=180^\circ\text{C}$ et diminue de 8% lorsque $T=-40^\circ\text{C}$. Nous pouvons alors conclure que, contrairement à ce qui était constaté pour la tension de seuil V_{T0} , l'influence de la température sur $V_{br,gs}$ n'est pas négligeable.

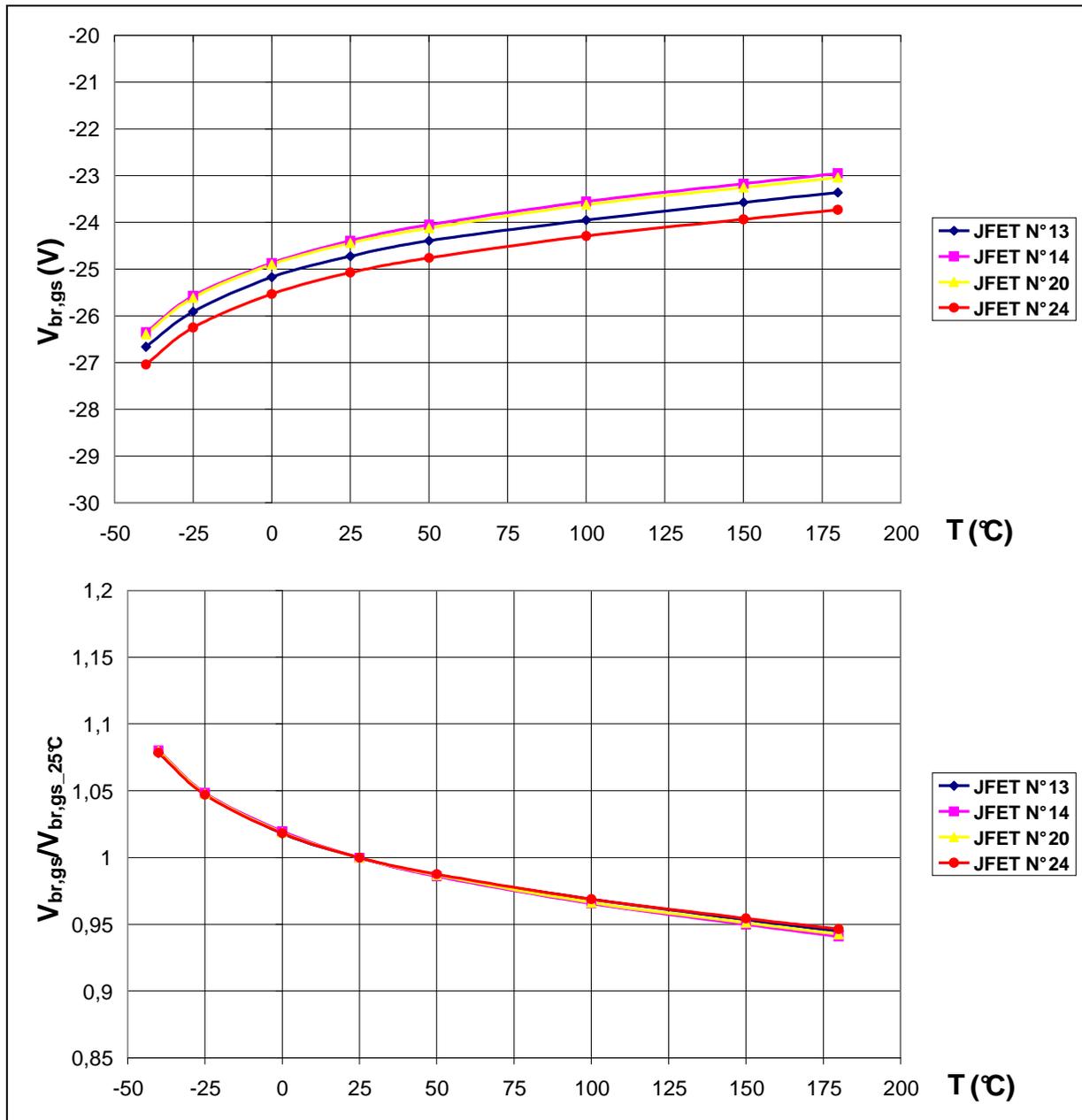


Figure 2-24 : Comparaison pour 4 puces JFET de l'évolution de $V_{br,gs}=f(T)$ (haut) et de $V_{br,gs}/V_{br,gs_{25°C}}=f(T)$ (bas), grille des JFET en régime « punch-through ».

Sur la Figure 2-25, nous avons synthétisé sur un même graphe les résultats concernant $V_{T0}=f(T)$ et $V_{br,gs}=f(T)$ obtenus pour les 4 JFET caractérisés. Nous constatons d'une manière générale pour ces 4 JFET :

- une dérive de tension négative au niveau de V_{T0} de 0,7V lorsque la température d'essai passe de -40°C à 180°C .
- une dérive de tension positive au niveau de $V_{br,gs}$ de 3,3V lorsque la température d'essai passe de -40°C à 180°C .
- une marge de tension de 5,9V entre V_{T0} à 180°C et $V_{br,gs}$ à 180°C . C'est un résultat important à prendre en considération pour cette version de puce JFET SiC puisque cela va conditionner en partie le choix de la tension de blocage des drivers.

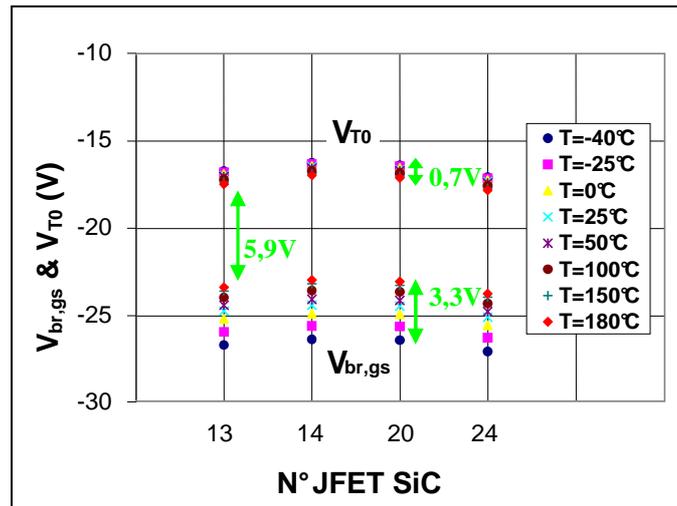


Figure 2-25 : Synthèse du comportement de la grille pour les quatre JFET testés, $V_{br,gs}=f(T)$ et $V_{T0}=f(T)$.

Nous allons maintenant nous intéresser à l'évolution en fonction de la température de la caractéristique statique en polarisation directe de la diode D_{gs} du JFET SiC deux canaux.

2.2.2.3.4 La caractéristique $I_{gs}=f(V_{gs}, D_{gs}$ polarisée en directe)

Méthode d'obtention

Afin d'étudier la caractéristique statique de la diode D_{gs} en fonction de la température, nous avons utilisé une configuration de câblage permettant d'effectuer une caractérisation dite « à courant faible », le schéma est présenté sur la Figure 2-26.

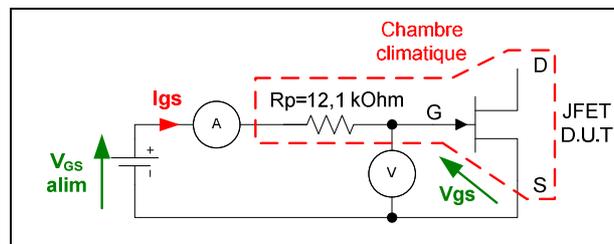


Figure 2-26 : Montage servant à caractériser à faible niveau de courant La conduction de D_{gs} en fonction de la température.

Comme nous pouvons le constater sur la Figure 2-27, les courbes obtenues à faible niveau de courant pour $T=-40^{\circ}\text{C}$, $T=-25^{\circ}\text{C}$ et $T=0^{\circ}\text{C}$ chevauchent la courbe obtenue pour $T=25^{\circ}\text{C}$. Ce comportement ne semble pas être cohérent avec ce que nous attendions, à savoir un décalage des courbes vers la droite les unes par rapport aux autres lorsque la température de l'essai diminue.

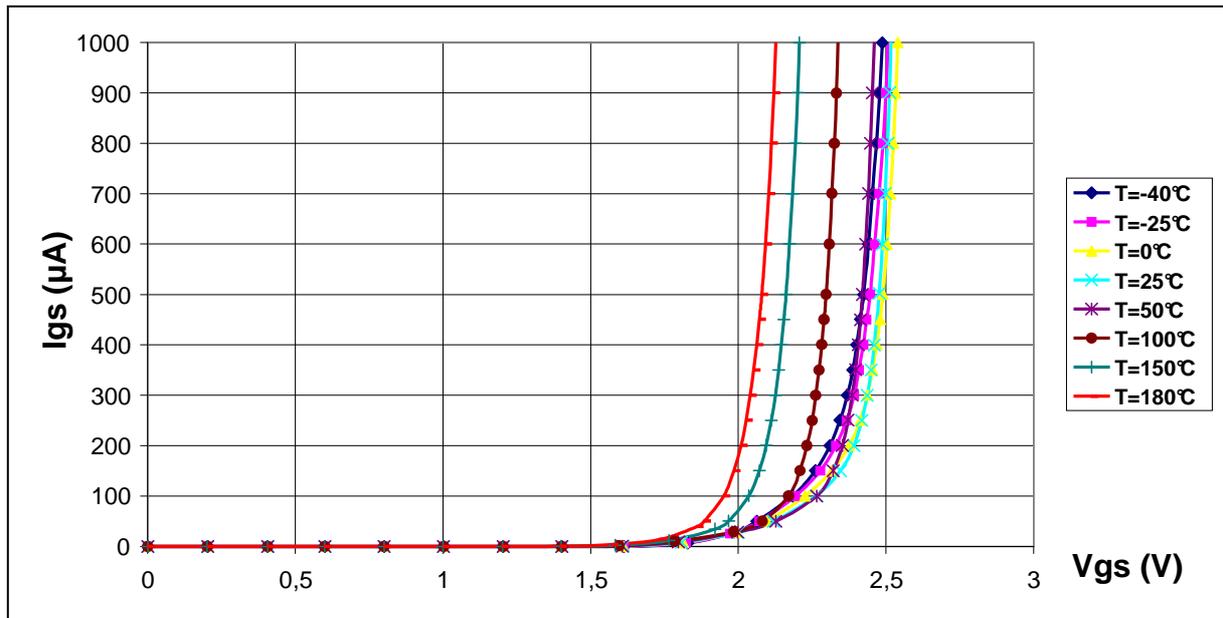


Figure 2-27 : Comportement de la diode D_{gs} en polarisation directe et à faible niveau de courant $I_{gs}=f(V_{gs}, T)$, JFET N°13.

Nous avons décidé par la suite d'augmenter le niveau de courant dans la diode D_{gs} afin de vérifier si le phénomène mis en avant précédemment persiste.

Nous présentons le schéma permettant de réaliser cette caractérisation sur la Figure 2-28. Nous tenons à préciser que le protocole présenté sur la Figure 2-10 a été légèrement modifié, puisque le temps d'application de la tension aux bornes de D_{gs} a été réduit de $270\mu s$ à $40\mu s$ afin de ne pas endommager la diode, et les mesures sont effectuées à la fin de l'essai sur une durée de $10\mu s$.

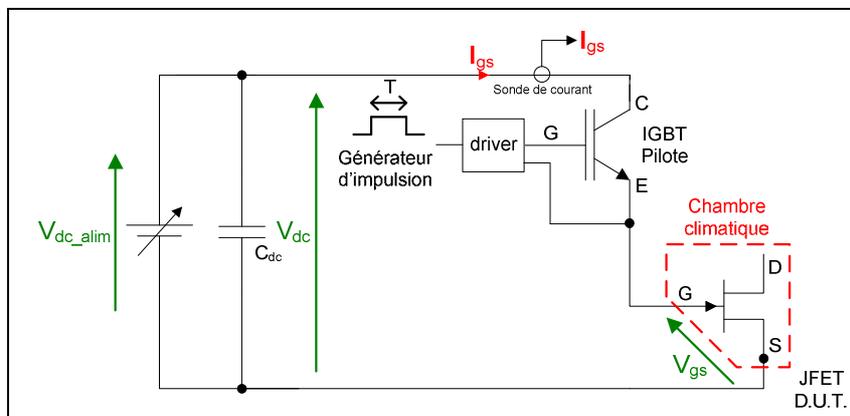


Figure 2-28 : Montage servant à caractériser à fort niveau de courant la conduction de D_{gs} en fonction de la température.

A fort niveau de courant l'évolution de la chute de tension de la diode D_{gs} en fonction de la température semble cohérente (voir Figure 2-29).

Par ailleurs la diode D_{gs} est robuste puisque lorsque V_{gs} vaut $5,5V$ la diode peut dissiper environ $16W$ pendant $40\mu s$ sans casser.

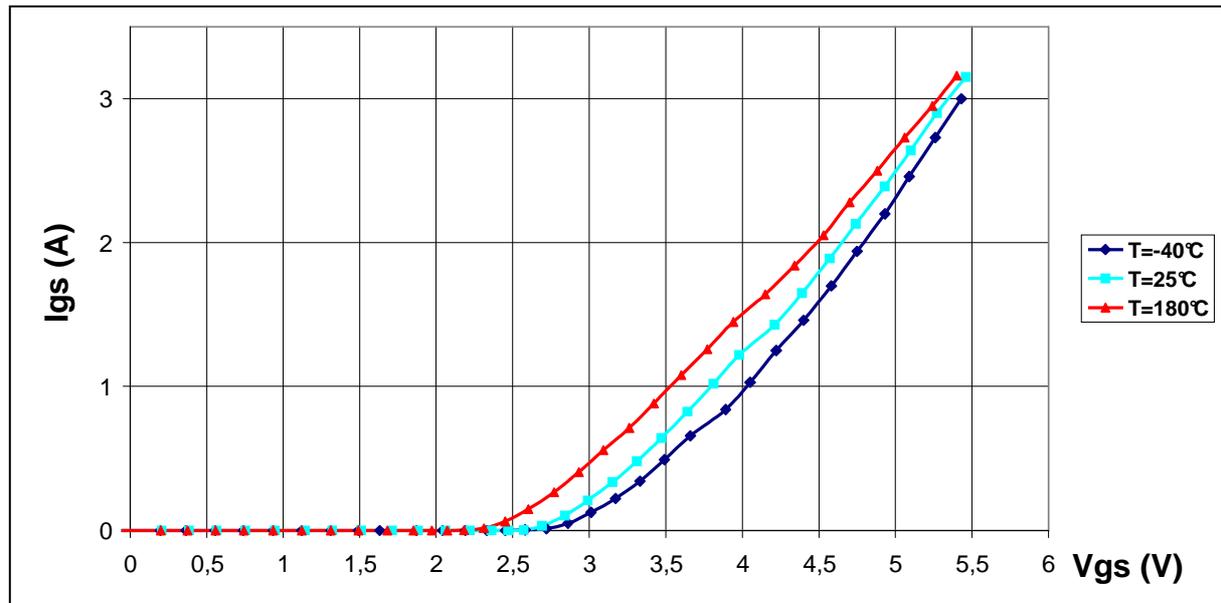


Figure 2-29 : Comportement de la diode D_{gs} en polarisation directe et à fort niveau de courant, $I_{gs}=f(V_{gs}, T)$, JFET N°13.

Avant de passer à l'étude de l'évolution de la résistance à l'état passant R_{on} du JFET SiC deux canaux de SiCED en fonction de la température, nous tenons à souligner qu'une polarisation positive de 2V au niveau de la diode D_{gs} n'engendre pas sa conduction. Par conséquent, nous pourrions étudier par la suite l'influence d'une polarisation de grille positive ($V_{gs}>0$) sur la résistance à l'état passant du JFET sans l'effet bipolaire, effet qui d'une part nécessite d'avoir un driver qui fournit le courant de polarisation de la diode lors des phases de conduction du JFET et d'autre part dégrade les performances en commutation du JFET.

2.2.2.3.5 La résistance à l'état passant

Méthode d'obtention

Nous rappelons qu'à partir des caractéristiques statiques en polarisation directe et inverse présentées sur la Figure 2-11 et la Figure 2-14, la résistance à l'état passant R_{on} est définie comme étant l'inverse de la conductance (« ou pente ») $g = \frac{\Delta I_{ds}}{\Delta V_{ds}}$ pour une polarisation de grille V_{gs} nulle et une tension drain-source V_{ds} nulle (voir pour rappel l'équation Eq 2-1).

Résultats

La Figure 2-30 présente l'évolution du R_{on} (mesurée en polarisation directe) en fonction de la température pour les quatre JFET caractérisés. Nous pouvons remarquer les points suivants :

- une augmentation de R_{on} lorsque la température augmente, ce qui est en parfait accord avec la physique des semi-conducteurs,
- sur ce lot de JFET caractérisés il n'y a pas de dispersion notable en ce qui concerne R_{on} .

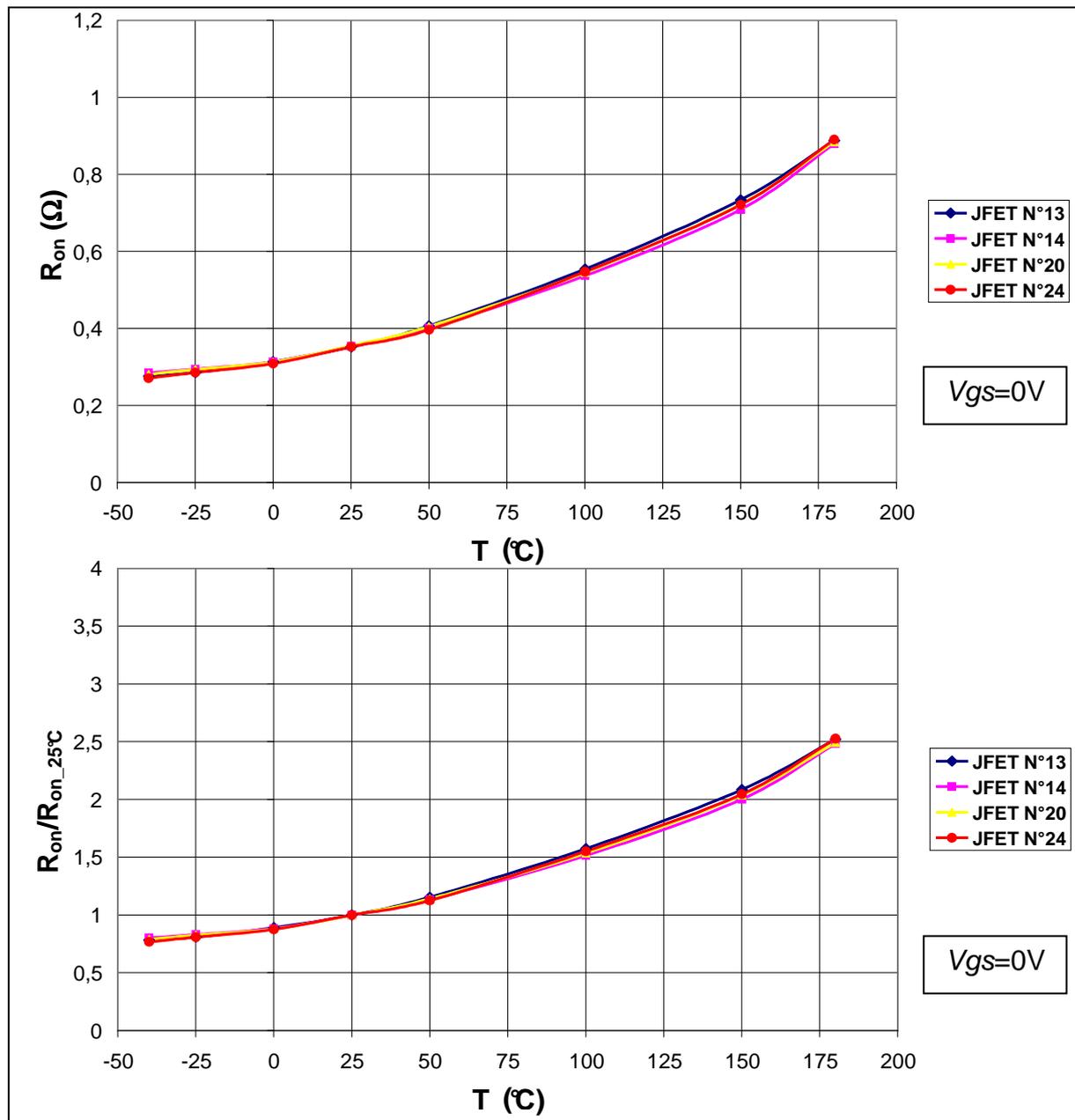


Figure 2-30 : Evolution de R_{on} (mesurée en polarisation directe) en fonction de la température (haut), évolution de R_{on} relatif par rapport à $R_{on_25^\circ C}$ (bas), comparaison pour 4 échantillons JFET.

Sur cette même figure, nous avons représenté pour chaque JFET l'évolution relative de R_{on} en fonction de la température. Nous pouvons constater que sur la plage de température étudiée ($-40^\circ C \rightarrow 180^\circ C$), l'évolution pour les quatre JFET est similaire. Ces derniers résultats nous indiquent alors que nous pouvons déterminer pour cette version de puce JFET, la valeur de R_{on} sur toute la plage de température d'étude, en effectuant seulement une mesure de R_{on} sur cette plage de température d'étude. Par ailleurs, pour être plus précis, nous savons que R_{on} obtenue pour $T=25^\circ C$ augmente de 150% lorsque $T=180^\circ C$ et diminue de 25% lorsque $T=-40^\circ C$.

L'augmentation observée ici à haute température est importante et caractéristique des composants unipolaires, c'est un point négatif du JFET SiC qui pénalisera le rendement global du convertisseur haute température.

Nous comparons ensuite sur la Figure 2-31 la résistance à l'état passant lorsque le JFET conduit en polarisation direct et inverse. Nous pouvons constater que pour chaque température d'essai

les résultats sont identiques, autrement dit la résistance à l'état passant du JFET SiC deux canaux de SiCED est identique en polarisation directe et inverse.

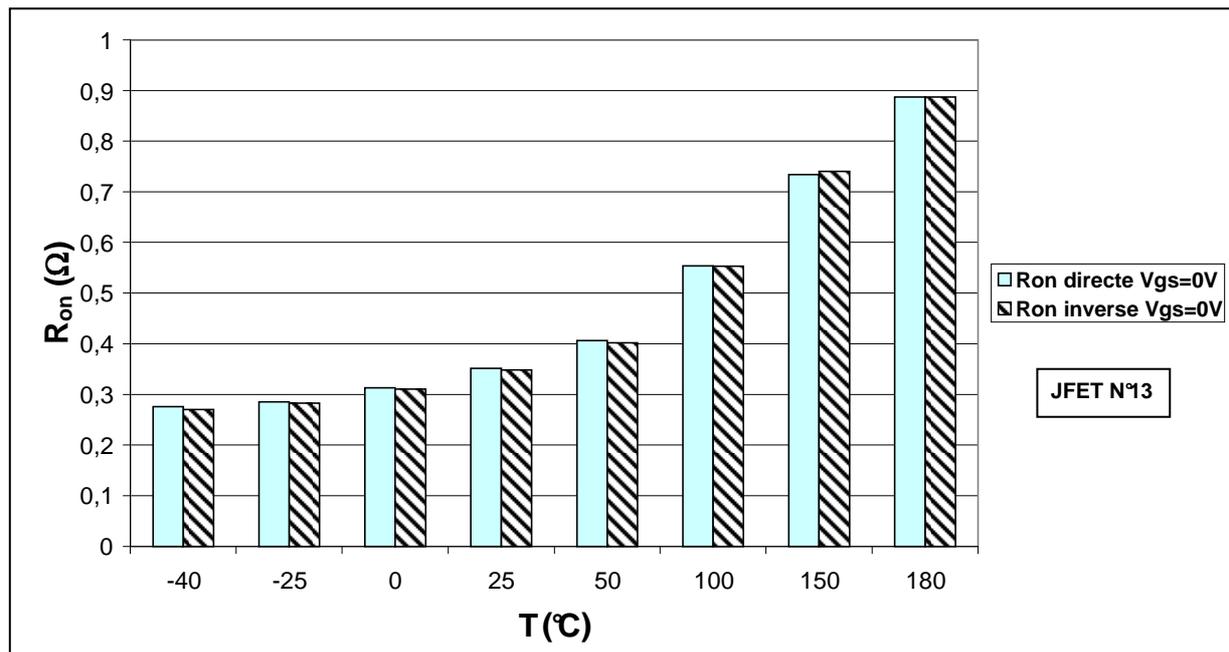


Figure 2-31 : Comparaison pour le JFET N°13 du R_{on} directe ($V_{ds}>0$ et $I_{ds}>0$) et du R_{on} inverse ($V_{ds}<0$ et $I_{ds}<0$), sur la plage de températures étudiées (-40°C- \rightarrow +180°C).

Sur la Figure 2-32 nous avons regardé le gain en termes de diminution du R_{on} lorsqu'une polarisation positive était appliquée sur la grille sans que la jonction D_{gs} conduise. Pour ce faire nous avons fait les essais pour deux polarisations de grille strictement positives, à savoir +1V et +2V.

Nous pouvons constater que plus V_{gs} est polarisée de façon positive, plus R_{on} aura tendance à diminuer, ce qui physiquement s'explique par l'ouverture du canal latéral.

Lorsque $V_{gs} = +1V$:

- une diminution de 3,6% sur R_{on} ($V_{gs}=0V$) est obtenue pour une température de -40°C,
- une diminution de 3,1% sur R_{on} ($V_{gs}=0V$) est obtenue pour une température de +25°C,
- une diminution de 1,8% sur R_{on} ($V_{gs}=0V$) est obtenue pour une température de +180°C.

Lorsque $V_{gs} = +2V$:

- une diminution de 7,1% sur R_{on} ($V_{gs}=0V$) est obtenue pour une température de -40°C,
- une diminution de 5,6% sur R_{on} ($V_{gs}=0V$) est obtenue pour une température de +25°C,
- une diminution de 3,8% sur R_{on} ($V_{gs}=0V$) est obtenue pour une température de +180°C.

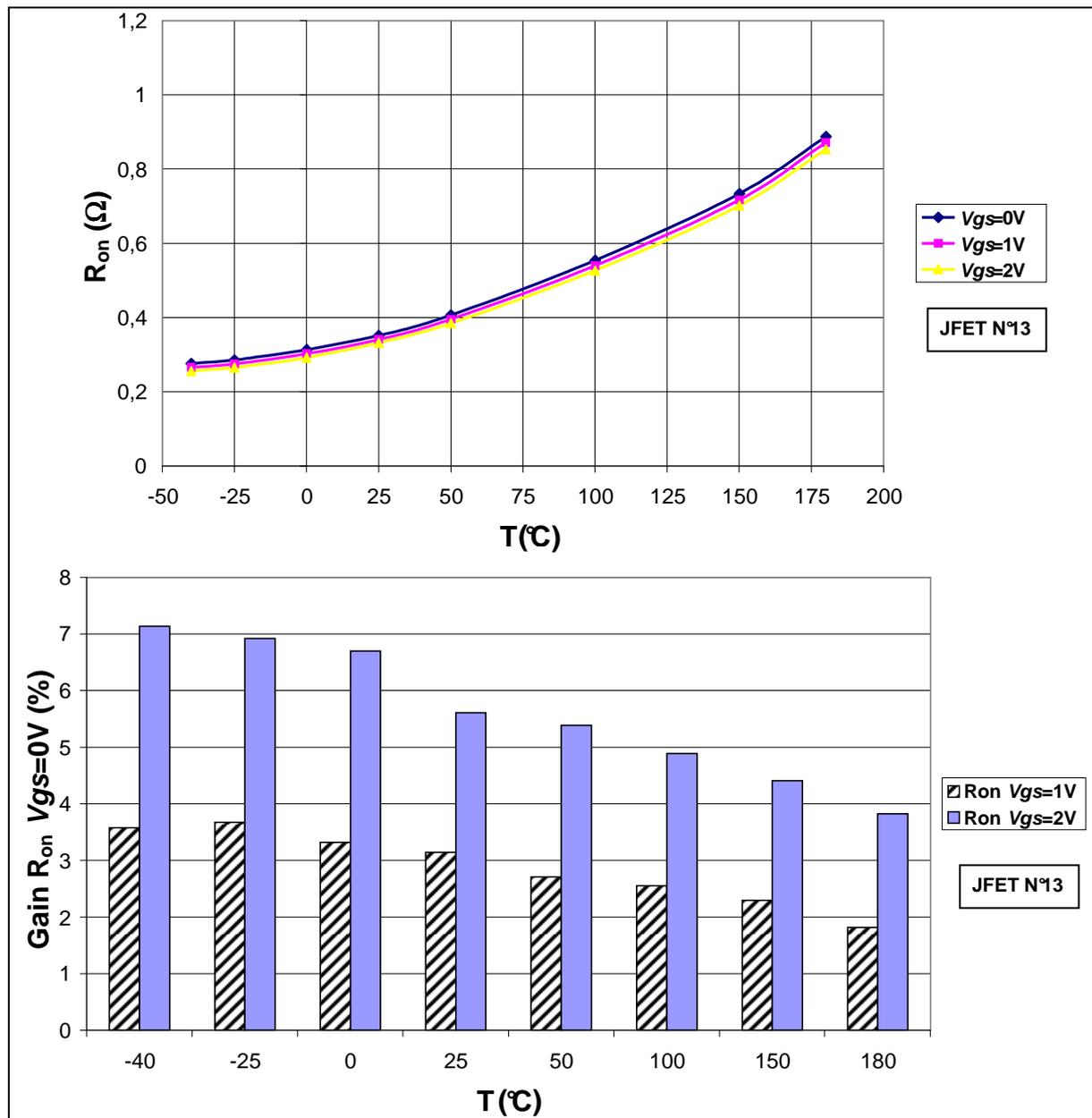


Figure 2-32 : Influence d'une polarisation de grille positive sur R_{on} pour la plage de températures étudiées (-40 $^{\circ}\text{C}$ -> +180 $^{\circ}\text{C}$), concernant le JFET N°13.

Nous pouvons conclure que la polarisation de grille positive, en particulier à haute température, n'apporte pas une diminution significative du R_{on} qui nécessiterait une complexification en termes d'alimentations au niveau du driver.

Nous allons maintenant nous intéresser au comportement dynamique du JFET SiC de SiCED.

2.3 Caractérisation du comportement dynamique

Les caractérisations dynamiques présentées dans cette partie vont permettre de comprendre la manière dont commute le transistor JFET en phase roue libre et en phase transistor à 27°C. Par ailleurs, ces caractérisations vont permettre d'identifier les capacités de transitions du modèle dynamique et la validation de ce dernier à 27°C dans le chapitre 3.

2.3.1 Présentation de la méthode dite du « double pulse »

Avant de présenter les bancs qui nous ont permis d'étudier les commutations du JFET SiC deux canaux de SiCED, nous allons présenter la méthode que nous avons utilisée pour étudier ses commutations. La méthode employée est connue sous la dénomination « double pulse » [MUN 2000]. Nous présentons sur la Figure 2-33 le principe de cette méthode.

Cette méthode est appliquée à un bras d'onduleur de tension à base de JFET SiC (les JFET J_H et J_L ici) afin de pouvoir observer des commutations similaires à celles qui seraient observées dans un onduleur triphasé haute température tel que celui présenté au début du chapitre 2 dans la partie 2.1. La charge employée ici est une charge RL . Cette charge est connectée en parallèle à l'un des deux JFET du bras, le montage ainsi réalisé est un hacheur série. Ici la charge RL est connectée en parallèle sur le JFET J_H , par conséquent le JFET J_H fonctionnera en mode roue libre ($I_{ds_JH} < 0$) et le JFET J_L fonctionnera en mode transistor ($I_{ds_JL} > 0$). Le fonctionnement en mode roue libre se manifestera pendant les phases de temps mort par l'observation de la conduction de la diode interne en antiparallèle entre drain et source D_H du JFET J_H , ce qui n'est pas le cas lorsque le JFET fonctionnera en mode transistor.

L'intérêt de la méthode est de pouvoir observer la commutation de chaque JFET du bras à l'ouverture et à la fermeture sans tenir compte du phénomène d'auto-échauffement puisque les temps de conduction des deux JFET pendant l'essai sont très courts (temps $T1$, $T2$ et $T3$ de l'ordre de la dizaine de microseconde, voir la Figure 2-34 ou l'annexe 3). Cela nous permettra d'observer les commutations du JFET SiC deux canaux à une température d'essai qui correspond à sa température de jonction. Par ailleurs, cela nous permettra également de valider en régime dynamique le modèle présenté dans la partie 3.2.5 du chapitre 3, car ce modèle ne prend pas en compte l'auto-échauffement.

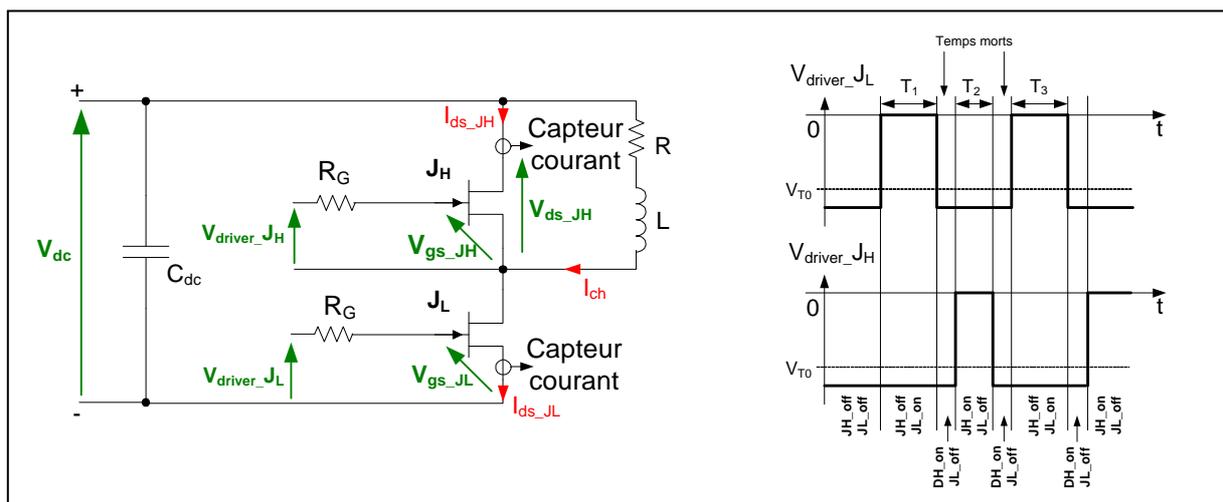


Figure 2-33 : Présentation de la méthode du « double pulse ».

Sur la Figure 2-34 nous présentons un essai dans lequel la méthode du double pulse est employée. Ici nous nous intéressons uniquement aux commutations du JFET J_H . Afin d'observer finement les commutations du JFET J_H il suffit de zoomer entre les temps $T1$ et $T2$ pour observer sa mise en conduction et entre les temps $T2$ et $T3$ pour observer sa phase de blocage. Si les oscillogrammes

tension/courant relatif au JFET J_L étaient représentés sur la Figure 2-34, nous aurions observé entre les temps $T1$ et $T2$ sa phase de blocage et entre les temps $T2$ et $T3$ sa mise en conduction.

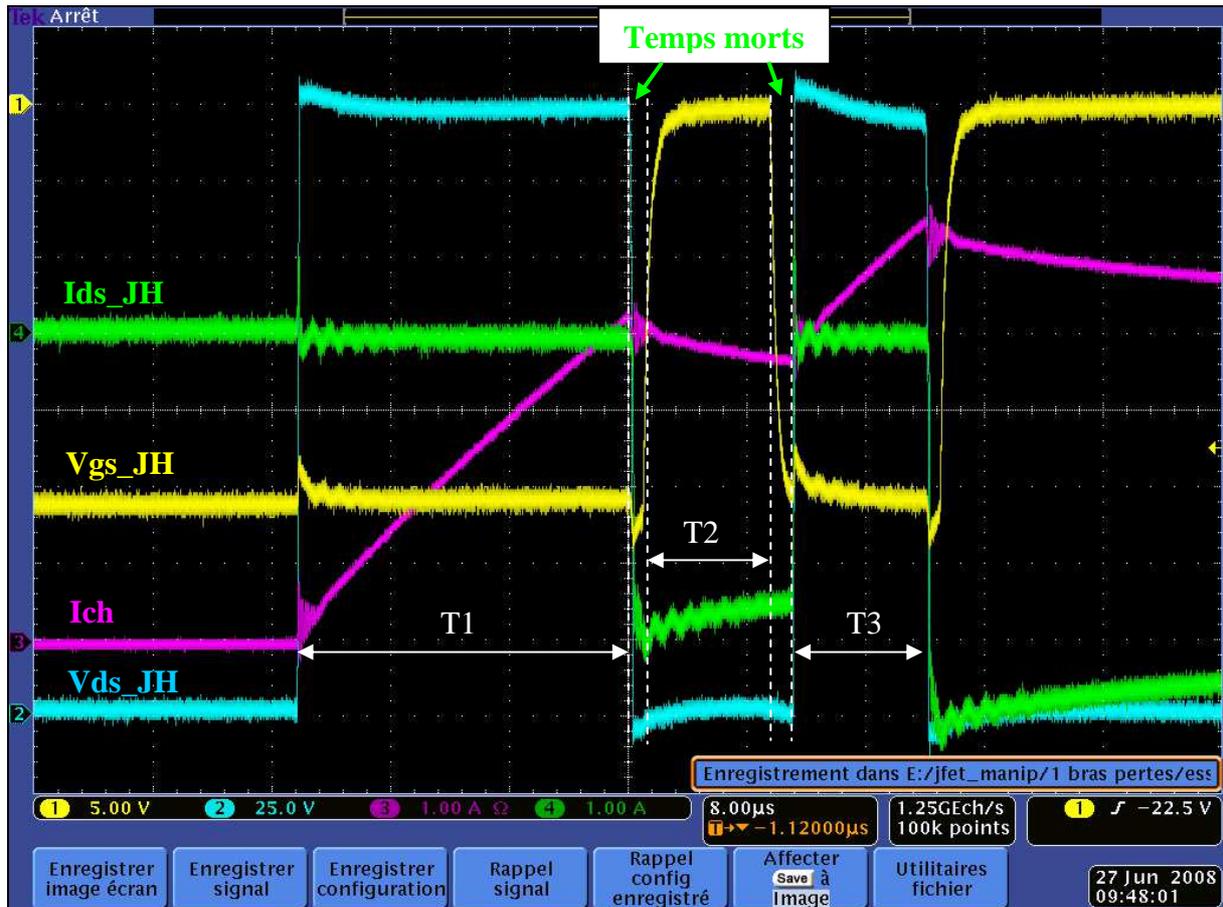


Figure 2-34 : Résultats expérimentaux en commutation sur un bras JFET SiC, Tension/Courant commutés 200V/4A, Méthode du « double pulse ».

2.3.2 Métrologie – Bande passante

Afin de visualiser des commutations rapides à l'oscilloscope (temps de montée de la tension ou du courant commuté dans un JFET pouvant aller d'une dizaine de nanosecondes à quelques centaines de nanosecondes), nous avons employé au cours des essais des sondes de courant et de tension avec une bande passante appropriée. Nous donnons ici quelques éléments qui nous ont permis de valider nos choix.

Considérons que la grandeur mesurée a un temps de montée t_r , que la sonde de mesure employée pour visualiser l'évolution de cette grandeur a un temps de montée t_m , le temps restitué à la sortie de la sonde de mesure t_s est défini par [RIS 2007] :

$$t_s = \sqrt{t_r^2 + t_m^2} \quad \text{Eq 2-9}$$

La mesure sera valable si $t_m \ll t_r$, autrement dit si t_m est trois à cinq fois plus petit que t_r [@TEK-b, RIS 2007].

Il ne faut pas oublier que l'oscilloscope fait partie de la chaîne de mesure, et possède lui aussi son temps de montée t_o . Si nous considérons ce temps de montée dans le calcul de t_s , l'équation Eq 2-9 s'écrit [RIS 2007] :

$$t_s = \sqrt{t_r^2 + t_m^2 + t_o^2} \quad \text{Eq 2-10}$$

Toutefois, lors de nos essais, la bande passante des oscilloscopes utilisés était bien plus importante que celles des sondes utilisées (dans un rapport 3 à 10), par conséquent le temps t_o pouvait être négligé devant les temps t_r et t_m .

Pour valider le choix de la bande passante BP de chaque sonde de mesure employée, voici la démarche que nous avons suivie :

- Le temps restitué à la sortie de la sonde de mesure t_s était mesuré à l'oscilloscope.
- Puis, si le temps de montée t_m de la sonde de mesure n'était pas spécifié par le fabricant de la sonde, l'équation suivante était appliquée pour déterminer t_m [@TEK-b, RIS 2007] :

$$t_m = \frac{\ln 9}{2\pi * BP} = \frac{0,35}{BP} \quad \text{Eq 2-11}$$

- Enfin, à partir de l'équation Eq 2-9 nous calculons le temps de montée de la grandeur mesurée t_r , et nous vérifions ensuite que t_m est trois à cinq fois plus petit que t_r .

Remarque :

L'équation Eq 2-11 permet d'exprimer le temps de montée t_m de la sonde de mesure en fonction de sa bande passante BP . Dans cette équation il est fait l'hypothèse que la sonde de mesure se comporte comme un système du premier ordre [RIS 2007].

2.3.3 Présentation des bancs de caractérisation dynamique - Résultats

Nous allons présenter dans cette partie deux bancs de caractérisation. Chaque banc de caractérisation est lié à une phase de caractérisation.

La première phase de caractérisation a permis d'étudier les commutations des JFET de type A intégrés dans un module onduleur triphasé haute température identique à celui présenté au début de ce chapitre sur la Figure 2-1. Nous avons pu seulement étudier à température ambiante (27°C) les commutations du JFET sur un bras en phase roue libre, du fait que le module onduleur a été détruit pour cause de problème d'alimentation de driver. Ceci explique pourquoi nous avons réalisé une deuxième phase de caractérisation pour compléter l'étude en commutation du JFET, en particulier en mode de fonctionnement transistor.

La deuxième phase de caractérisation a permis d'étudier les commutations des JFET de type B et de compléter l'étude des commutations menée lors de la première phase de caractérisation. Par ailleurs, comme les JFET de type B sont encapsulés individuellement, nous avons eu plus de liberté pour effectuer des études en commutation lorsque la grille fonctionne en régime sévère (punch-through).

2.3.3.1 Première phase de caractérisation dynamique

2.3.3.1.1 Présentation du banc

Sur la Figure 2-35 nous présentons le banc de caractérisation dynamique du site d'Hispano-Suiza Réau qui nous a permis de caractériser en commutation les JFET de type A.

Le banc comportait une enceinte climatique du type Julabo (référence : Presto LH 85) permettant de réaliser des essais de -80°C à +250°C. Cette enceinte contenait un échangeur de chaleur

sur lequel était vissée une plaque d'aluminium qui supportait l'ensemble PCB haute température – Condensateur haute température – Onduleur triphasé JFET SiC haute température.

La réalisation du PCB haute température fut portée par le laboratoire Ampère à Lyon [@AMP], et ce PCB était capable de travailler dans un environnement à 200°C. Le condensateur haute température chargé de filtrer le mode différentiel sur le bus de tension continue est un condensateur céramique fabriqué par la société AVX [@AVX] de valeur nominale 4 μ F à 25°C, et pouvait supporter une tension max. de 1000V et une température max. de 200°C. Le module onduleur triphasé JFET SiC a déjà été présenté au début de ce chapitre, nous rappelons que cet onduleur comporte trois bras de JFET SiC de type A et qu'il est capable de travailler au-delà de 200°C.

En ce qui concerne la partie pilotage des JFET, elle était réalisée par l'ensemble Plateforme dSPACE – Interface fibre optique – Driver froid.

La plateforme dSPACE nous permettait de mettre en œuvre la méthode du « double pulse » présentée précédemment sur un bras JFET de l'onduleur en utilisant en particulier la carte DS 5101. Cette carte pilotait ensuite le sous ensemble Interface fibre optique – Driver froid chargé de rendre bloqué ou passant les JFET du bras considéré.

L'interface fibre optique, technologie retenue par le laboratoire Ampère, permettait de transmettre les signaux de commande entre l'organe qui génère ces signaux (la plateforme dSPACE) et l'organe qui applique cette commande au niveau d'un bras d'onduleur JFET SiC (le Driver froid) en assurant une isolation galvanique.

Les drivers qui étaient utilisés ici ont été conçus par le laboratoire Ampère et avaient pour particularité de fonctionner uniquement à température ambiante, soit 25°C. Cela explique à la fois pourquoi nous avons baptisé les drivers sur la Figure 2-35 « drivers froids » et pourquoi nous avons employé des câbles de commande longs (chacun d'une longueur totale de 2 mètres) entre les drivers et les électrodes de commande des JFET.

Pour terminer la partie pilotage des JFET, nous tenons à faire remarquer qu'entre chaque électrode de commande des JFET de l'onduleur (grille et source), un condensateur était connecté. Ce condensateur ainsi branché en parallèle entre la grille et la source joue le rôle de capacité de découplage et minimise les effets négatifs de l'Interaction Puissance – Commande (IPC, dV_{ds}/dt répercutée par C_{gd} sur la grille) sur la grille de chaque JFET fonctionnant en mode roue libre. Ces effets négatifs montrés par la suite dans ce chapitre et étudiés dans le détail dans le chapitre 4 peuvent engendrer un risque de court-circuit de bras ou encore un risque de casse de la grille due au phénomène de punch-through. Nous montrerons par ailleurs dans le chapitre 4 que plus la longueur des câbles de commande est importante, plus l'interaction puissance-commande en sera exacerbée. C'est pourquoi dans les essais en commutation qui vont être présentés ici nous avons employé la solution présentée au début de ce paragraphe, solution qui par ailleurs a été proposée par le laboratoire GREEN. Si le lecteur souhaite avoir plus de détail sur cette solution, il peut se référer au chapitre 4.

Pour finir la description du banc de la Figure 2-35, nous présentons les éléments nécessaires à la réalisation des essais qui n'y apparaissent pas.

Nous avons utilisé une alimentation de tension continue de marque Sorensen capable de fournir une tension max. de 660V et un courant max. de 16A.

La charge *RL* était réalisée par l'intermédiaire d'une phase d'une machine synchrone double étoile.

L'oscilloscope employé pour ces essais était de marque Tektronix du type DPO 4034, et avait une bande passante de 350MHz.

Différentes sondes de tensions/courants ont été employées :

- Pour mesurer le courant dans un JFET nous avons employé une sonde de marque PEM du type CWT 1R UM (Rogowski Current Waveform Transducer). Cette sonde de courant avait une bande passante de 20MHz et un calibre en courant max. de 300A. De plus elle avait pour particularité de pouvoir mesurer des courants dans des endroits difficiles d'accès comme au niveau des pattes d'un composant TO220 ou encore au niveau du shunt de courant que nous avons réalisé pour avoir accès au courant traversant un des JFET de l'onduleur (voir la Figure 2-35, pour plus de détails à ce sujet voir une des remarques qui suit).

- Pour mesurer le courant dans la charge RL nous avons employé une sonde de marque Tektronix du type TCP 202. Cette sonde de courant avait une bande passante de 50MHz et un calibre en courant max. de 15A.
- Pour mesurer la différence de potentiel entre les électrodes grille-source d'un JFET ou encore la différence de potentiel entre les électrodes drain-source d'un JFET, nous avons employé une sonde différentielle de tension de marque Tektronix du type P5205. Cette sonde de tension avait une bande passante de 100MHz, et un calibre en tension max. de 1000V RMS.

Remarques:

- Les essais ont été réalisés uniquement à température ambiante, soit pour une température de 27°C.
- Pour pouvoir effectuer l'étude en commutation d'un bras JFET SiC, deux bras sur trois étaient bloqués au niveau de l'onduleur JFET SiC.
- Pour pouvoir avoir accès au courant qui traverse un des JFET de l'onduleur, nous étions obligés de mettre en place un shunt de courant réalisé par l'intermédiaire d'un fil (voir la Figure 2-35). Ce shunt de courant était placé entre la capacité du bus continu et l'onduleur au niveau de la polarité positive du bus continu. L'accès au courant traversant le JFET du bas ou le JFET du haut du bras considéré était réalisé en câblant judicieusement la charge RL. Par ailleurs, une précision concernant le fil employé pour réaliser le shunt de courant, ce fil était de faible longueur afin de minimiser l'impact de son inductance en termes de surtension sur le bras JFET.

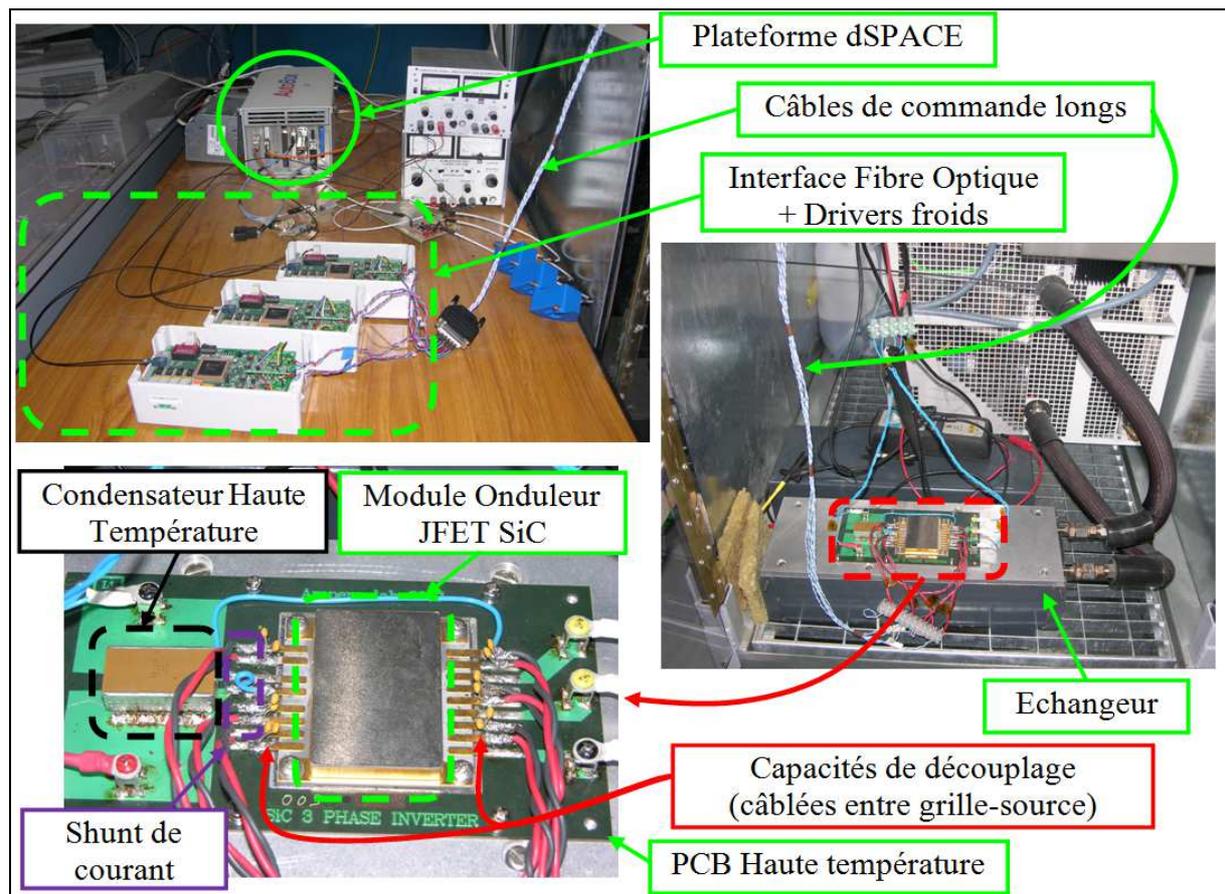


Figure 2-35 : Plateforme expérimentale de la société Hispano-Suiza Réau utilisée pour caractériser en commutation les JFET SiC intégrés dans le module onduleur.

2.3.3.1.2 Résultats obtenus sur un bras JFET SiC

Nous présentons sur la Figure 2-36 ci-dessous la configuration de câblage choisie au niveau de l'onduleur afin de pouvoir étudier les commutations des JFET au niveau du bras A, les bras B et C étant bloqués. Par ailleurs, cette configuration de câblage et en particulier celle choisie pour la charge RL nous indique que ce sont les commutations du JFET J_{AH} en mode roue libre qui seront étudiées.

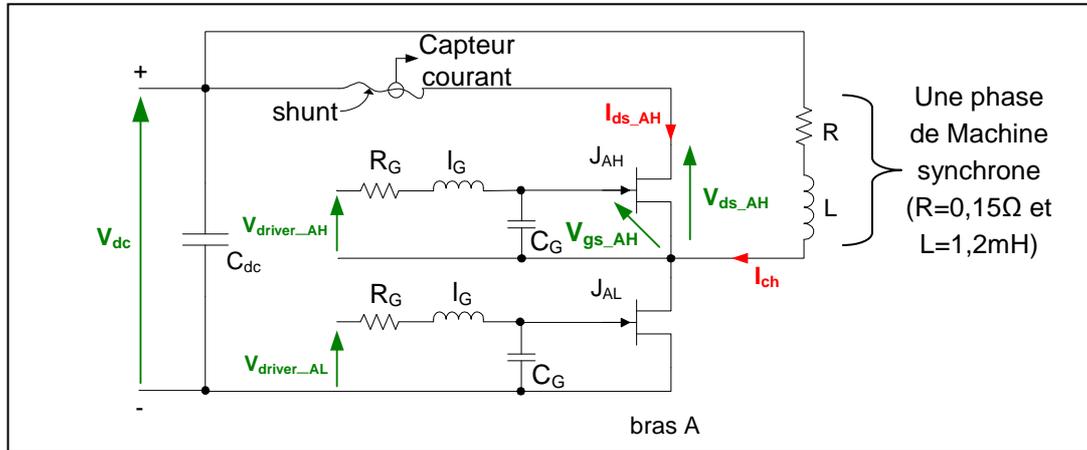


Figure 2-36 : Etude en commutation du JFET J_{AH} du bras A de l'onduleur présenté sur la Figure 2-35.

Dans le tableau ci-dessous nous précisons les conditions d'essais. Nous précisons en particulier tout ce qui concerne le périmètre de la commande des deux JFET du bras.

Une capacité C_G de valeur significative (20nF) est employée ici. Elle a permis de réaliser des essais sur un bras d'onduleur JFET SiC en minimisant les effets de l'interaction puissance-commande exacerbés par une inductance du câble de commande l_G importante de $1,31\mu\text{F}$. Cette valeur d'inductance a été mesurée par l'intermédiaire d'un RLC mètre de marque Hewlett-Packard du type HP 4284A.

La tension de blocage est fixée 2V en dessous de la tension de seuil V_{T0} et 9V au dessus de la tension d'apparition du phénomène de punch-through $V_{br,gs}$. Le temps mort est réglé à vide ($V_{dc}=0V$) puis vérifié en charge ($V_{dc}=200V$) et vaut environ 500ns ; il est dit « effectif » dans le tableau car nous l'avons mesuré lorsque la tension grille-source de chaque JFET atteint V_{T0} .

Nous rappelons que les JFET caractérisés ici sont des JFET de type A ; autrement dit, ce sont des JFET 1200V-0,2Ω de surface active $2,4*2,4\text{mm}^2$. La tension de seuil V_{T0} des composants étudiés ici est de -24V, et la tension d'apparition du phénomène de punch-through $V_{br,gs}$ vaut -36V à 25°C.

R_G	l_G	C_G	V_{T0}	$V_{br,gs}$ (25°C)	Tension de blocage	Temps mort
19Ω	1,31μH	20nF	-24V	-36V	-26V	500ns (effectif)

V_{dc}	I_{ch}	C_{dc}	R	L	Temp.
200V	2A	4μF	0,15Ω	1,2mH	27°C

Tableau 2-3 : Conditions d'essais pour l'étude en commutation du JFET J_{AH} du bras A de l'onduleur présenté sur la Figure 2-35.

Les courbes présentées sur la Figure 2-37 et sur la Figure 2-38 ont été obtenues pour une tension commutée de 270V et un courant commuté de 2A.

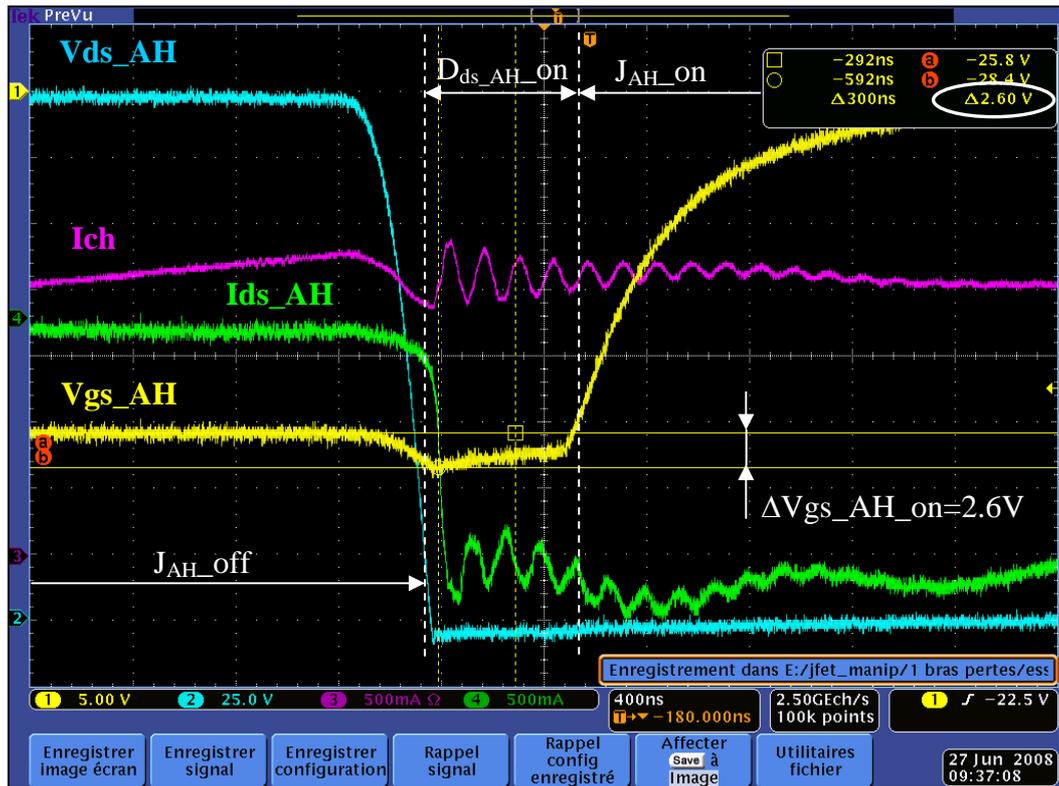


Figure 2-37 : Tension/courant commutés 270V/2A, mise en conduction de J_{AH} en mode roue libre.

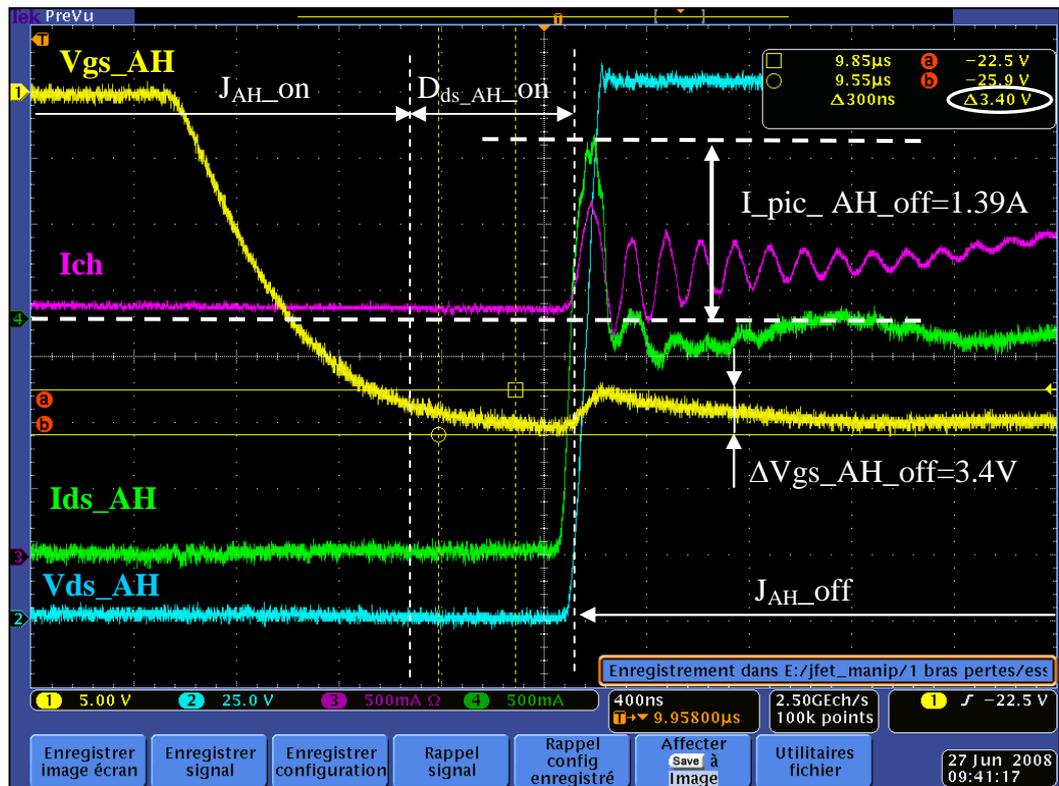


Figure 2-38 : Tension/courant commutés 270V/2A, blocage de J_{AH} en mode roue libre.

Sur ces deux figures nous avons relevé au niveau de la charge RL le courant I_{ch} , et au niveau du JFET J_{AH} le courant drain-source I_{ds_AH} , la tension drain-source V_{ds_AH} et la tension grille-source V_{gs_AH} . La Figure 2-37 représente la mise en conduction du JFET J_{AH} en mode de fonctionnement

roue libre. La Figure 2-38 représente le blocage de ce même JFET toujours en mode de fonctionnement roue libre.

Dans le Tableau 2-4 ci-dessous, nous avons synthétisé les mesures effectuées sur les courbes présentées sur la Figure 2-37 et la Figure 2-38. Par ailleurs, les vitesses de variation de tension (dV_{ds}/dt et dV_{gs}/dt) et de courant (dI_{ds}/dt) sont mesurées par rapport à 10-90% de la valeur commutée et les pics de tension sur V_{gs} (ΔV_{gs}) sont mesurés par rapport à la tension de blocage des drivers réglée à -26V ici.

$\Delta V_{gs_AH_off}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{off}$
3,4 V	1760 V/ μ s	42 A/ μ s	-21,8 V/ μ s
$\Delta V_{gs_AH_on}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{on}$
2,6 V	-830 V/ μ s	-22 A/ μ s	13,8 V/ μ s
$I_{pic_AH_off}$			
1,39 A			

Tableau 2-4: Caractéristiques dynamique du JFET J_{AH} pour $V_{dc}=200V$, $I_{ch}=2A$, $I_G=1.31\mu F$, $R_G=15\Omega$ et $C_G=20nF$.

Les perturbations observées au niveau de V_{gs_AH} , ou encore le pic de courant $I_{pic_AH_off}$ lors du blocage de la diode D_{ds_AH} du transistor J_{AH} , sont causés a priori par les capacités parasites du composant.

Pour effectivement avancer avec certitude le fait que ces perturbations à température ambiante (27°C) sont dues aux capacités parasites du JFET, nous avons réalisé deux types d'essais :

- Les premiers essais ont été réalisés pour différents courants de charge I_{ch} allant de 2 à 8A, et cela pour une tension de bus V_{dc} fixe de 200V,
- Les seconds essais ont été réalisés pour différentes tensions de bus V_{dc} allant de 50V à 150V, et cela pour un courant de charge I_{ch} fixe de 10A.

Nous avons récapitulé toutes les mesures effectuées lors de ces deux types d'essais en annexe 2. Nous présentons seulement sur la Figure 2-39 l'évolution des pics de tension sur V_{gs} ($\Delta V_{gs_AH_on}$ et $\Delta V_{gs_AH_off}$) et l'évolution du pic de courant $I_{pic_AH_off}$ pour chaque type d'essais.

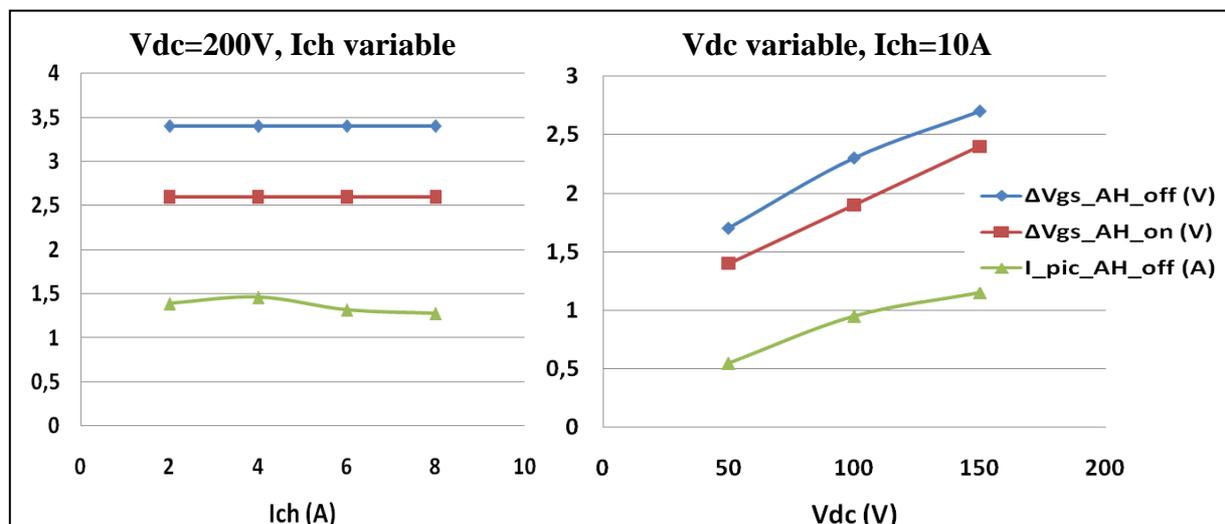


Figure 2-39 : Étude de l'évolution de $\Delta V_{gs_AH_on}$, $\Delta V_{gs_AH_off}$ et $I_{pic_AH_off}$, pour $V_{dc}=200V$ et I_{ch} varie de 2 à 8A, et pour V_{dc} varie de 50 à 150V et $I_{ch}=10A$.

Les résultats de la Figure 2-39 montrent que les perturbations $\Delta V_{gs_AH_on}$, $\Delta V_{gs_AH_off}$ et $I_{pic_AH_off}$ sont influencés uniquement par le niveau de tension commutée (V_{dc}), ce qui permet de valider le fait que nous avons bien à faire ici à des couplages capacitifs.

Remarque :

- Les essais réalisés en commutation se sont déroulés pour une température ambiante égale à 27°C. Par conséquent, le pic de courant $I_{pic_AH_off}$ observé lors du blocage en phase roue libre du JFET J_{AH} est purement capacitif. Cependant, pour des températures d'essais plus élevées nous ne pouvons pas garantir que ce pic de courant soit purement capacitif, il se peut qu'il y ait une part de courant de recouvrement lors du blocage de la diode D_{ds_AH} du JFET J_{AH} (voir pour illustration la Figure 1-45 du chapitre 1 ou la référence [FRI-b 2006]).

- En termes d'interaction puissance-commande, lors de la mise en conduction du JFET J_{AH} , nous n'observons pas de perturbation significative engendrant un fonctionnement de la grille en mode punch-through ($-\Delta V_{gs_AH_on}$ (à 150V égale à 2,4V) + tension de blocage > $V_{br,gs}$). Lors du blocage du JFET J_{AH} , nous pouvons mettre en avant le fait que l'aspect risque de remise en conduction est bien à considérer.

- Nous allons valider le choix des bandes passantes des sondes qui nous ont permis de visualiser I_{ds_AH} , V_{ds_AH} et V_{gs_AH} . Par ailleurs, nous précisons que les temps t_s étaient mesurés à l'oscilloscope par rapport à 10-90% de la valeur commutée, et les valeurs indiquées ici correspondent au minimum du couple (temps de montée, temps de descente) :

- Concernant I_{ds_AH} : le temps t_s était de 160ns. La bande passante choisie pour la sonde de mesure était de 20MHz, ce qui fait un temps de montée t_m de 17,5ns (temps déterminé avec l'équation Eq 2-11). Le temps t_r calculé à partir de l'équation Eq 2-9 valait 159ns. Le rapport entre les temps t_r et t_m était de 9 ici, par conséquent la sonde de mesure employée pour mesurer I_{ds_AH} convenait.
- Concernant V_{ds_AH} : le temps t_s était de 100ns. La bande passante choisie pour la sonde de mesure était de 100MHz, ce qui fait un temps de montée t_m de 3,5ns (temps déterminé avec l'équation Eq 2-11). Le temps t_r calculé à partir de l'équation Eq 2-9 valait 99,9ns. Le rapport entre les temps t_r et t_m était de 28 ici, par conséquent la sonde de mesure employée pour mesurer V_{ds_AH} convenait.
- Concernant V_{gs_AH} : le temps t_s était d'environ 700ns. La bande passante choisie pour la sonde de mesure était de 100MHz, ce qui fait un temps de montée t_m de 3,5ns (temps déterminé avec l'équation Eq 2-11). Le temps t_r calculé à partir de l'équation Eq 2-9 valait 699,9ns. Le rapport entre les temps t_r et t_m était de 200 ici, par conséquent la sonde de mesure employée pour mesurer V_{gs_AH} convenait.

- Les résultats présentés ici nous ont permis d'identifier les paramètres du modèle dynamique du JFET SiC 2 canaux de SiCED ainsi que de valider ce modèle pour différents points de fonctionnement (voir l'annexe 2 et la partie 3.2.5.2 du chapitre 3 pour plus de détails).

Lors de ces essais nous n'avons pu étudier les commutations du JFET J_{AL} fonctionnant en mode transistor pour cause de problème d'alimentation de driver ayant entraîné la casse de l'onduleur. C'est pourquoi nous allons présenter la deuxième phase de caractérisation.

2.3.3.2 Deuxième phase de caractérisation dynamique

2.3.3.2.1 Présentation du banc

Sur la Figure 2-40 nous présentons le banc de caractérisation dynamique que nous avons développé au laboratoire GREEN. Ce banc nous a permis de caractériser en commutation les JFET de type B.

La partie principale du banc était constituée d'un ensemble Carte support – Condensateur haute température – Bras JFET SiC TO 220– Circuit d'attaque de grille.

La carte support identique à celle employée pour réaliser le banc de caractérisation statique présentée sur la Figure 2-8 nous a permis d'élaborer un bras d'onduleur en soudant les composants suivants. Le condensateur haute température chargé de filtrer le mode différentiel sur le bus de tension continue était un condensateur céramique fabriqué par la société PRESIDIO COMPONENTS INC. (ou PCI) [@PRE] de valeur nominale $8,5\mu\text{F}$ à 25°C , et pouvait supporter une tension max. de 1000V et une température max. de 200°C . Le bras JFET SiC était constitué de deux JFET SiC de type B chacun encapsulé dans un boîtier TO220. La zone de la carte que nous avons désignée par attaque de grille, se situe entre le driver et les électrodes de commande (grille et source) du JFET. Cette zone nous a permis de tester et de comparer différents circuits d'attaque de grille ayant pour rôle de minimiser l'interaction puissance-commande. Ces tests et comparatifs sont présentés dans le chapitre 4.

En ce qui concerne la partie pilotage des JFET, elle était réalisée par l'ensemble Générateur double impulsion – Interface fibre optique – Driver froid.

Le générateur double impulsion nous permettait de mettre en œuvre la méthode du « double pulse ». Ce générateur pilotait ensuite le sous ensemble Interface fibre optique – Driver froid chargé de rendre bloqué ou passant les JFET du bras considéré. Ce sous-ensemble est identique à celui présenté précédemment sur la Figure 2-35.

Pour finir la description du banc de la Figure 2-40, nous allons présenter la partie alimentation en tension du banc, le type de charge employé et les appareils de mesure.

Nous avons réalisé l'alimentation en tension du banc par l'intermédiaire d'un ensemble autotransformateur triphasé + pont de diode. Cet ensemble était connecté à un réseau triphasé 380V et permettait d'obtenir avec le condensateur une tension continue max. de 580V .

La charge RL était réalisée par l'intermédiaire d'une bobine à air.

L'oscilloscope employé pour ces essais était de marque Lecroy du type WaveRunner 64Xi, et avait une bande passante importante de 600MHz .

Différentes sondes de tensions/courants ont été employées :

- Pour mesurer le courant dans la grille d'un JFET ou encore le courant drain-source d'un JFET nous avons employé une sonde de marque Lecroy du type CP031. Cette sonde de courant avait une bande passante de 100MHz et un calibre en courant max. de 30A .
- Pour mesurer la différence de potentiel entre les électrodes grille-source d'un JFET ou encore la différence de potentiel entre les électrodes drain-source d'un JFET, nous avons employé une sonde différentielle de tension de marque Lecroy du type ADP 305. Cette sonde de tension avait une bande passante de 100MHz , et un calibre en tension max. de 1000V RMS .

Remarque :

- Les essais ont été réalisés uniquement à température ambiante, soit pour une température de 27°C .
- Pour pouvoir avoir accès au courant qui traverse un des JFET du bras, nous étions obligés de mettre en place un shunt de courant réalisé par l'intermédiaire d'un fil (voir la Figure 2-40). Ce shunt de courant était placé au niveau du point milieu, soit entre les deux JFET (voir la Figure 2-40 et la Figure 2-41). L'accès au courant traversant le JFET du bas ou le JFET du haut était réalisé en câblant judicieusement la charge RL .

Par ailleurs, une précision concernant le fil employé pour réaliser le shunt de courant, ce fil était de faible longueur afin de minimiser l'impact de son inductance en termes de surtension sur les JFET du bras.

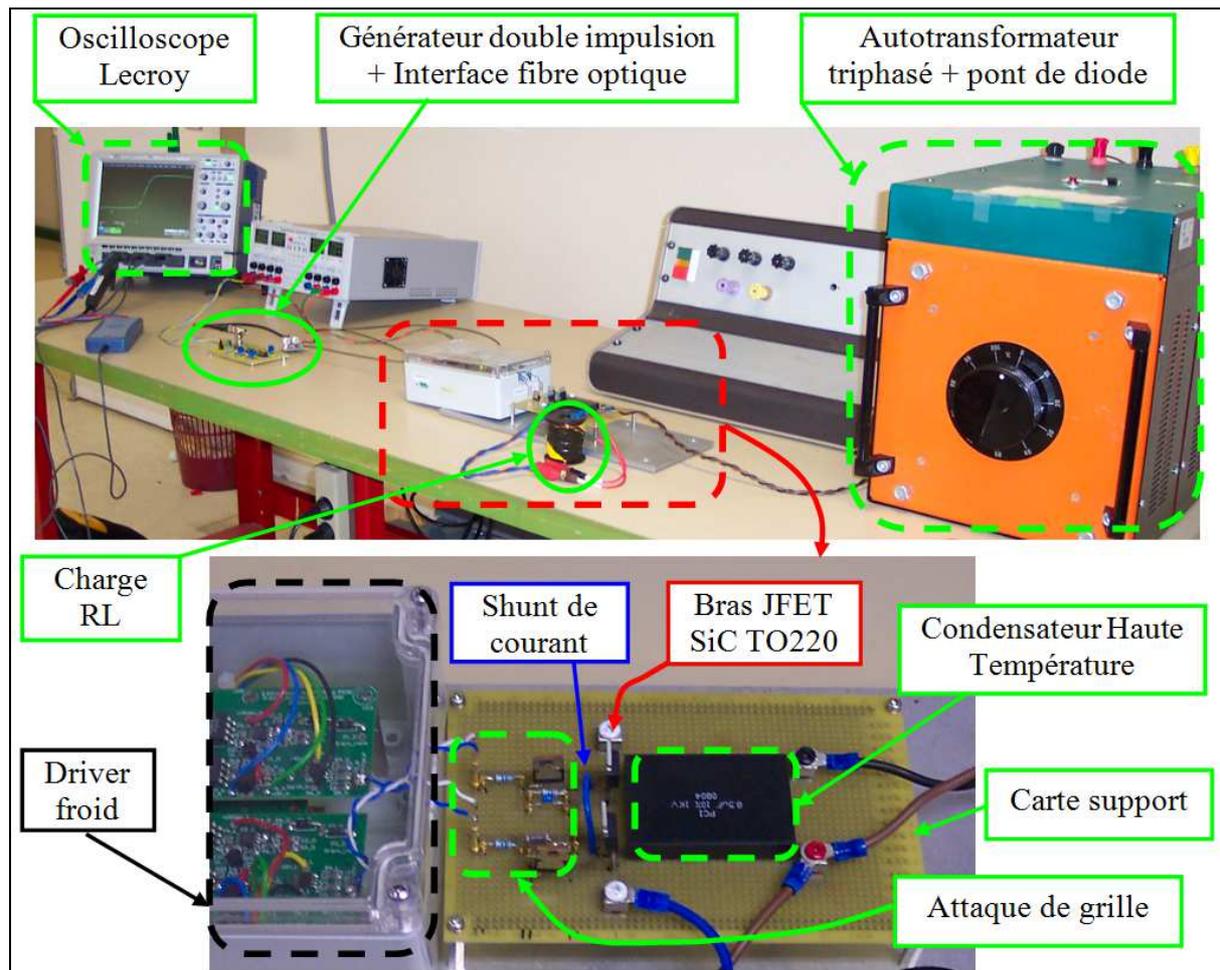


Figure 2-40 : Plateforme expérimentale réalisée au laboratoire GREEN permettant de caractériser en commutation les JFET SiC de type B en boîtier TO220.

2.3.3.2.2 Résultats obtenus sur un bras JFET SiC

Nous présentons sur la Figure 2-41 ci-dessous le schéma de câblage employé pour étudier les commutations des JFET de type B au niveau d'un bras d'onduleur.

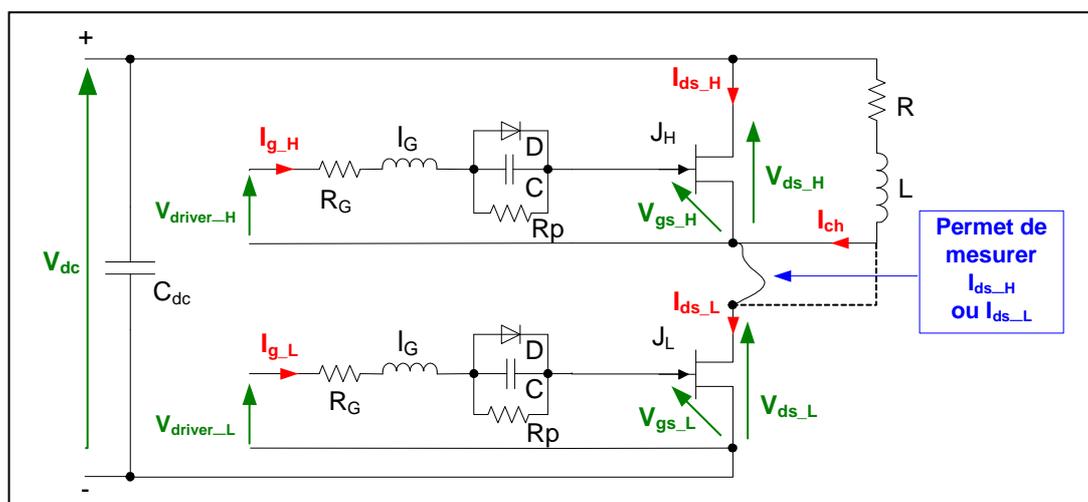


Figure 2-41 : Etude en commutation des JFET de type B sur un bras d'onduleur de tension.

Dans le Tableau 2-5 ci-dessous nous précisons les conditions d'essais. Nous précisons en particulier tout ce qui concerne le périmètre de la commande des deux JFET du bras.

Lors de ces essais nous avons rapproché les drivers par rapport aux JFET, induisant une inductance de câblage plus faible comparé aux essais de la première phase de caractérisation dynamique (voir le banc expérimental de la deuxième phase de caractérisation dynamique sur la Figure 2-40). Par conséquent, pour observer un impact significatif de l'Interaction Puissance-Commande (IPC) sur la grille des JFET et aussi valider qualitativement les résultats de simulation présentés par la suite en présence d'une IPC sévère, nous avons employé une résistance de grille relativement importante ($R_G=55\Omega$) et un circuit d'attaque de grille qui ne limite pas l'IPC (structure composée de trois composants R_p , C et D). Par ailleurs, nous serons dans des conditions nominales au niveau de l'IPC puisque les essais ont été effectués pour une tension de bus continu de 540V, valeur de tension nominale pour des applications aéronautiques (voir l'introduction générale pour plus de détails). Le lecteur pourra se référer au chapitre 4 pour avoir plus de détails sur l'IPC et sur le circuit d'attaque de grille employé ici.

La tension de blocage est fixée 3V en dessous de la tension de seuil V_{T0} et 5V au dessus de la tension d'apparition du phénomène de punch-through $V_{br,gs}$. Autrement dit, lorsque les JFET sont bloqués leur grille respective ne travaille pas en mode punch-through, et aux instants de commutation une marge de 5V est tolérée. Le temps mort est réglé à vide ($V_{dc}=0V$) puis vérifié en charge ($V_{dc}=540V$) et vaut environ 500ns ; il est dit « effectif » dans le tableau car nous l'avons mesuré lorsque la tension grille-source de chaque JFET atteint V_{T0} .

Nous rappelons que les JFET caractérisés ici sont des JFET de type B ; autrement dit, ce sont des JFET 1200V-0,4 Ω de surface active 2,4*2,4mm². La tension de seuil V_{T0} des composants étudiés ici est de -19V et la tension d'apparition du phénomène de punch-through $V_{br,gs}$ vaut -27V à 25°C.

R_G	I_G	C	D (Schottky Si)	V_{T0}	$V_{br,gs}$ (25°C)	Tension de blocage	Temps mort
55 Ω	30nH	22nF	45V, 15A $V_F=0.5V$	-19V	-27V	$V_{T0}-3V$	500ns (effectif)

V_{dc}	I_{ch}	C_{dc}	R	L	Temp.
540V	10A	8,5 μ F	0,65 Ω	2,2mH	27°C

Tableau 2-5 : Conditions d'essais pour l'étude en commutation des JFET de type B au sein d'un bras d'onduleur de tension.

Les courbes présentées sur la Figure 2-42 ont été obtenues pour une tension commutée de 540V et un courant commuté de 10A.

Nous présentons sur cette figure les commutations du transistor J_H fonctionnant en mode roue libre ($I_{ds_H}<0$) ainsi que les commutations du transistor J_L fonctionnant en mode transistor ($I_{ds_L}>0$). Pour chaque JFET nous présentons le courant dans la grille I_g , le courant drain-source I_{ds} , la tension grille-source V_{gs} et la tension drain-source V_{ds} .

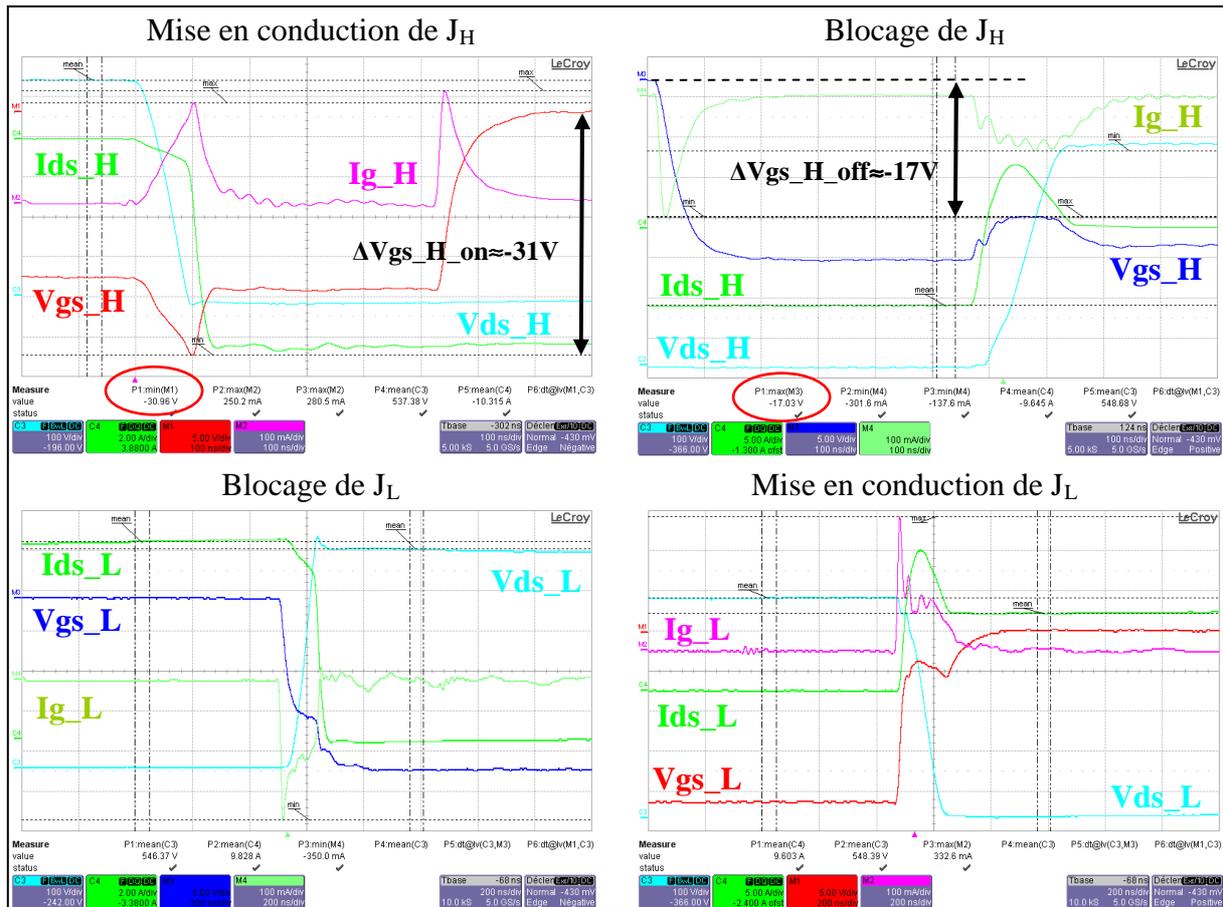


Figure 2-42 : Résultats expérimentaux, commutations du JFET de type B sur un bras d'onduleur de tension, tension/courant commutés 540V/10A.

Nous pouvons remarquer les points suivants concernant les commutations du JFET J_H :

- Les courbes en commutation du JFET J_H sont identiques à celles déjà présentées lors de la première phase de caractérisation. Nous pouvons constater que l'interaction puissance-commande se manifeste très clairement lorsque la tension V_{ds_H} commute.

Ici, la grille du JFET J_H est fortement sollicitée en punch-through puisque la perturbation $\Delta V_{gs_H_on}$ est 4V en dessous de V_{br_gs} . A priori, la grille du JFET J_H supporte bien ce type de sollicitation (avec le circuit d'attaque de grille utilisé ici) sur deux commutations consécutives (méthode du « double pulse ») sachant que les JFET du bras n'étaient pas refroidis lors de ces essais.

De plus, l'aspect du court-circuit de bras est bien à considérer lorsque J_L se met à conduire et J_H se bloque. En effet, la perturbation observée sur V_{gs_H} ($\Delta V_{gs_H_off}$) au moment où la tension V_{ds_H} commute engendre une remonté de la tension V_{gs_H} de 5V au dessus de la tension de blocage. Nous verrons par la suite en simulation que cette perturbation de grille engendre une part du pic de courant observé sur I_{ds_H} (lorsque J_H se bloque) via le canal latéral du JFET, l'autre part sera due aux courants générés par les capacités de transition C_{gd} et C_{ds} .

- Pour finir la description des commutations du JFET J_H , intéressons-nous au courant de grille I_{g_H} .

A la mise en conduction de J_H deux pics de courant distincts sont observés. Le premier pic est dû à l'interaction puissance-commande, le second correspond à la décharge « classique » de la grille (V_{gs} passe de la tension de blocage à 0V). Une dernière remarque concernant le premier pic de courant, son amplitude est importante (quasi égale au second pic) et positive lorsque la tension de blocage (négative) est appliquée à la grille du JFET ; Par conséquent de l'énergie est renvoyée au driver, autrement dit cela implique qu'au niveau de l'étage de sortie du driver, le transistor qui applique la tension de blocage est bidirectionnelle en courant afin de ne pas renforcer l'interaction puissance-

commande. Par ailleurs, le condensateur de découplage doit être de capacité suffisante sous peine de voir la tension de blocage remonter (tension de blocage moins négative).

En ce qui concerne I_{g_H} mais cette fois-ci au blocage de J_H , nous remarquons également deux pics de courant distincts. Le premier pic correspond à la charge « classique » de la grille (V_{gs} passe de 0V à la tension de blocage), le second est dû à l'interaction puissance-commande. Une dernière remarque concernant le second pic de courant, son amplitude est significative (la moitié environ du premier pic) et négative lorsque la tension de blocage (négative) est appliquée à la grille du JFET ; par conséquent de l'énergie complémentaire est fournie par le driver. Autrement dit, le driver doit fournir au niveau de la grille une charge complémentaire à la charge « classique » nécessaire pour bloquer le JFET.

Nous pouvons remarquer les points suivants concernant les commutations du JFET J_L :

- D'emblée, nous pouvons constater que les formes d'onde d' I_{ds_L} , de V_{gs_L} et d' I_{g_L} sont perturbées au moment où la tension V_{ds_L} commute, que ce soit au blocage ou la mise en conduction du transistor J_L . Nous avons ici aussi, à faire à des couplages capacitifs. Cependant, ces couplages capacitifs n'ont pas du tout les mêmes répercussions comparées à celles observées au niveau du JFET J_H , en particulier au niveau de la grille.

- Lors du blocage de J_L , nous remarquons sur V_{gs_L} que l'interaction puissance-commande tend à faire reconduire le JFET J_L . Ce point n'est pas gênant, car au même instant l'interaction puissance-commande tend à renforcer le blocage du JFET J_H . Par ailleurs, il faut veiller à ce que le temps mort soit toujours positif, c'est bien le cas ici.

Toujours au blocage de J_L , nous remarquons sur I_{g_L} que l'interaction puissance-commande induit une perturbation qui augmente la charge à fournir par le driver au niveau de la grille pour rendre bloqué le JFET J_L . Ce point sera dimensionnement pour la capacité de découplage et pour le transistor de l'étage amplificateur du driver qui applique la tension de blocage.

- Lors de la mise en conduction de J_L , nous remarquons sur V_{gs_L} que l'interaction puissance-commande tend à bloquer le JFET J_L . Nous montrerons par la suite en simulation que la perturbation observée sur la grille va engendrer le pic de courant observé sur I_{ds_L} via le canal latéral. Nous montrerons aussi en simulation que les capacités C_{gd} et C_{ds} auront tendance à diminuer ce pic de courant.

Toujours à la mise en conduction de J_L , nous remarquons sur I_{g_L} que l'interaction puissance-commande induit une perturbation qui augmente la charge à extraire de la grille pour rendre passant le JFET J_L . Ce point sera dimensionnement uniquement pour le transistor de l'étage amplificateur du driver qui applique la tension de conduction, ici $V_{gs}=0V$.

Remarque :

- Nous allons valider le choix des bandes passantes des sondes qui nous ont permis de visualiser au niveau des deux JFET I_{ds} , V_{ds} , V_{gs} et I_g . Par ailleurs, nous précisons que les temps t_s étaient mesurés à l'oscilloscope par rapport à 10-90% de la valeur commutée, et les valeurs indiquées ici correspondent au minimum du couple (temps de montée, temps de descente) :

- Concernant I_{ds} : le temps t_s était de 17,6ns (t_r). Le fabricant annonce un temps de réponse t_m de 3,5ns [@LEC]. Le temps t_r calculé à partir de l'équation Eq 2-9 valait 17,2ns. Le rapport entre les temps t_r et t_m était de 5 ici, par conséquent la sonde de mesure employée pour mesurer I_{ds} convenait.
- Concernant V_{ds} : le temps t_s était de 63ns. La bande passante choisie pour la sonde de mesure était de 100MHz, ce qui fait un temps de montée t_m de 3,5ns (temps déterminé avec l'équation Eq 2-11). Le temps t_r calculé à partir de l'équation Eq 2-9 valait 62,9ns. Le rapport entre les temps t_r et t_m était de 18 ici, par conséquent la sonde de mesure employée pour mesurer V_{ds} convenait.
- Concernant V_{gs} : le temps t_s était de 100ns. La bande passante choisie pour la sonde de mesure était de 100MHz, ce qui fait un temps de montée t_m de 3,5ns (temps déterminé avec l'équation Eq 2-11). Le temps t_r calculé à partir de l'équation Eq 2-9 valait 99,9ns. Le

rapport entre les temps t_r et t_m était de 28 ici, par conséquent la sonde de mesure employée pour mesurer V_{gs} convenait.

- Concernant I_g : le temps t_s était de 10ns. Le fabricant annonce un temps de réponse t_m de 3,5ns [@LEC]. Le temps t_r calculé à partir de l'équation Eq 2-9 valait 9,36ns. Le rapport entre les temps t_r et t_m était de 2,67 ici, par conséquent nous atteignons les limites de la sonde utilisée pour mesurer I_g . Ce constat pourrait par ailleurs expliquer le fait que les pics de courant correspondant à la charge et à la décharge « classique » de la grille n'atteignent pas 400mA, soit $(V_{T0}-3V)/R_G$.
- Nous précisons que les résultats présentés ici vont permettre de valider qualitativement les résultats de simulations présentés par la suite au chapitre 3, en particulier ceux concernant le fonctionnement du JFET en mode transistor. Nous rappelons que le modèle va représenter les comportements statique et dynamique du JFET de type A alors que les essais expérimentaux présentés ici ont été obtenus avec un JFET de type B.

2.4 Conclusion

Dans ce chapitre nous avons présenté des résultats de caractérisation électrique statique et dynamique du JFET SiC deux canaux de SiCED qui viennent compléter entre autres les travaux de thèse de Mousa [MOU 2009] et d'Hamieh [HAM 2011].

Concernant l'aspect caractérisation statique, nous avons présenté une sorte d'état de l'art des différents montages et techniques associées permettant d'effectuer des caractérisations statiques à faible et fort niveau de courant sur un composant d'électronique de puissance. Puis nous nous en sommes inspiré pour réaliser notre banc d'essais de caractérisation statique à faible et fort niveau de courant. Ce banc nous a permis d'obtenir sur une plage de température allant de -40°C à $+180^{\circ}\text{C}$ la caractérisation statique du JFET en polarisation directe et inverse. La caractéristique statique directe ainsi que la caractéristique statique inverse du JFET ont été analysées finement. Nous avons montré en particulier sur la caractéristique statique inverse, obtenue pour une température de 180°C , qu'il y avait l'existence d'un phénomène de chevauchement, qui n'est pas évident à expliquer, entre la caractéristique où la tension grille-source est nulle et celle où la tension grille-source vaut -4V . Ensuite, nous avons extrait de la caractéristique statique directe la caractéristique de transfert du composant, caractéristique utile pour déterminer les limites en courant du JFET SiC deux canaux de SiCED, pour déterminer sa tension de seuil, ou encore pour valider son modèle statique en régime saturé.

Puis, nous avons caractérisé la grille du composant en régime sévère, toujours sur la même plage de température, pour connaître les limites de la grille du JFET SiC de SiCED afin de pouvoir l'interfacer au mieux avec le circuit de commande, le driver. Nous avons étudié la grille en forte polarisation inverse (tension inférieure à la tension de seuil du JFET) afin de caractériser le phénomène de punch-through, phénomène qui se manifeste par l'apparition d'un courant non contrôlé dans la grille, courant qui pourrait casser thermiquement la grille. Nous avons montré pour le JFET de type B qu'il existait, entre la tension de seuil et la tension à partir de laquelle le phénomène de punch-through apparaît, une marge de tension de $9,2\text{V}$ pour une température de -40°C , et que cette marge diminue sensiblement lorsque la température augmente puisqu'elle passe à $5,9\text{V}$ pour une température de 180°C . Nous avons aussi effectué une caractérisation de la grille pour des polarisations positives, et nous avons mis en évidence qu'à faible niveau de courant (autour du milliampère) l'évolution de la caractéristique statique de la diode grille-source D_{gs} n'était pas cohérente surtout pour des températures négatives. Afin de vérifier si le phénomène persistait, nous avons caractérisé cette diode à des niveaux de courant bien plus élevés, autour de 3A . Nous avons constaté des résultats cohérents sur toute la plage de température étudiée et montré que cette diode était robuste, puisque nous avons dissipé environ 16W pendant $40\mu\text{s}$ sans casser. Cette étude a aussi montré que nous pouvions polariser la grille avec une tension positive de 2V sur toute la plage de température étudiée sans faire conduire la diode D_{gs} . Ce résultat peut être utile au concepteur de convertisseur à base de JFET SiC de SiCED s'il souhaite

appliquer avec le driver une tension de conduction positive afin de diminuer la résistance à l'état passant du JFET tout en minimisant les pertes dans le driver.

Nous avons aussi déterminé la résistance à l'état passant R_{on} du JFET pour différentes polarisations de grille, soit pour 0V, 1V et 2V. Ces résultats ont montré qu'une polarisation de grille positive, en particulier à haute température, n'apporte pas une diminution significative de la résistance à l'état passant qui nécessiterait une complexification en termes d'alimentations au niveau du driver.

Enfin, nous avons caractérisé et comparé les caractéristiques statiques de quatre JFET de type B sur toute la plage de température d'étude afin d'avoir une première idée sur la reproductibilité de la caractéristique de ces puces JFET. Nous avons comparé le courant de saturation, la tension de seuil, la tension d'apparition du phénomène de punch-through et la résistance à l'état passant. Nous avons constaté globalement une faible dispersion d'un composant JFET à l'autre surtout concernant la résistance à l'état passant, ce qui est encourageant pour sa future mise sur le marché.

Concernant l'aspect caractérisation dynamique, nous avons étudié pour une température ambiante égale à 27°C les commutations du JFET en utilisant la méthode dite du « double pulse ». Nous avons montré la façon dont commute le JFET lorsqu'il est utilisé en mode roue libre et en mode transistor. Nous avons mis en évidence que la tension grille-source, le courant drain-source et le courant de grille étaient perturbés lorsque la tension drain-source variait. Nous avons montré en particulier lors de l'étude des commutations du JFET en mode roue libre que ces perturbations étaient dues à des couplages capacitifs, qu'il fallait considérer de façon sérieuse les perturbations sur la tension de commande grille-source V_{gs} . En effet, à la mise en conduction du JFET, nous avons observé sur V_{gs} une perturbation négative susceptible de pouvoir faire travailler la grille du JFET en régime punch-through. Au blocage du JFET une perturbation positive était observée sur V_{gs} , perturbation susceptible de provoquer une remise en conduction du JFET. Pour terminer sur l'aspect caractérisation dynamique du JFET, nous avons montré lors du blocage de la diode drain-source interne au JFET fonctionnant en mode roue libre, que le pic de courant observé au niveau du courant drain-source était purement capacitif pour une température ambiante de 27°C.

Des points restent également à regarder ou à améliorer :

Concernant la caractérisation statique, les caractérisations doivent être réalisées sur une plage de température plus importante, en particulier pour des températures négatives égales à -55°C pour satisfaire les contraintes avioniques d'un système en aéronautique fonctionnant en environnement sévère. Il faudrait notamment regarder à de telles températures la tenue en tension du composant, puisque cette dernière diminue lorsque la température diminue [LEF 2004, MOU 2009].

Nous avons étudié l'évolution en fonction de la température de plusieurs paramètres liés au JFET SiC deux canaux de SiCED, comme le courant de saturation, la tension de seuil, la tension d'apparition du phénomène de punch-through et la résistance à l'état passant. Une étude sur ces paramètres pourrait être menée afin d'évaluer leur capacité à être ou non des paramètres thermosensibles d'une part, et des paramètres thermosensibles exploitables d'autre part. Exploitable signifie que le paramètre thermosensible peut être employé soit pour obtenir en ligne la température de jonction d'un JFET en train de fonctionner au sein d'un convertisseur (le paramètre thermosensible peut être utilisé pour effectuer de la surveillance et peut jouer un rôle d'indicateur thermique de défaut concernant l'environnement de la puce JFET SiC), soit pour obtenir la température d'un certain milieu à caractériser (le JFET est alors considéré ici comme un capteur de température). Par ailleurs, nous tenons à souligner que lorsque nous abordons l'aspect environnement de la puce du JFET SiC, nous considérons le boîtier, les métallisations en aluminium au niveau du drain et de la source (surfaces de connexion des fils de « bonding » [LEF 2004]), la brasure au niveau du drain (attache puce-semelle) et les passivations (couche d'oxyde isolante sur la partie haute du composant [FRI 2000]), car ce sont ces points les plus pénalisants thermiquement parlant [BOU 2009].

Concernant la caractérisation dynamique, elle doit être réalisée elle aussi sur une plage de température plus importante, allant de -55°C à +250°C. Il faudrait regarder le bon fonctionnement du JFET pour une température ambiante égale à -55°C. Par ailleurs, il faudrait étudier à 250°C le pic de courant observé lorsque le JFET fonctionnant en mode roue libre se bloque. Cette étude permettrait d'établir si le pic de courant comporte une part importante ou non de courant de recouvrement.

CHAPITRE 3

MODELISATION DU JFET SIC DEUX CANAUX DE SiCED

Ce troisième chapitre va porter sur la modélisation du comportement électrique statique et dynamique du transistor retenu dans le cadre du projet SEFORA. Nous rappelons que le transistor retenu et par conséquent étudié est le transistor JFET SiC deux canaux. Actuellement, ce composant est disponible uniquement en échantillons, que fournit la société SiCED.

Le modèle qui sera présenté dans ce chapitre permettra d'effectuer d'une part l'étude des circuits d'attaque de grille au chapitre 4, d'autre part des simulations systèmes présentées au chapitre 5.

Nous allons entreprendre une démarche similaire à celle employée au chapitre 2 en nous intéressant aux travaux qui ont déjà été effectués sur la modélisation de ce composant, par exemple ceux de la thèse de Mousa [MOU 2009] et d'Hamieh [HAM 2011]. Nous allons nous attacher dans ce chapitre à apporter des éléments nouveaux sur la modélisation du JFET SiC deux canaux de SiCED, en particulier concernant la partie dynamique du composant. Voici les points qui seront abordés :

- Une synthèse sur les modèles représentant le comportement électrique statique en mode de polarisation directe du JFET sera établie, allant de la modélisation classique du JFET (canal symétrique) à la modélisation du JFET deux canaux (canal asymétrique).
- Nous présenterons ensuite le modèle JFET retenu qui décrira les comportements statique et dynamique du composant JFET SiC deux canaux de SiCED. La base de ce modèle a été élaborée par le laboratoire Ampère et s'inspire des travaux de thèse de Mousa [MOU 2009]. L'implication du laboratoire GREEN dans l'amélioration de ce modèle a porté sur deux points en particulier. Le premier porte sur le comportement dynamique, une structure de modèle électrique dynamique du composant sera proposée et validée à partir des essais expérimentaux effectués au chapitre 2. Le second porte sur la prise en compte du phénomène de punch-through, nous proposerons un modèle simple mais représentatif du phénomène.

Nous tenons à préciser que les travaux de modélisation du JFET SiC ont été effectués dans le cadre du projet SEFORA, en collaboration entre les laboratoires GREEN, Ampère et SATIE, ainsi que la société Hispano-Suiza.

3.1 Etat de l'art des modèles statiques du JFET

Comme le mentionne Mousa dans [MOU 2009], et comme nous l'avons aussi constaté, il existe peu de publications concernant la modélisation du transistor JFET, et en particulier sa modélisation statique.

Deux modèles sont souvent utilisés : le modèle standard du canal JFET et le modèle SPICE. Ces deux modèles, comme le montre Mousa dans [MOU 2009], ne permettent pas de représenter fidèlement le comportement statique du JFET SiC deux canaux de SiCED. Le JFET SiC deux canaux a la particularité, comme son nom l'indique, de comporter deux canaux : un canal latéral où s'opère la fonction transistor et le canal vertical ayant en partie pour rôle de supporter la tension puisqu'il est dans le prolongement de la région de dérive. Du fait de la présence du canal vertical, le canal latéral est asymétrique, ce qui rend compliqué sa modélisation, en particulier lorsque le JFET en polarisation directe fonctionne en régime saturé.

C'est pourquoi Mousa a proposé dans [MOU 2009] un modèle du comportement statique qui s'inspire des deux premiers modèles précédemment évoqués. Ce modèle permet d'obtenir, à partir de données géométriques et de plusieurs paramètres empiriques, un comportement statique fidèle à l'expérience.

Puis, dernièrement, Hamieh dans [HAM 2010, HAM 2011] a réalisé un modèle physique sans paramètre empirique du JFET SiC deux canaux de SiCED, et donne des résultats prometteurs. Ce

modèle a la particularité de considérer le canal latéral asymétrique comme un canal JFET standard comportant deux électrodes de grille distinctes, et le canal vertical comme un canal JFET standard.

Nous allons maintenant présenter les différents modèles statiques du JFET dans l'ordre dans lequel nous venons de les introduire.

3.1.1 Modèle standard du canal JFET, JFET à canal long symétrique

3.1.1.1 Modèle statique en polarisation directe

Le modèle standard du canal JFET est connu. Il est présenté dans un article des Techniques de l'Ingénieur rédigé par Philippe Leturcq [LET 1999], et bien détaillé dans un des livres rédigé par B. Jayant Baliga [BAL-1-d 1984], ainsi que dans les mémoires de thèse d'Elena Ivanova Dimitrova-Frey [DIM 2006], Rami Mousa [MOU 2009] et Youness Hamieh [HAM 2011]. Nous rappelons que ce modèle s'applique à un canal JFET qui est long et symétrique. En effet, le canal JFET est qualifié de long lorsque la longueur du canal L est plus grande que sa largeur $2a$. Par ailleurs, le JFET est dit à canal long symétrique, du fait que ce composant JFET dispose de deux couches de type P^+ identiques reliées à la grille de part et d'autre du canal N (voir la Figure 3-1).

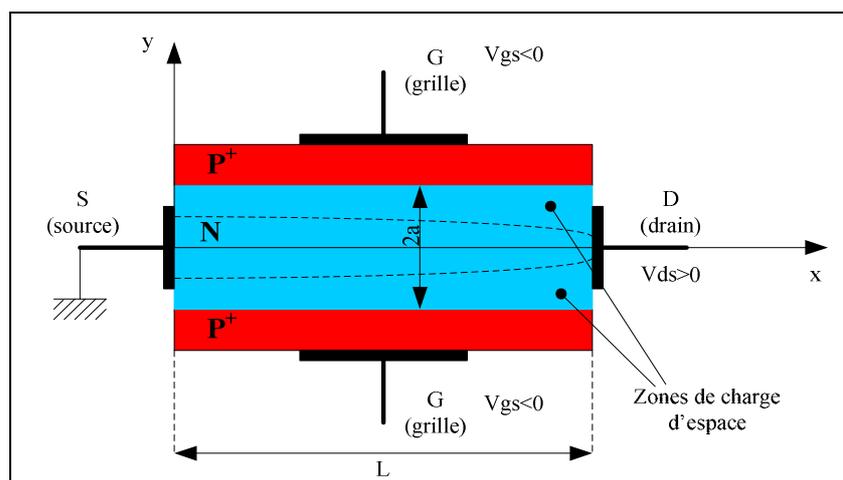


Figure 3-1: Structure du JFET à canal long symétrique.

Voici dans le Tableau 3-1 ci-dessous les paramètres géométriques associé au JFET à canal long symétrique :

Symbole	Définition (unité d'usage)
a	Demi-largeur du canal (μm)
L	Longueur du canal (μm)
Z	Profondeur du canal (cm)
N_d	Densité de dopage du canal (zone N) (cm^{-3})
N_a	Densité de dopage des zones P^+ (cm^{-3})
T	Température moyenne de jonction (Kelvin)

Tableau 3-1: Paramètres géométriques du JFET à canal long symétrique.

Nous rappelons dans le Tableau 3-2 les constantes physiques et les propriétés du matériau SiC-4H utiles à la modélisation [RAY 2007, MCN 2007].

Symbole	Définition (unité d'usage)	Valeur ou expression
q	Charge élémentaire (C)	$1,602 \times 10^{-19}$ C
k_B	Constante de Boltzmann (J/K)	$1,38 \times 10^{-23}$ J/K $8,62 \times 10^{-5}$ eV/K
u_T	Potentiel thermodynamique (V)	$u_T = \frac{k_B T}{q}$ valant 26 mV à 300K
U_G	Potentiel de bande interdite pour le SIC-4H (V)	$U_G(T) = \frac{E_G(T)}{q}$ Et $E_G(T) = 3,26 - 3,3 \times 10^{-4} T$
ϵ_{SIC}	Permittivité du SIC-4H (F/m)	$8,85 \times 10^{-11}$ F/m
μ_n	Mobilité des électrons pour le SIC-4H ($\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$)	$\mu_n = \frac{947}{1 + \left(\frac{N_d}{1,94 \times 10^{17}} \right)^{0,61}} \left(\frac{T}{300} \right)^{-2,15}$

Tableau 3-2: Constantes physiques et propriétés du SIC-4H [RAY 2007, MCN 2007].

Nous présentons directement le modèle standard du canal JFET et les paramètres qui lui sont associés (voir le Tableau 3-3 ci-dessous). Le lecteur pourra se référer à l'annexe 4 s'il souhaite connaître la démarche qui a conduit à l'obtention de ce modèle.

Symbole	Définition (unité d'usage)	Expression
V_{bi}	Tension de diffusion (V)	$V_{bi} = U_G(T) - u_T \ln\left(\frac{N_c N_v}{N_a N_d}\right)$
R_{CH}	Résistance du canal sans charge d'espace (Ω)	$R_{CH} = \frac{L}{2q\mu_n N_d a Z}$
V_p	Tension de pincement (V)	$V_p = \frac{qN_d a^2}{2\epsilon_{SIC}}$
V_{ds}^{sat}	Tension de saturation de drain (V)	$V_{ds}^{sat} = V_p - V_{bi} + V_{gs}$
V_{T0}	Tension de blocage (V)	$V_{T0} = V_{bi} - V_p$

Tableau 3-3 : Synthèse des paramètres utilisés dans le modèle du JFET à canal long symétrique.

Voici le modèle représentant le comportement statique du JFET à canal long symétrique en polarisation directe ($V_{ds} \geq 0$) :

$$I_{ds} = \begin{cases} \text{Si } V_{gs} \leq V_{T0} \\ 0 & \text{(canal ouvert)} \\ \text{Si } (V_{gs} > V_{T0}) \& (V_{ds} < V_{ds}^{sat}) \\ \frac{1}{R_{CH}} \left[V_{ds} - \frac{2}{3} \sqrt{\frac{2\epsilon_{SIC}}{qN_d a^2}} \left(\sqrt{(V_{bi} - V_{gs} + V_{ds})^3} - \sqrt{(V_{bi} - V_{gs})^3} \right) \right] & \text{(zone ohmique)} \\ \text{Si } (V_{gs} > V_{T0}) \& (V_{ds} \geq V_{ds}^{sat}) \\ \frac{V_p}{3R_{CH}} \left[1 - 3 \frac{V_{bi} - V_{gs}}{V_p} + 2 \sqrt{\left(\frac{V_{bi} - V_{gs}}{V_p} \right)^3} \right] & \text{(zone saturée)} \end{cases} \quad \text{Eq 3-1}$$

Où I_{ds} représente le courant drain-source, V_{gs} représente la tension grille-source et V_{ds} représente la tension drain-source.

Les notations suivantes sont parfois adoptées :

$$i_0 = \frac{V_p}{R_{CH}} \quad \text{Eq 3-2}$$

$$\gamma = \frac{V_{bi} - V_{gs}}{V_p} \quad \text{Eq 3-3}$$

$$\nu = \frac{V_{ds}}{V_p} \quad \text{Eq 3-4}$$

$$\delta = \gamma + \nu \quad \text{Eq 3-5}$$

Le modèle peut alors se réécrire sous la forme suivante :

$$I_{ds} = \begin{cases} \text{Si } \gamma \geq 1 & 0 & \text{(canal ouvert)} \\ \text{Si } (\gamma < 1) \& (\delta < 1) & i_0 \left[\nu - \frac{2}{3} (\delta^{1.5} - \gamma^{1.5}) \right] & \text{(zone ohmique)} \\ \text{Si } (\gamma < 1) \& (\delta \geq 1) & \frac{i_0}{3} [1 - 3\gamma + 2\gamma^{1.5}] & \text{(zone saturée)} \end{cases} \quad \text{Eq 3-6}$$

3.1.1.2 Modèle appliqué au JFET SiC deux canaux - Résultats

Mousa dans [MOU 2009] a appliqué le modèle standard du canal JFET (Eq 3-1) au JFET SiC deux canaux. Pour ce faire, il a identifié à partir de résultats expérimentaux obtenus à 25°C deux paramètres du modèle, V_p et R_{ch} . Sur la Figure 3-2, Mousa compare les résultats obtenus en simulation et par l'expérience au niveau de la caractéristique statique d'un JFET en polarisation directe.

Mousa constate alors une différence entre les résultats de simulation du modèle du canal JFET et les mesures. En effet, pour $V_{gs}=0V$, il existe une bonne concordance entre la simulation et l'expérience dans la région ohmique, ce qui n'est pas le cas dans la région de saturation. Pour des valeurs négatives de V_{gs} , l'écart diminue dans la région de saturation et augmente dans la région ohmique (courbe pour $V_{gs}=-8V$).

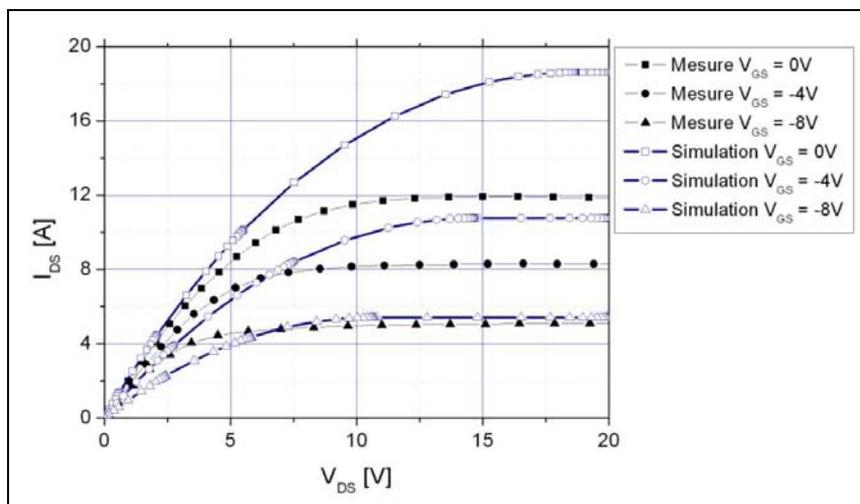


Figure 3-2: Comparaison des résultats de simulation obtenus avec le modèle standard du canal JFET et les résultats expérimentaux obtenus avec un JFET SiC deux canaux de SiCED 1500V-0,5Ω au niveau de la caractéristique statique en polarisation directe à 25°C [MOU 2009].

3.1.2 Modèle SPICE du JFET

3.1.2.1 Modèle statique en polarisation directe

Le modèle statique SPICE du JFET (Eq 3-7) est élaboré à partir du modèle établi par Shichman et Hodges du transistor IGFET (Insulated Gate Field Effect Transistor) qui est un transistor de la famille du MOSFET [SHI 1968, DIM 2006]. Ce modèle alors prévu pour le transistor MOS s'avère être bien représentatif du comportement statique du JFET en polarisation directe ($V_{DS} > 0$), c'est alors un modèle empirique du JFET [DIM 2006].

$$I_{DS} = \begin{cases} \text{Si } V_{GS} - V_{T0} \leq 0 & 0 & \text{(canal ouvert)} \\ \text{Si } 0 < V_{DS} < V_{GS} - V_{T0} & \beta V_{DS} [2(V_{GS} - V_{T0}) - V_{DS}] (1 + \lambda V_{DS}) & \text{(zone ohmique)} \\ \text{Si } 0 < V_{GS} - V_{T0} \leq V_{DS} & \beta (V_{GS} - V_{T0})^2 (1 + \lambda V_{DS}) & \text{(zone saturée)} \end{cases} \quad \text{Eq 3-7}$$

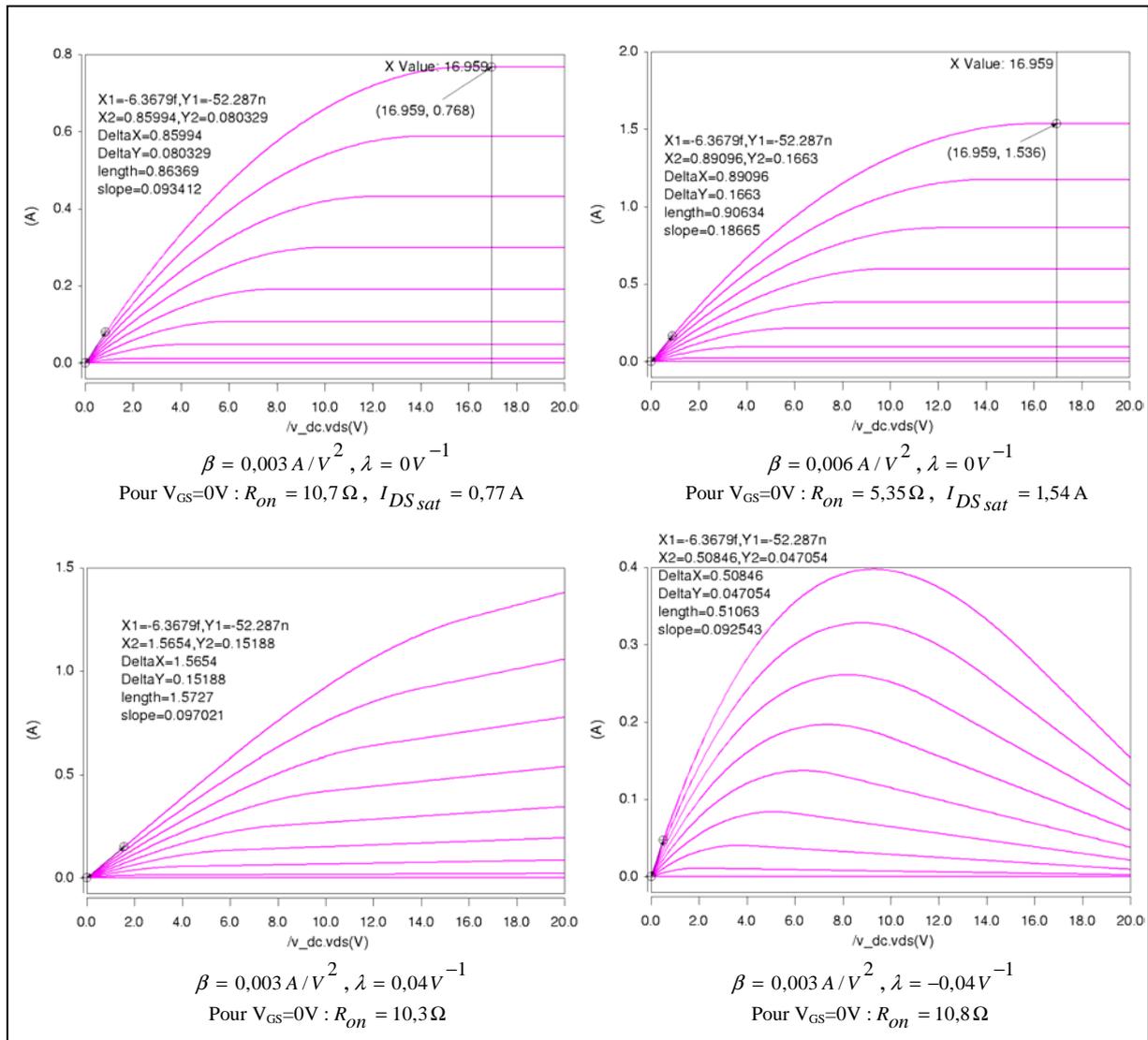


Figure 3-3 : Influence des paramètres λ et β du modèle SPICE sur $I_{DS}=f(V_{DS})$ ($V_{DS} > 0$).

λ est appelé facteur de modulation de la longueur du canal, ce paramètre va jouer sur l'allure du courant de saturation.

β est appelé transconductance, ce paramètre va jouer sur la valeur du courant de saturation et donc sur la résistance à l'état passant.

Pour illustrer notre propos, sur la Figure 3-3 nous présentons quelques courbes de simulation obtenues avec le modèle SPICE implanté sous SABER.

3.1.2.2 Modèle appliqué au JFET SiC deux canaux, Résultats

Mousa dans [MOU 2009] a appliqué le modèle statique SPICE du JFET (Eq 3-7) au JFET SiC deux canaux. Pour ce faire, il a identifié à partir de résultats expérimentaux obtenus à 25°C les deux paramètres du modèle, λ et β . Sur la Figure 3-4, Mousa compare les résultats obtenus en simulation et par l'expérience au niveau de la caractéristique statique d'un JFET en polarisation directe.

Mousa constate alors une bonne concordance entre les résultats de simulation et les mesures dans la région ohmique, ce qui n'est pas le cas dans la région de saturation.

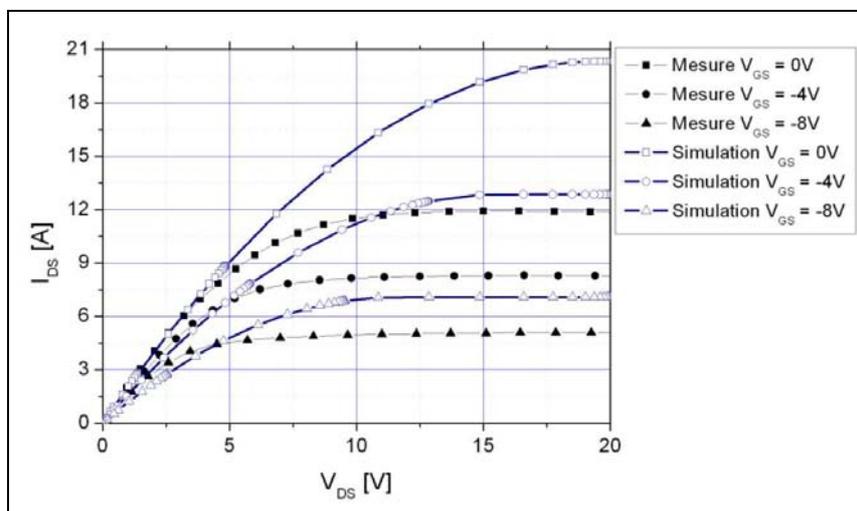


Figure 3-4: Comparaison des résultats de simulation obtenus avec le modèle SPICE du JFET et les résultats expérimentaux obtenus avec un JFET SiC deux canaux de SiCED 1500V-0,5Ω au niveau de la caractéristique statique en polarisation directe à 25°C [MOU 2009].

3.1.3 Modèle statique Version 1 du JFET SiC deux canaux de SiCED

Nous avons qualifié le modèle réalisé par Mousa dans [MOU 2009] et présenté dans cette partie par « modèle statique Version 1 du JFET SiC deux canaux de SiCED », car c'est le premier modèle statique qui intègre des données géométriques propres au JFET SiC développé par SiCED. Par ailleurs, ce modèle s'inspire des deux modèles statiques présentés précédemment.

Nous rappelons sur la Figure 3-5 la structure du JFET utilisée pour la modélisation statique avec les paramètres géométriques principaux qui lui sont associés.

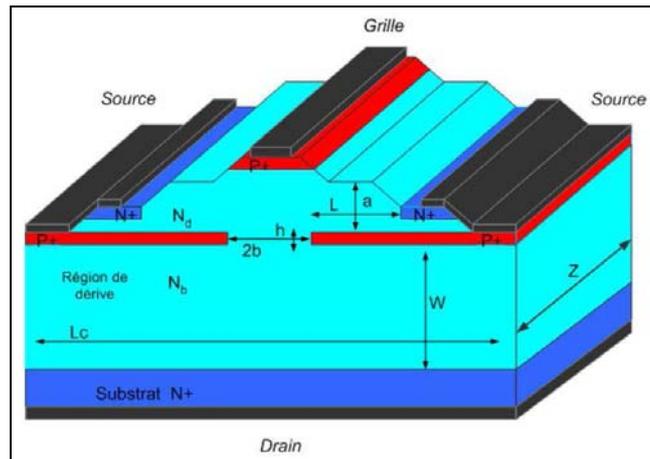


Figure 3-5: Structure d'une cellule du transistor JFET de SiCED avec ses deux canaux et les paramètres principaux utiles à la modélisation [MOU 2009].

Voici les différents paramètres géométriques à considérer :

Le canal latéral se situe entre la couche enterrée P^+ (reliée à la source) et la jonction grille-source, il est caractérisé par les paramètres a , L et N_d avec :

- a : la largeur du canal latéral,
- L : la longueur du canal latéral,
- N_d : la densité de dopage du canal latéral.

Le canal vertical du JFET se situe entre les deux couches enterrées P^+ (reliées à la source), il est caractérisé par les paramètres $2b$, h et N_b avec :

- $2b$: la largeur du canal vertical,
- h : la longueur du canal vertical,
- N_b : la densité de dopage du canal vertical.

La région de dérivation du JFET est caractérisée par les paramètres W et N_b avec :

- W : l'épaisseur de la région de dérivation,
- N_b : la densité de dopage de la région de dérivation (N_b représente à la fois la densité de dopage de la région de dérivation et du canal vertical).

Les deux paramètres L_c et Z représentent respectivement, la largeur active de la cellule et la profondeur de la cellule.

Sur la Figure 3-6 sont représentés les éléments nécessaires à la description du comportement statique du JFET de SiCED en polarisation directe.

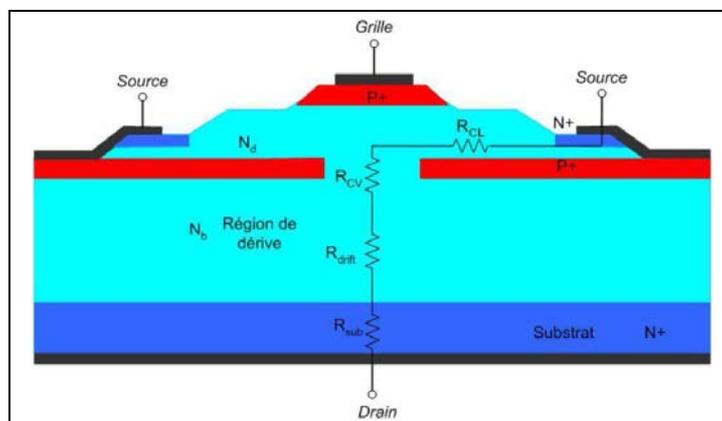


Figure 3-6: Structure d'une cellule du transistor JFET de SiCED avec les éléments nécessaires à la description de son comportement statique en polarisation directe, modèle statique Version 1 [MOU 2009].

Nous distinguons alors les éléments suivants :

- R_{CL} : la résistance du canal latéral modulée par la tension grille-source V_{gs} ,
- R_{CV} : la résistance du canal vertical modulée par la tension drain-source V_{ds} ,
- R_{drift} : la résistance de la région de dérive,
- R_{sub} : la résistance du substrat.

La résistance du substrat ainsi que les résistances externes à la puce (les résistances de métallisations de drain et de source, les résistances de contacts de drain et de source, les résistances des fils d'interconnexion entre le boîtier et la puce et les résistances des pattes de drain et de source) présentent des valeurs faibles et sont souvent négligées. Donc, les composantes principales retenues pour décrire le comportement statique en polarisation directe du JFET SiC de SiCED sont R_{CL} , R_{CV} et R_{drift} .

Voici le modèle associé à chacune de ces composantes :

• Le modèle du canal latéral réalisé par Mousa [MOU 2009] s'inspire des deux modèles précédemment présentés. Il comporte à la fois les paramètres géométriques liés au canal latéral et des paramètres empiriques K_1 , K_2 et K_3 ajoutés pour ajuster le courant de saturation, avec en plus une dépendance avec la température de jonction. Voici le modèle du canal latéral lorsque le JFET est en polarisation directe :

$$I_{ds} = \begin{cases} \text{Si } V_{gs} \leq V_{T0} \\ 0 & \text{(canal ouvert)} \\ \text{Si } (V_{gs} > V_{T0}) \& (K_3 \cdot V_{ds} < V_{ds}^{sat}) \\ \frac{1}{R_{CH}} \left[K_3 \cdot V_{ds} - \frac{2}{3} \sqrt{\frac{1}{K_1 V_p}} \left(\sqrt{(V_{bi} - K_2 \cdot V_{gs} + K_3 \cdot V_{ds})^3} - \sqrt{(V_{bi} - K_2 \cdot V_{gs})^3} \right) \right] & \text{(zone ohmique)} \\ \text{Si } (V_{gs} > V_{T0}) \& (K_3 \cdot V_{ds} \geq V_{ds}^{sat}) \\ \frac{K_1 \cdot V_p}{3R_{CH}} \left[1 - 3 \frac{V_{bi} - K_2 \cdot V_{gs}}{K_1 \cdot V_p} + 2 \sqrt{\left(\frac{V_{bi} - K_2 \cdot V_{gs}}{K_1 \cdot V_p} \right)^3} \right] & \text{(zone saturée)} \end{cases} \quad \text{Eq 3-8}$$

avec $V_{ds}^{sat} = K_1 \cdot V_p - V_{bi} + K_2 \cdot V_{gs}$

R_{CH} , V_{bi} , V_p et V_{T0} ont déjà été définies précédemment dans le Tableau 3-3.

• Le modèle du canal vertical empirique utilisé par Mousa [MOU 2009] est le suivant :

$$R_{CV} = R_{CV0} \left(1 + \tanh \left(\frac{V_{ds}}{V_{PV}} \right) \right) \quad \text{Eq 3-9}$$

Où R_{CV0} représente la résistance du canal vertical en absence de polarisation, elle est définie par :

$$R_{CV0} = \frac{h}{qN_b \mu_n 2bZ} \quad \text{Eq 3-10}$$

Et V_{PV} représente la tension de pincement du canal vertical, elle est définie par :

$$V_{PV} = \frac{qN_b b^2}{2\epsilon_{SiC}} \quad \text{Eq 3-11}$$

• Le modèle de la région de dérive utilisé par Mousa [MOU 2009] est le suivant :

$$R_{drift} = \frac{W}{qN_b\mu_n A_C} \quad \text{Eq 3-12}$$

Où A_C représente la surface active de la cellule, elle est définie par :

$$A_C = Z.L_C \quad \text{Eq 3-13}$$

Remarque :

μ_n , q , et ε_{SiC} ont déjà été définies dans le Tableau 3-3.

Les résultats obtenus avec le modèle réalisé par Mousa [MOU 2009] sont satisfaisants. Sur la Figure 3-7 Mousa compare au niveau de la caractéristique statique en polarisation directe, à 25°C, des résultats de simulation et des résultats expérimentaux. Le comportement du composant au niveau de la région ohmique est bien décrit, il en est de même au niveau de la région saturé.

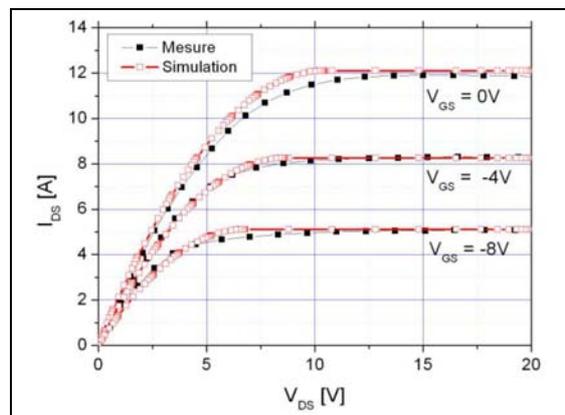


Figure 3-7: Comparaison des résultats de simulation obtenus avec le modèle du JFET SiC deux canaux de SiCED Version 1 et les résultats expérimentaux obtenus avec un JFET SiC deux canaux de SiCED 1500V-0,5Ω au niveau de la caractéristique statique en polarisation directe à 25°C [MOU 2009].

Sur la Figure 3-8 Mousa réalise le même comparatif, mais cette fois-ci à 200°C. Les résultats sont là aussi très satisfaisants.

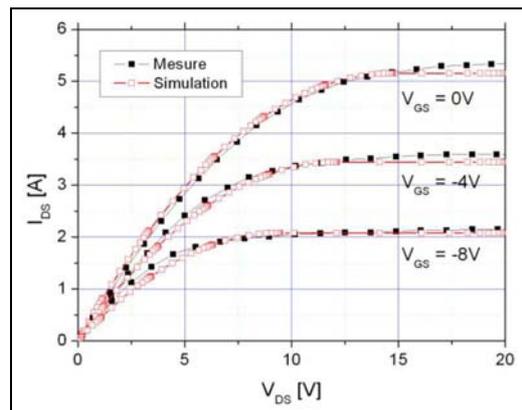


Figure 3-8: Comparaison des résultats de simulation obtenus avec le modèle du JFET SiC deux canaux de SiCED Version 1 et les résultats expérimentaux obtenus avec un JFET SiC deux canaux de SiCED 1500V-0,5Ω au niveau de la caractéristique statique en polarisation directe à 200°C [MOU 2009].

3.1.4 Modèle statique Version 2 du JFET SiC deux canaux de SiCED

Nous avons qualifié le modèle réalisé par Hamieh dans [HAM 2010, HAM 2011] et présenté dans cette partie par « modèle statique Version 2 du JFET SiC deux canaux de SiCED », car c'est le deuxième modèle statique qui intègre des données géométriques propres au JFET SiC développé par SiCED. Par ailleurs, ce modèle contrairement au modèle Version 1 ne comporte pas de paramètre empirique.

Les paramètres géométriques ne seront pas présentés de nouveau ici car ils sont semblables à ceux présentés précédemment sur la Figure 3-5.

Nous introduisons sur la Figure 3-9 le modèle élaboré par Youness Hamieh représentant le comportement statique du JFET SiC deux canaux de SiCED en polarisation directe.

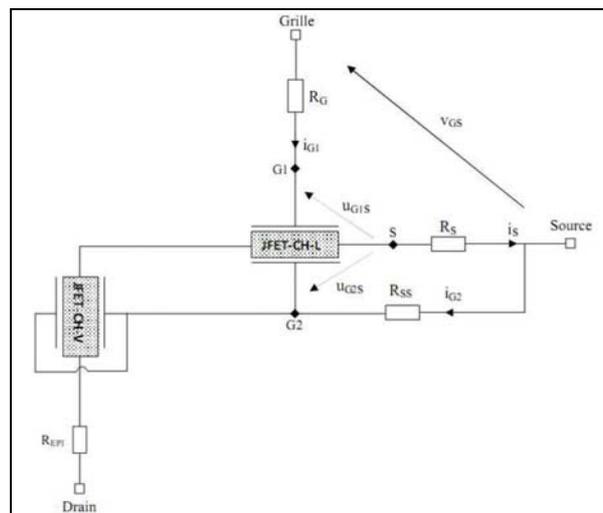


Figure 3-9: Modèle statique Version 2 du JFET SiC deux canaux de SiCED [HAM 2010, HAM 2011].

Où :

- R_{EPI} représente la résistance de dérive du composant, cette résistance a déjà été présentée précédemment dans le modèle Version 1, il s'agissait de R_{drift} ,
- R_G représente la résistance de grille (contact + couche P^+),
- R_S représente la résistance d'accès de source (couche N^+ reliée à la source),
- R_{SS} représente la résistance de la couche P^+ enterrée reliée à la source (résistance qualifiée de mécanique par Hamieh dans [HAM 2011]),
- $JFET\ CH-V$ représente la résistance du canal vertical modulée par la tension drain-source V_{ds} , le canal vertical est considéré ici comme un canal standard JFET,
- $JFET\ CH-L$ représente la résistance du canal latéral modulée par deux tensions de grille U_{g1s} et U_{g2s} , avec $U_{g1s} \neq U_{g2s}$ car le canal latéral est considéré ici comme un canal standard JFET prenant en compte l'asymétrie du canal latéral (voir la Figure 3-10 pour plus de détails).

Sur la Figure 3-10 nous présentons un canal standard JFET incluant l'asymétrie présente dans le JFET de SiCED. Dans un canal JFET standard dit symétrique, les potentiels $G1$ et $G2$ sont ceux de l'électrode de grille G , or pour le JFET de SiCED le potentiel $G1$ est bien celui de l'électrode de grille G , mais le potentiel $G2$ correspond au potentiel ramené par la couche enterrée P^+ (couche reliée à la source). Cette asymétrie a pour conséquence d'étendre les zones de charge d'espace (étendues W_1 et W_2) de manière asymétrique, autrement dit d'avoir une condition de pincement du canal latéral côté drain différente de celle d'un canal symétrique. Autrement dit cela va jouer directement sur le comportement du JFET de SiCED en régime saturé.

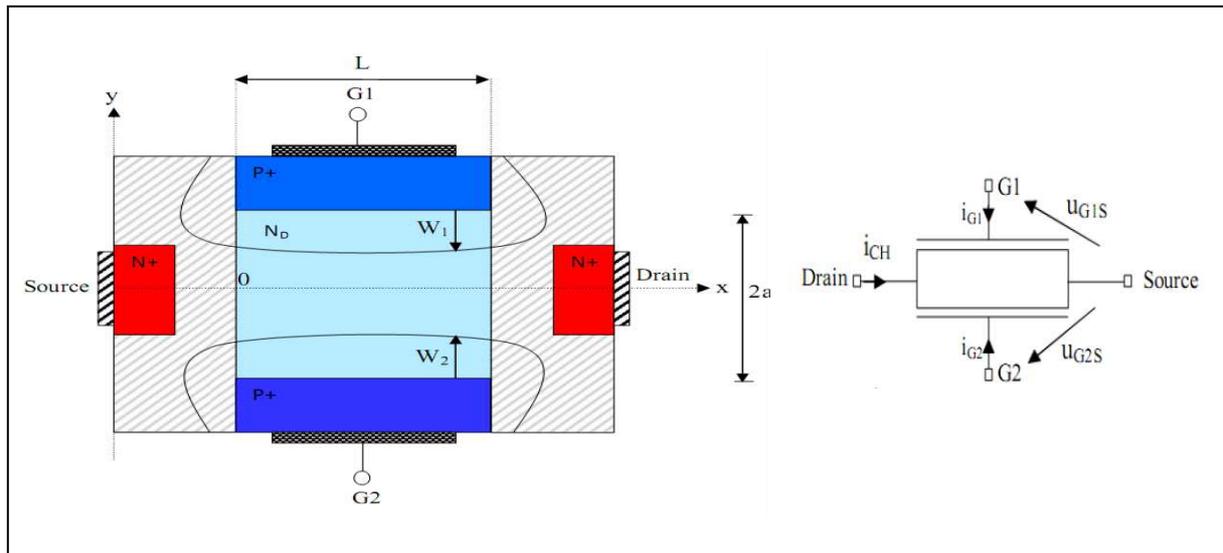


Figure 3-10: Structure du canal standard JFET incluant l'asymétrie observée sur un JFET deux canaux de SiCED à gauche, symbole équivalent à droite [HAM 2010, HAM 2011].

Afin d'être concis, nous ne présenterons pas les équations associées au modèle présenté sur la Figure 3-9 car la plupart ont été introduites auparavant. En ce qui concerne la modélisation du canal latéral du JFET de SiCED avec la prise en compte de son asymétrie, le lecteur pourra se référer aux références suivantes [HAM 2010, HAM 2011] pour la découvrir.

Les résultats obtenus avec le modèle réalisé par Hamieh [HAM 2010, HAM 2011] sont satisfaisants. Sur la Figure 3-11 Hamieh compare au niveau de la caractéristique statique en polarisation directe à 25°C, des résultats de simulation et des résultats expérimentaux. Le comportement du composant au niveau de la région ohmique est bien décrit, il en est de même au niveau de la région saturé (voir la caractéristique de transfert sur la Figure 3-12 pour plus de clarté). Cependant, il reste encore un travail à faire pour décrire au niveau du modèle la phase d'apparition du régime saturé en fonction de la tension grille-source V_{gs} .

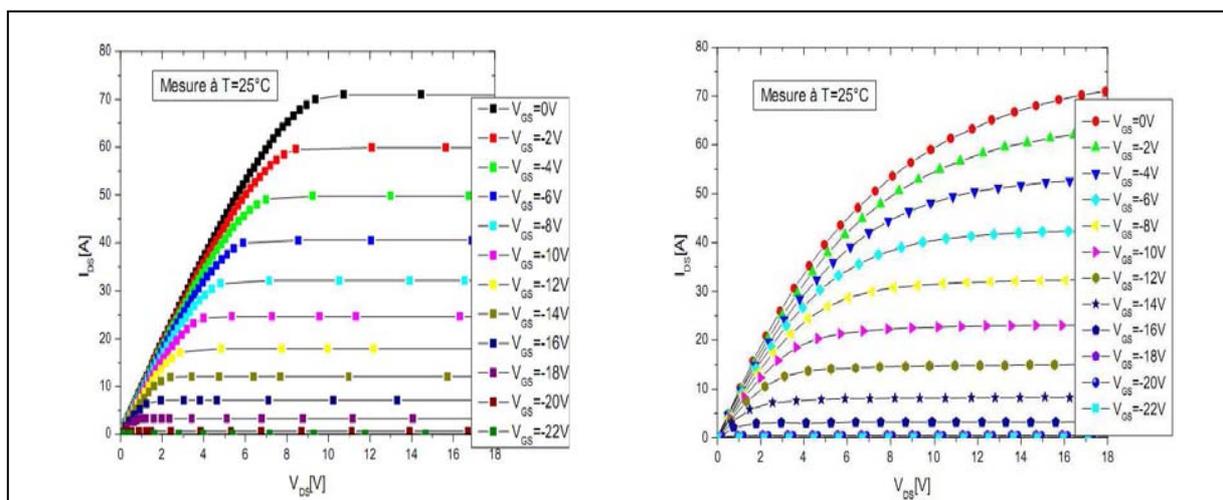


Figure 3-11: Comparaison entre les résultats de simulation (obtenus avec le modèle Version 2) et de mesure de la caractéristique statique en polarisation directe à 25°C du JFET SiC deux canaux de SiCED 1200V-0,1Ω [HAM 2010, HAM 2011].

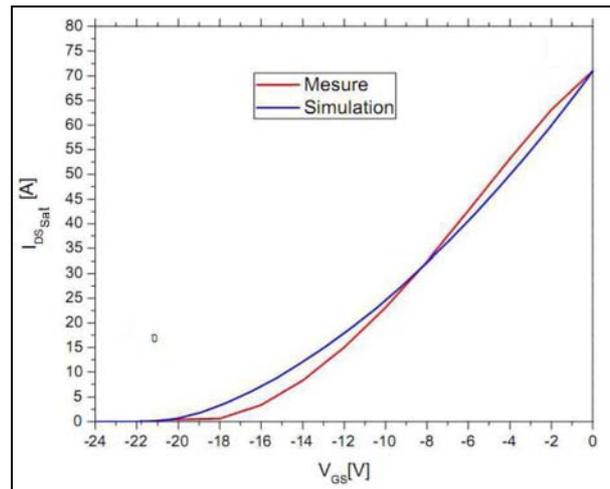


Figure 3-12: Comparaison entre les résultats de simulation (obtenus avec le modèle Version 2) et de mesure de la caractéristique de transfert $I_{ds,sat}=f(V_{gs})$ à 25°C du JFET SiC deux canaux de SiCED 1200V-0,1 Ω [HAM 2010, HAM 2011].

3.2 Modèle du JFET SiC deux canaux employé

Nous précisons que la base du modèle a été élaborée par le laboratoire Ampère et que le laboratoire GREEN au travers du projet SEFORA a contribué à l'amélioration de ce modèle, en particulier en ce qui concerne la partie du modèle représentant le comportement dynamique du JFET SiC deux canaux de SiCED et la partie du modèle qui prend en compte le phénomène de punch-through.

Nous précisons aussi que les résultats de simulation présentés dans ce chapitre ainsi que dans les chapitres 4 et 5 ont été obtenus avec le logiciel SABER, logiciel retenu dans le cadre du projet SEFORA pour effectuer les simulations systèmes [NIE 2009].

3.2.1 Structure du modèle

Le modèle présenté sur la Figure 3-13 et utilisé dans les chapitres 4 et 5 s'inspire du modèle réalisé par Rami Mousa dans [MOU 2009]. Ce modèle décrira les comportements statique et dynamique du JFET SiC deux canaux de SiCED de Type A.

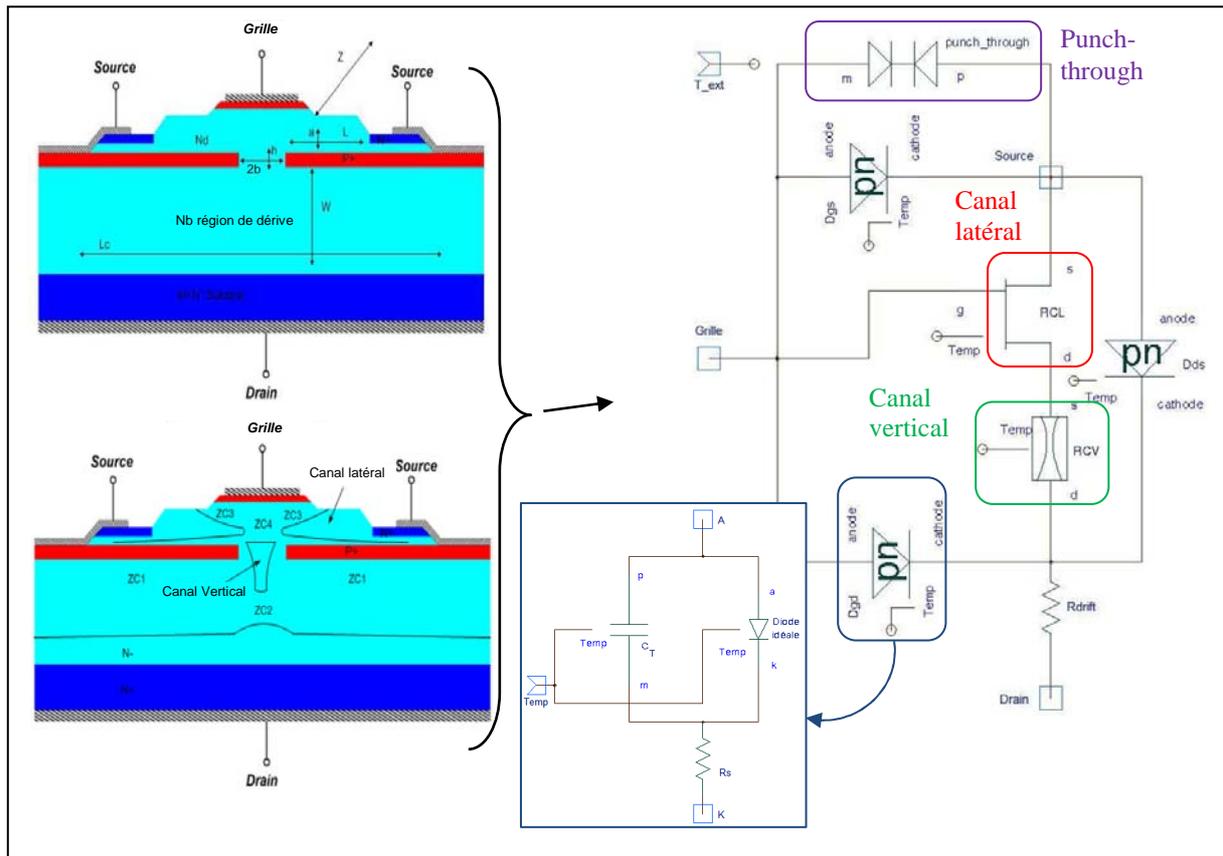


Figure 3-13: Structure d'une cellule du JFET SiC deux canaux et localisation des zones de charge d'espace à gauche [MOU 2009], schéma électrique équivalent du JFET SiC deux canaux à droite (modèle SABER).

Le modèle de la Figure 3-13 que nous avons réalisé sous SABER comporte le modèle du canal latéral (RCL), du canal vertical (RCV) ainsi que de la région de dérivation (*Rdrift*). Par ailleurs, ce modèle SABER intègre les trois jonctions du JFET SiC de SiCED, soit les modèles de la diode drain-source Dds , de la diode grille-drain Dgd et de la diode grille-source Dgs . Chaque diode est représentée par l'équation standard de la jonction PN (diode idéale sur la Figure 3-13) et comporte une résistance série R_s . Le comportement dynamique de la jonction est décrit par l'intermédiaire d'une capacité de transition C_T . Chaque capacité de transition représente physiquement une zone de charge d'espace désignée par ZC sur la Figure 3-13. $ZC1$ est représentée par la capacité de transition C_{ds} de la diode Dds . $ZC3$ est représentée par la capacité de transition C_{gs} de la diode Dgs . Concernant $ZC2$ et $ZC4$ nous faisons l'hypothèse que ces charges d'espace sont représentées par la capacité de transition C_{gd} de la diode Dgd . Pour finir le descriptif sommaire du modèle, nous avons pris en compte le phénomène de punch-through entre les électrodes grille-source par l'intermédiaire d'un modèle simple mais représentatif comme nous le verrons par la suite. Nous lui avons associé comme schéma équivalent sur le schéma électrique de la Figure 3-13 deux jonctions montées à cathode commune, car le phénomène de punch-through se manifeste physiquement entre la couche P^+ reliée à la grille, le canal latéral et la couche P^+ reliée à la source.

Remarque :

- Chaque sous-composant qui constitue le modèle du JFET SiC deux canaux de SiCED sous SABER comporte une entrée appelée $Temp$, car chacun de ces sous-ensembles possède une dépendance avec la température extérieure T_{ext} .
- Le modèle présenté ici ne prendra pas en compte l'auto-échauffement, nous avons alors $T_{ext}=Temp=T$, T étant la température de jonction du JFET.

- Le comportement dynamique du modèle sera validé uniquement pour une température ambiante égale à 27°C, car nous avons effectué des essais en commutation uniquement à cette température.
- Comme nous avons montré que le pic de courant était purement capacitif à 27°C lors du blocage du JFET fonctionnant en mode roue libre sur un bras JFET, nous ne modéliserons pas de phénomène de recouvrement au niveau de la diode Dds .
- Nous faisons l'hypothèse qu'aucun couplage entre les zones de charge d'espace n'existe, ce qui physiquement n'est pas vrai. Par exemple, l'étendue de la zone de charge d'espace $ZC3$ est principalement liée à la tension grille-source Vgs , mais elle est aussi liée à la tension grille-drain Vgd .
- Nous avons simplifié le modèle dynamique proposé par Mousa dans [MOU 2009] au niveau de la prise en compte des deux zones de charge d'espace $ZC2$ et $ZC4$ localisées entre les électrodes grille-drain. Mousa modélise chacune de ces charges d'espace par une capacité de transition et une jonction PN, alors que nous avons proposé de modéliser ces deux zones de charge par l'intermédiaire d'une seule capacité de transition et une seule jonction PN. Nous avons effectué cette simplification pour deux raisons :
 - physiquement il n'y a qu'une seule jonction entre les électrodes grille-drain,
 - la mise en série de deux capacités de transition est équivalente au sens des circuits électriques à n'avoir qu'une seule capacité équivalente.
- La résistance du substrat ainsi que les résistances externes à la puce (les résistances de métallisations de grille, de drain et de source, les résistances de contacts de grille, de drain et de source, les résistances des fils d'interconnexion entre le boîtier et la puce et les résistances des pattes de grille, de drain et de source) présentent des valeurs faibles et seront alors négligées.

Nous présentons dans le Tableau 3-4 les paramètres géométriques liés au JFET SiC deux canaux de SiCED (voir Figure 3-13) utiles à la modélisation de ses comportements statique et dynamique.

Symbole	Définition (unité d'usage)
a	Largeur du canal latéral (μm)
L	Longueur du canal latéral (μm)
N_d	Densité de dopage du canal latéral (cm^{-3})
2b	Largeur du canal vertical (μm)
h	Longueur du canal vertical (μm)
N_b	Densité de dopage du canal vertical et de la région de dérivation (cm^{-3})
W	Épaisseur de la région de dérivation (μm)
Lc	Largeur active de la cellule (μm)
Ags	Aire de la jonction Dgs (cm^2)
Agd	Aire de la jonction Dgd (cm^2)
Ads	Aire de la jonction Dds (cm^2)
T	Température moyenne de jonction (Kelvin)

Tableau 3-4: Paramètres géométriques du JFET SiC deux canaux de SiCED.

3.2.2 Equations liées au comportement statique du JFET deux canaux

Les éléments du modèle liés au comportement statique du JFET deux canaux sont le canal latéral RCL , le canal vertical RCV , la résistance de la région de dérivation $Rdrift$, les trois diodes Dgs , Dgd et Dds et la prise en compte du phénomène de punch-through. Nous allons rappeler ou présenter suivant l'élément considéré le modèle qui lui est associé :

• Le modèle du canal latéral réalisé par le laboratoire Ampère est un modèle intermédiaire entre les modèles Version 1 et Version 2 déjà présentés précédemment. Ce modèle a la particularité de ne comporter qu'un seul paramètre empirique, le paramètre ξ qui permet de prendre en compte l'asymétrie du canal latéral. La base du modèle du canal latéral employé ici lorsque le JFET est en polarisation directe est similaire à celui d'un canal JFET standard (Eq 3-2 à Eq 3-6) auquel le paramètre ξ est introduit. Ce paramètre intervient uniquement au niveau de l'équation Eq 3-3 qui se réécrit alors :

$$\gamma = \frac{V_{bi} - V_{gs}}{\xi V_p} \quad \text{Eq 3-14}$$

Comme le JFET sera utilisé en polarisation inverse au sein d'un bras d'onduleur de tension, nous devons introduire le modèle du canal latéral en polarisation inverse. Le modèle est identique à celui employé pour représenter la caractéristique statique en polarisation directe du JFET, à laquelle il faut ajouter la gestion du signe de la grandeur δ (grandeur qui dépend de V_{ds} voir l'équation Eq 3-5) comme nous le montrons ci-après :

$$\begin{cases} \text{Si } \delta < 0 \\ \delta = -\delta \\ \text{Sinon} \\ \delta = \delta \end{cases} \quad \text{Eq 3-15}$$

Remarque :

Le paramètre empirique ξ est déterminé expérimentalement à l'aide de l'équation Eq 3-14 et lorsque le canal latéral commence à se bloquer, soit lorsque γ vaut 1 et $V_{gs} = V_{T0}$. Nous pouvons alors déterminer ξ par l'équation suivante :

$$\xi = \frac{V_{bi} - V_{T0}}{V_p} \quad \text{Eq 3-16}$$

Par ailleurs, ce paramètre a été identifié pour une température ambiante égale à 27°C.

• Le modèle du canal vertical est identique à celui utilisé par Mousa dans [MOU 2009]. Ce modèle a déjà été présenté précédemment, voir pour rappel les équations Eq 3-9, Eq 3-10 et Eq 3-11.

• Le modèle du comportement résistif de la région de dérivation R_{drift} a déjà été présenté précédemment, voir l'équation Eq 3-12 pour rappel.

• Le comportement statique de chaque diode a été modélisé par l'intermédiaire du modèle standard de la jonction PN. Ce modèle est bien décrit dans [MOU 2009], nous rappelons ces équations ci-dessous. Par ailleurs, nous rappelons sur la Figure 3-14 le schéma électrique représentant le comportement statique de la diode.

$$I_{AK} = I_S \left(\exp\left(\frac{qV_D}{\eta k_B T}\right) - 1 \right) \quad \text{Eq 3-17}$$

Et

$$V_{AK} = V_D + R_S I_{AK} \quad \text{Eq 3-18}$$

Où, η est appelé facteur de non-idéalité de la diode, I_S le courant de saturation et R_S la résistance série de la diode. T , q et k_B ont déjà été définies dans le Tableau 3-1 et le Tableau 3-2 dans ce chapitre.

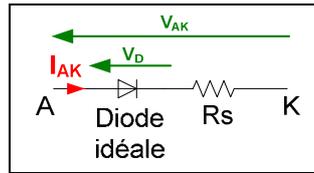


Figure 3-14: Schéma électrique représentant le comportement statique de la diode.

Remarque :

La résistance série R_s de chacune des diodes sera fixée à zéro. Il est à noter que la diode D_{gs} est toujours bloquée (ici nous avons toujours $V_{gs} \leq 0$), donc par conséquent d'un point de vue du comportement statique du JFET cela n'aura aucune influence. Concernant la diode D_{gd} , R_{drift} jouera le rôle de résistance série. Concernant la diode D_{ds} , nous avons fait la même hypothèse que pour la diode D_{gd} .

Nous tenons aussi à souligner que ces résistances séries joueront un rôle important au niveau des commutations puisqu'elles vont jouer sur la constante de temps de charge et de décharge des capacités de transition C_{gs} , C_{gd} et C_{ds} . En ce qui concerne plus particulièrement la résistance série de la diode D_{gs} , elle ne sera pas nulle puisque nous utiliserons le JFET dans la plupart des cas avec une résistance de grille externe placée entre le driver et la grille.

- Nous avons représenté la caractéristique statique représentant le phénomène de punch-through par un modèle simple, il s'agit d'une droite. Nous avons fait ce choix de modélisation car nous n'avons pas le temps de développer un modèle analytique. Le modèle est présenté sur la Figure 3-15. Deux paramètres sont à identifier au niveau de ce modèle, il s'agit de $V_{br,gs}$ et r . L'identification se fera pour une température de jonction donnée.

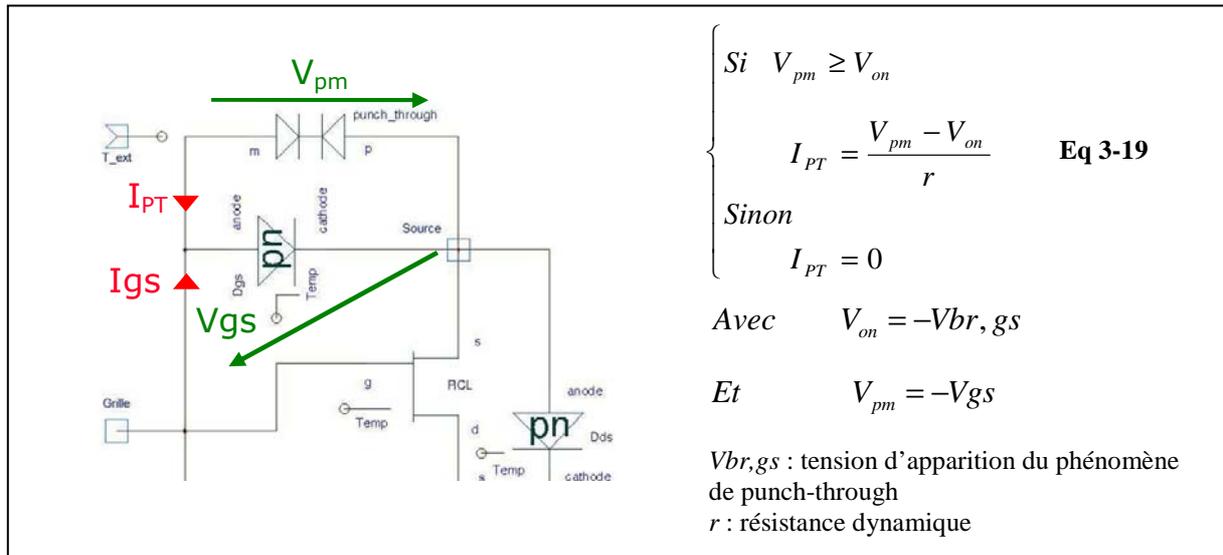


Figure 3-15: Modèle simple représentant le phénomène de punch-through.

3.2.3 Equations liées au comportement dynamique du JFET deux canaux

Les éléments du modèle liés au comportement dynamique du JFET deux canaux sont les trois capacités de transition C_{gs} , C_{gd} et C_{ds} associées à chacune des jonctions, soit respectivement D_{gs} , D_{gd} et D_{ds} . La modélisation des capacités de transition sous SABER est décrite par leur caractéristique non linéaire charge-tension, soit en $Q(V_{CT})$. Q représente la charge ionique positive découverte dans la partie dopée N au niveau de la zone de charge d'espace ZC associée à la jonction considérée. V_{CT} représente la tension aux bornes de la capacité de transition C_T considérée (voir le schéma de la Figure 3-16). Nous rappelons la définition de Q [LEF 2004] :

$$Q(V_{CT}) = qNSw(V_{CT}) \quad \text{Eq 3-20}$$

Avec :

q : la charge élémentaire,

N : la densité de dopage d'atomes donneurs de la ZC considérée,

S : égale à Ags , Agd ou Ads suivant la jonction considérée,

V_{CT} : tension aux bornes de la capacité de transition C_T considérée,

w : l'extension de la ZC considérée côté N qui dépend de la tension V_{CT} .

Nous rappelons l'expression de w :

$$w(V_{CT}) = \sqrt{\frac{2\epsilon_{SiC}(V_{bi} - V_{CT})}{qN}} \quad \text{Eq 3-21}$$

V_{CT} , ϵ_{SiC} , V_{bi} , q et N ont déjà été définis précédemment.

En considérant l'orientation choisie pour le courant capacitif i_{CT} sur le schéma de la Figure 3-16, nous pouvons déterminer l'intensité du courant capacitif i_{CT} à l'aide de l'équation globale de conservation de la charge comme suit :

$$i_{CT} = -\frac{dQ(V_{CT})}{dt} \quad \text{Eq 3-22}$$

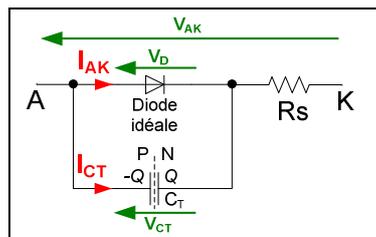


Figure 3-16: Schéma électrique représentant le comportement dynamique de chaque jonction du JFET SiC deux canaux de SiCED.

Remarque :

- L'équation Eq 3-20 est applicable lorsque $V_{CT} \leq V_{bi}$ en raison de la définition de w , si $V_{CT} \geq V_{bi}$ la charge Q est nulle (cela évite les problèmes numériques).
- Les densités de dopage étant fixées (comportement statique du composant), nous pouvons agir uniquement sur les surfaces Ags , Agd et Ads pour modifier si besoin le comportement dynamique du composant. Des calculs théoriques ont été effectués par le laboratoire Ampère ayant ainsi permis d'estimer ces surfaces ; ces surfaces seront ajustées par simulation en se focalisant sur un point de fonctionnement étudié expérimentalement lors de la première phase de caractérisation dynamique présentée dans la partie 2.3.3.1.2 du chapitre 2 (voir la partie qui suit concernant la validation du modèle).

Nous allons maintenant dans les deux parties qui suivent valider les comportements statique et dynamique du modèle que nous venons de décrire.

3.2.4 Validation du comportement statique du modèle

3.2.4.1 Validation en polarisation directe ($V_{ds} \geq 0$) et inverse ($V_{ds} \leq 0$)

Nous présentons sur la Figure 3-17 le schéma de simulation qui nous a permis d'obtenir les caractéristiques en polarisation directe et inverse du JFET de type A obtenues pour une température ambiante de 27°C.

Par ailleurs, nous montrerons une comparaison simulation/expérience établie par le laboratoire Ampère concernant l'évolution de la résistance à l'état passant (désignées par R_{on} ou R_{DSON}) ainsi que des courants de saturation (désignées par I_{ds_sat} , I_{DSSat} ou I_{DSS}) pour une plage de température allant de 27°C à 227°C.

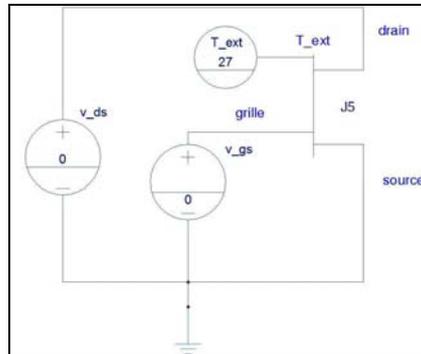


Figure 3-17: Schéma électrique ayant permis d'obtenir en simulation sous SABER les caractéristiques statiques directe et inverse du JFET de type A.

Nous présentons sur la Figure 3-18 une comparaison des résultats obtenus en simulation et par l'expérience de la caractéristique statique en polarisation directe du JFET de type A obtenus pour une température ambiante de 27°C. L'allure générale de la caractéristique obtenue en simulation semble correcte, nous obtenons bien une caractéristique de type pentode. Cependant, l'évolution des courants de saturation en fonction de la tension grille-source V_{gs} observée en simulation diffère de l'expérience surtout pour des tensions V_{gs} faibles (voir les pointillées rouges sur la Figure 3-18). Cela aura pour conséquence d'obtenir en simulation des vitesses de variation au niveau du courant drain-source I_{ds} (désignées par dI_{ds}/dt) différentes de celles observées expérimentalement.

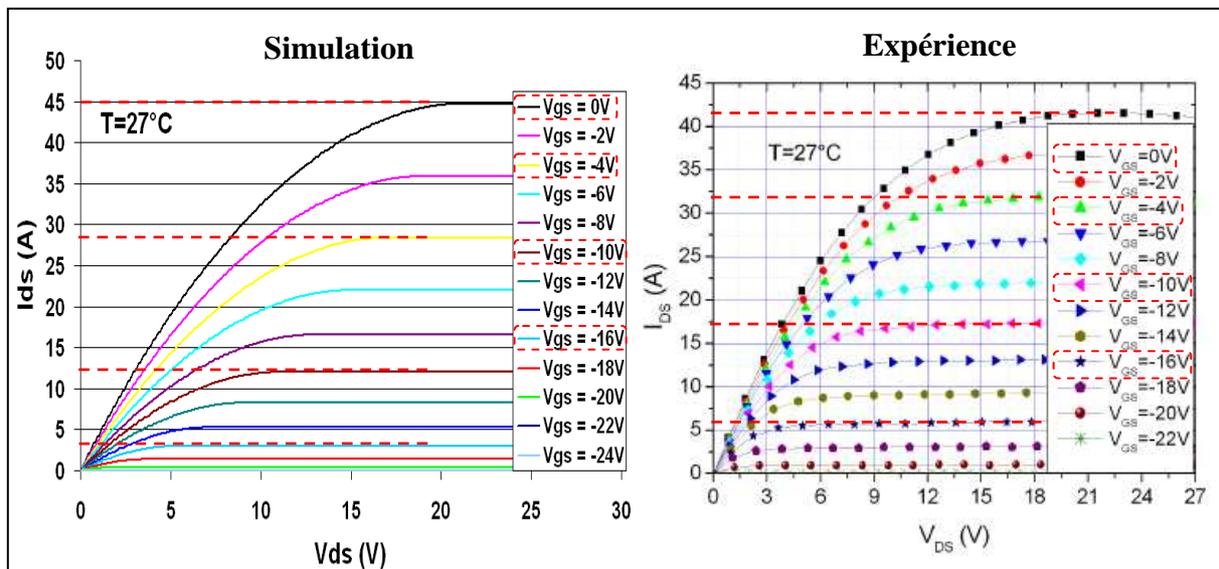


Figure 3-18: Comparaison simulation/expérience de la caractéristique statique directe du JFET de type A à T=27°C, résultats de simulation obtenus avec SABER à gauche, résultats expérimentaux obtenus par Mousa dans [MOU 2007] à droite.

Par contre le régime bloqué observé en simulation est fidèle à l'expérience comme nous le montrons sur la Figure 3-19. La tension de blocage V_{T0} obtenue pour une température ambiante de 27°C en simulation est de -24V environ (avec la méthode directe), et celle obtenue en pratique par le laboratoire Ampère est de -23V environ (avec la méthode indirecte).

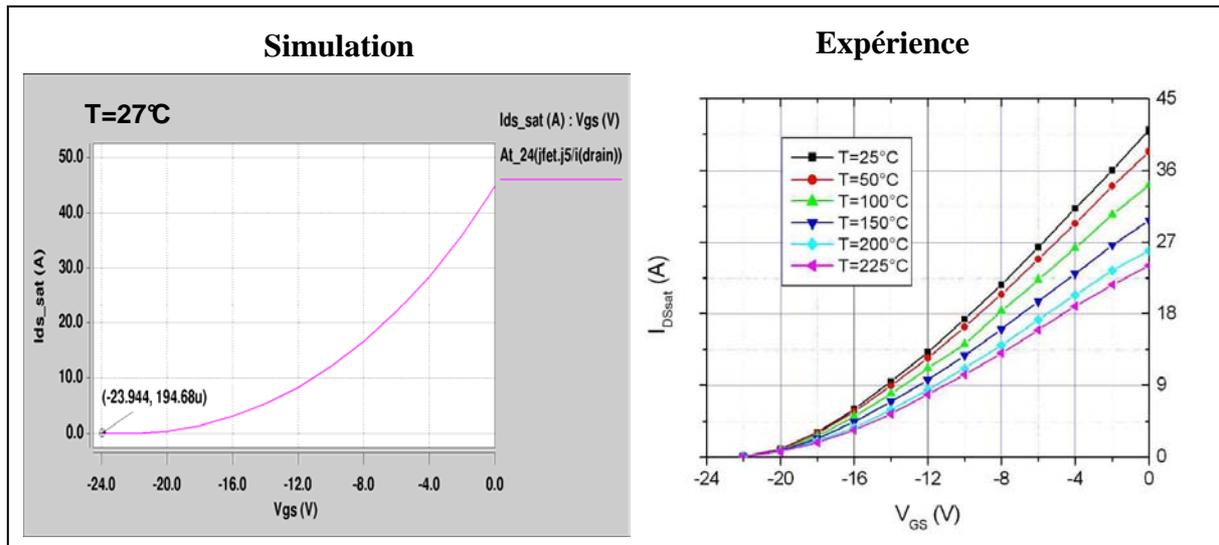


Figure 3-19: Comparaison simulation/expérience de la caractéristique de transfert $I_{ds_sat}=f(V_{gs})$ pour un JFET de type A, résultats de simulation obtenus avec SABER à gauche, résultats expérimentaux obtenus par Mousa dans [MOU 2007] à droite.

En ce qui concerne l'évolution de la résistance à l'état passant R_{DSON} en fonction de la température de jonction T , la comparaison simulation/expérience est bonne (voir la Figure 3-20). Les géométries du canal latéral, du canal vertical et de la région de dérivation sont bien considérées ainsi que l'évolution de la mobilité des électrons pour le SiC-4H en fonction de la température de jonction T (voir le Tableau 3-2). Par ailleurs, nous retrouvons bien en simulation un R_{DSON} d'environ 200mΩ pour une température de 27°C, ce qui montre que nous avons bien affaire ici à un JFET de type A.

En revanche, en ce qui concerne l'évolution du courant de saturation I_{DSS} en fonction de la température de jonction T , la comparaison simulation/expérience est mauvaise (voir la Figure 3-20). Cela est sans doute liée à l'asymétrie du canal latéral qui n'est prise en compte ici que par l'intermédiaire d'un paramètre empirique ξ identifié seulement pour une température égale à 27°C.

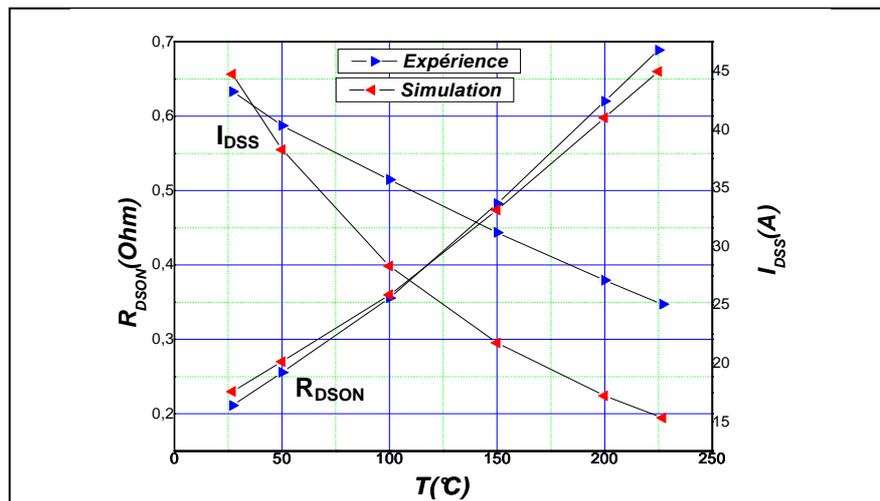


Figure 3-20: Comparaison simulation/expérience de l'évolution de R_{DSON} et d' I_{DSS} en fonction de la température de jonction T pour un JFET de type A, comparaison réalisée par le laboratoire Ampère (résultats obtenus pour $V_{gs}=0V$).

Nous présentons sur la Figure 3-21 une comparaison des résultats obtenus en simulation et par l'expérience de la caractéristique statique en polarisation inverse du JFET de type A obtenus pour une température ambiante de 27°C.

Nous remarquons que le régime linéaire (ou ohmique) est bien représenté lorsque V_{gs} est comprise entre 0 et -20V environ et lorsque V_{ds} est inférieure à la tension de diffusion de la diode D_{ds} ; lorsque

la tension V_{ds} devient supérieure ou égale à la tension de diffusion de la diode D_{ds} , nous observons bien à la fois la conduction du canal latéral et de la diode D_{ds} .

En revanche pour une tension grille source V_{gs} inférieure ou égale à $-24V$ (ellipses rouges sur la Figure 3-21), le régime triode n'est pas observé en simulation, cela est normal puisqu'il n'a pas été modélisé. Nous observons à la place du régime triode directement la conduction de la diode D_{ds} .

Remarque :

- Nous faisons remarquer sur la Figure 3-21 que le comportement statique de la diode D_{ds} en conduction obtenu avec le modèle n'est pas fidèle à l'expérience. Nous avons fait l'hypothèse que R_{drift} jouerait le rôle de résistance série en ce qui concerne la diode D_{ds} . Cette hypothèse s'avère n'être pas tout à fait vraie du fait que la largeur active vu par le courant de conduction de D_{ds} n'est pas L_C , mais plutôt la largeur totale de la cellule à laquelle il faut retrancher L_C .

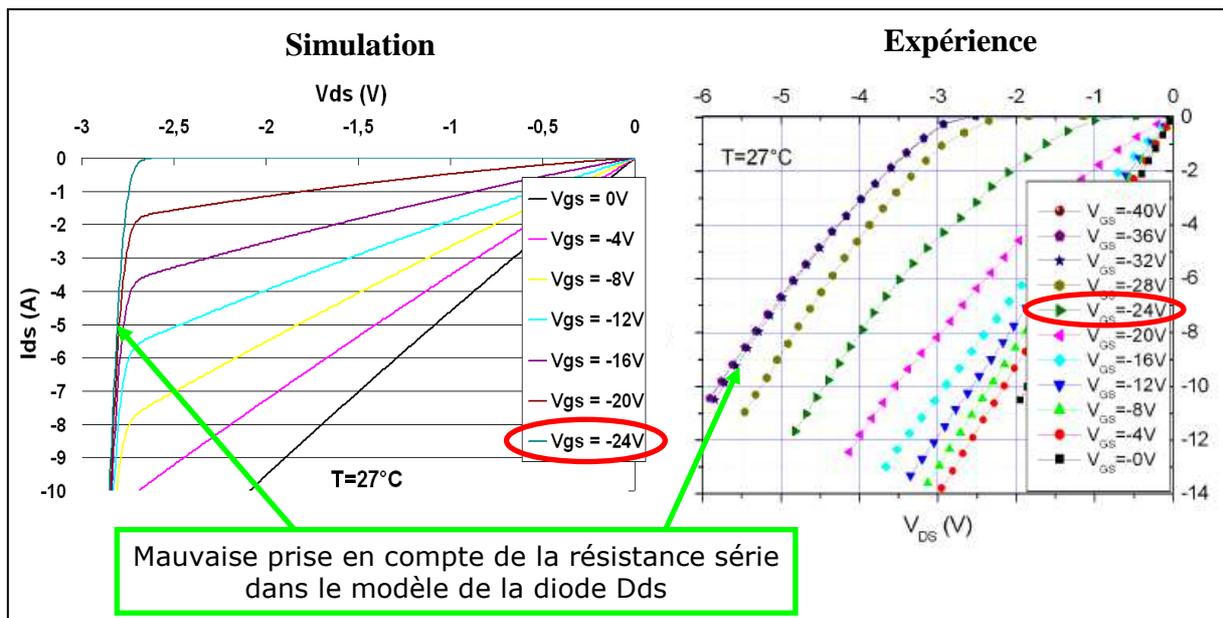


Figure 3-21: Comparaison simulation/expérience de la caractéristique statique inverse du JFET de type A à $T=27^\circ C$, résultats de simulation obtenus avec SABER à gauche, résultats expérimentaux obtenus par Mousa dans [MOU 2007] à droite.

3.2.4.2 Validation du modèle représentant le phénomène de punch-through

Dans un premier temps nous avons à identifier deux paramètres au niveau du modèle présenté sur la figure 2-57, à savoir $V_{br,gs}$ et r . Ces paramètres sont identifiés à partir de la caractéristique $I_g=f(V_{gs})$ comme celle présentée sur la Figure 3-22.

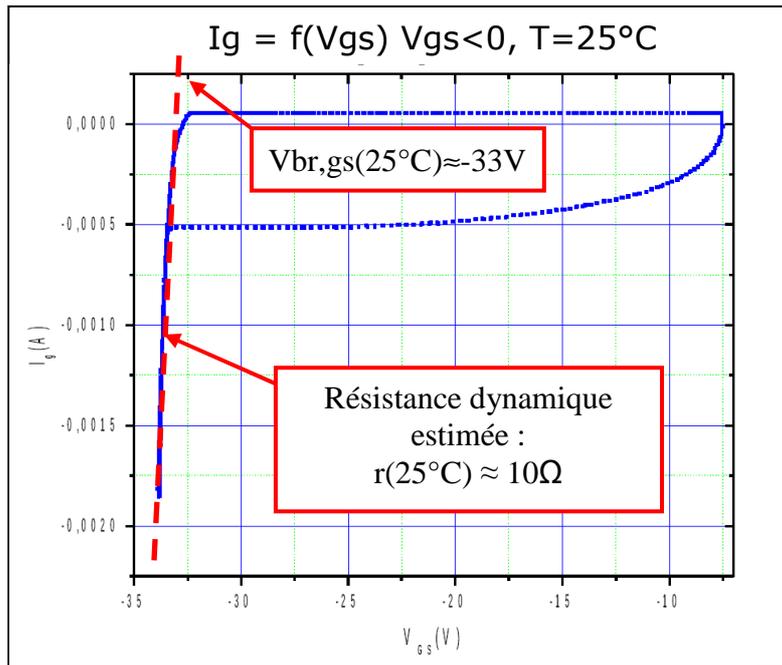


Figure 3-22: Comportement de la grille en polarisation inverse d'un JFET de type A pour une température égale à 25°C, ici $r(25^\circ\text{C})=10\Omega$, $V_{br,gs}(25^\circ\text{C})=-33\text{V}$ et $V_{T0}=-21\text{V}$, caractéristique $I_g=f(V_{gs})$ obtenue par le laboratoire Ampère.

Le JFET caractérisé sur la Figure 3-22 est un JFET de type A ayant une tension d'apparition du phénomène de punch-through $V_{br,gs}$ égale à -33V et une résistance dynamique r de 10Ω. Par ailleurs, ce JFET possède une tension de seuil V_{T0} de -21V. Nous faisons remarquer que le JFET caractérisé ici n'est pas le JFET de type A caractérisé et modélisé jusqu'à présent puisque sa tension de seuil est de -21V contre -24V précédemment. Cela ne pose pas de problème car comme nous le montrerons par la suite dans le chapitre 3, pour la version de type A, $V_{br,gs}$ est 12V en dessous de V_{T0} pour une température égale à 25°C et 8V en dessous de V_{T0} pour une température égale à 250°C. Par conséquent le JFET que nous modélisons aura les caractéristiques suivantes :

V_{T0}	r (25°C et 250°C)	$V_{br,gs}$ (25°C)	$V_{br,gs}$ (250°C)
-24V	10Ω	-36V	-32V

Tableau 3-5: Caractéristiques de la grille du JFET de type A que nous caractérisons et modélisons.

Remarque :

- Comme nous l'avons déjà précisé dans la partie 2.2.2.3.3 du chapitre 2 et rappelé ici, le phénomène de punch-through évolue en fonction de la température de jonction. Étant donné que nous n'avons pas un modèle représentant le phénomène de punch-through qui intègre son évolution en fonction de la température de jonction, dans le modèle SABER, $V_{br,gs}$ sera paramétrée par défaut pour une température de jonction correspondant au pire cas, soit ici 250°C. Nous rappelons au lecteur que cette température correspond à la température de jonction maximum à laquelle le JFET SiC deux canaux de SiCED est susceptible de travailler (voir le Tableau 1 de l'introduction générale). Par ailleurs, c'est à cette température que nous avons le moins de marge entre V_{T0} et $V_{br,gs}$. Par conséquent, la grille du JFET travaillera toujours dans le pire cas même si la température de jonction est inférieure à 250°C.
- Dans le Tableau 3-5 nous indiquons que la résistance dynamique à 25°C est identique à celle obtenue à 250°C. Cela se justifie par le fait que les caractéristiques obtenues pour différentes températures de jonction sont parallèles les unes aux autres lorsque le phénomène de punch-through se manifeste (voir pour illustration la Figure 22 du Chapitre 2 de la thèse de Youness Hamieh [HAM 2011]).

Nous pouvons maintenant présenter les résultats que nous obtenons avec le modèle sous SABER. La caractéristique $I_{PT}=f(V_{pm})$ ou $-I_{gs}=f(-V_{gs})$ obtenue par simulation est représentative du comportement observé expérimentalement, voir la Figure 3-23.

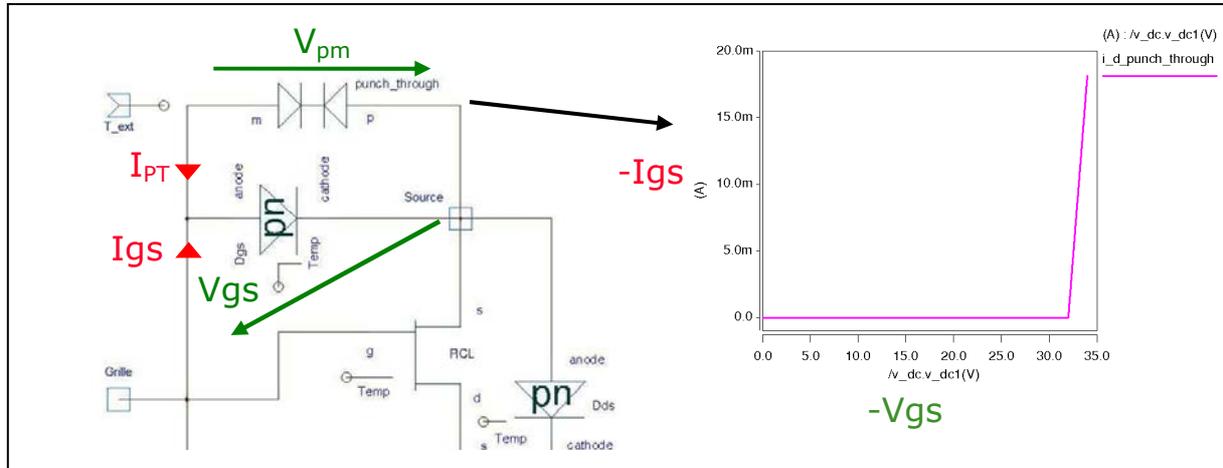


Figure 3-23: Comportement de la grille en polarisation inverse d'un JFET de type A pour une température de jonction égale à 250°C, $r(250^{\circ}\text{C})=10\Omega$, $V_{br,gs}(250^{\circ}\text{C})=-32\text{V}$, caractéristique $-I_{gs}=f(-V_{gs})$ obtenue en simulation sous SABER.

3.2.5 Validation du comportement dynamique du modèle

Nous rappelons que la validation du comportement dynamique s'appuie sur les essais expérimentaux présentés précédemment au chapitre 2, ces essais se sont déroulés en deux phases (voir pour plus de détails la partie 2.3.3.1 pour la première phase et la partie 2.3.3.2 pour la deuxième phase) :

- Phase 1 : Ces essais ont été effectués sur un bras d'onduleur de tension comportant des JFET SiC de type A. Ces JFET ont été caractérisés uniquement en mode roue libre pour cause de problème de casse au niveau de l'onduleur (problème d'alimentation des drivers ayant entraîné la casse de l'onduleur). Ces essais vont permettre l'identification des surfaces A_{gs} , A_{gd} et A_{ds} ainsi que la validation du modèle dynamique du JFET SiC deux canaux pour plusieurs points de fonctionnement en mode roue libre.

- Phase 2 : Afin de compléter la validation du modèle du JFET SiC deux canaux en mode transistor, nous avons effectué une deuxième phase de caractérisation. Nous rappelons que cette seconde phase de caractérisation a été effectuée sur des JFET SiC de type B, par conséquent nous pourrions seulement valider de façon qualitative les formes d'ondes délivrées par le modèle, puisque ce dernier décrit les comportements statique et dynamique du JFET SiC de Type A.

3.2.5.1 Conditions de simulation sous SABER

Les conditions dans lesquelles nous avons effectué les simulations sous SABER vont être présentées. Nous essaierons de nous placer dans des conditions similaires à celles employées pour réaliser les essais expérimentaux.

Nous effectuerons les simulations sur un bras d'onduleur de tension JFET SiC avec le modèle présenté précédemment (voir le bras d'onduleur JFET sur la Figure 3-24).

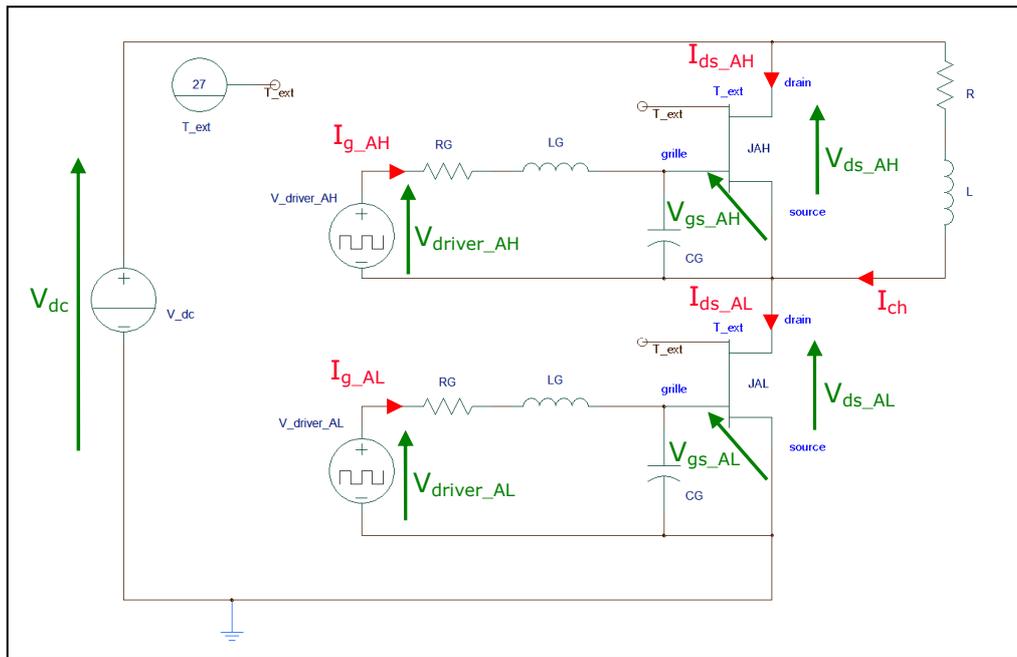


Figure 3-24 : Bras d'onduleur de tension JFET SiC étudié en simulation sous SABER.

Dans le Tableau 3-6 nous présentons les conditions de simulation qui nous ont permis de nous rapprocher des conditions employées lors des essais expérimentaux de la première phase de caractérisation dynamique.

R_G	I_G	C_G	V_{T0}	$V_{br,gs}$ (250°C)	Tension de blocage	Temps mort
19Ω	1,31μH	20nF	-24V	-32V	-26V	500ns (effectif)

V_{dc}	I_{ch}	R	L	Temp.
200V	2A	0,15Ω	1,2mH	27°C

Tableau 3-6 : Conditions de simulation se rapprochant des conditions employées lors des essais expérimentaux de la phase 1.

Dans le Tableau 3-7 nous présentons les conditions de simulation qui nous ont permis de nous rapprocher des conditions employées lors des essais expérimentaux de la deuxième phase de caractérisation dynamique.

R_G	I_G	C_G	V_{T0}	$V_{br,gs}$ (250°C)	Tension de blocage	Temps mort
19Ω	1,31μH	0	-24V	-32V	-26V	500ns (effectif)

V_{dc}	I_{ch}	R	L	Temp.
540V	10A	0,15Ω	1,2mH	27°C

Tableau 3-7 : Conditions de simulation se rapprochant des conditions employées lors des essais expérimentaux de la phase 2.

3.2.5.2 Identification des paramètres et Validation du modèle dynamique du JFET à l'aide des essais expérimentaux de la Phase 1

Comme nous l'avons déjà évoqué précédemment, les paramètres à identifier concernant le modèle dynamique du JFET SiC deux canaux sont les surfaces A_{gs} , A_{gd} et A_{ds} . Ces surfaces ont été dans un premier temps estimées par le laboratoire Ampère, puis nous les avons ajustées en simulation sous SABER en se focalisant sur un point de fonctionnement étudié expérimentalement lors de la première phase de caractérisation dynamique (voir pour rappel la partie 2.3.3.1.2 du chapitre 2). Le point de fonctionnement considéré est le point suivant : $V_{dc}=200V$ et $I_{ch}=2A$. Par ailleurs, ce que nous désignons par ajustement, correspond en fait à réaliser une variation paramétrique au niveau de chacune des surfaces. La variation paramétrique s'achève lorsque les différentes grandeurs mesurées par simulation (les vitesses de variation de tension (dV_{ds}/dt et dV_{gs}/dt) et de courant (dI_{ds}/dt), les pics de tension sur V_{gs} (ΔV_{gs}) ou encore le pic de courant $I_{pic_AH_off}$) coïncident avec celles mesurées expérimentalement pour le point de fonctionnement considéré.

Nous présentons sur la Figure 3-25 un premier comparatif de résultats entre l'expérience et la simulation en ce qui concerne la forme d'onde du courant circulant dans le JFET du bras fonctionnant en roue libre, soit le courant I_{ds_AH} du JFET J_{AH} . Nous constatons que les pics de courant capacitif sont bien représentés en simulation. Cependant les phénomènes d'oscillation ne sont pas observés lors des simulations car des éléments parasites comme des inductances de câblage ne sont pas pris en compte au niveau du bras d'onduleur.

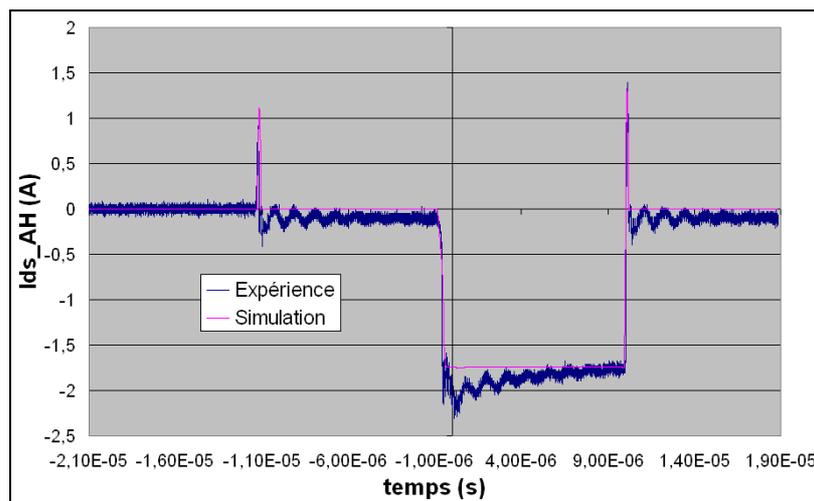


Figure 3-25 : Comparaison simulation/expérience du courant I_{ds_AH} du JFET J_{AH} , $I_{ch}=2A$ $V_{dc}=200V$.

Nous présentons sur la Figure 3-26 un autre comparatif de résultats entre l'expérience et la simulation en ce qui concerne la forme d'onde de la tension de commande du JFET fonctionnant en roue libre, soit la tension grille-source V_{gs_AH} du JFET J_{AH} . Nous constatons que les pics de tension de grille, dus aux fronts de tension de drain répercutés sur la grille par le couplage capacitif C_{gd} sont bien représentés en simulation. C'est ce que nous avons désigné par Interaction Puissance-Commande auparavant. Le comportement de la tension de commande du transistor fonctionnant en roue libre est satisfaisant.

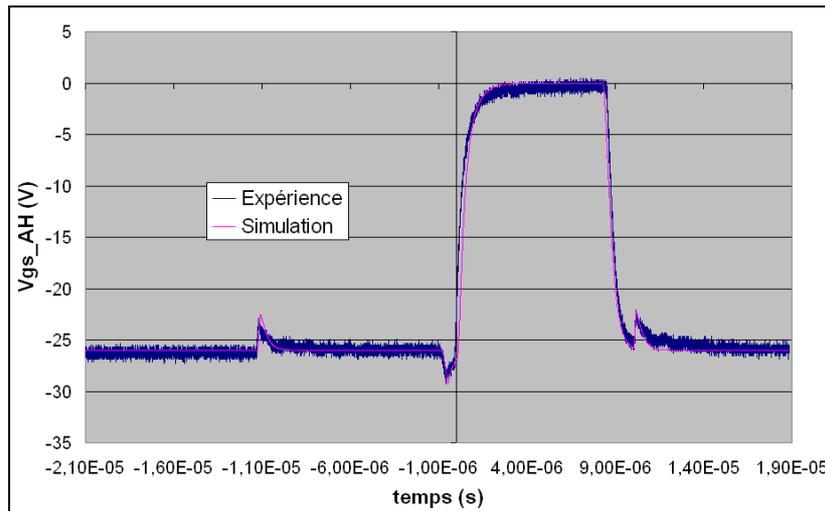


Figure 3-26 : Comparaison Simulation/Expérience de la tension V_{gs_AH} du JFET J_{AH} , $I_{ch}=2A$ $V_{dc}=200V$.

Pour compléter la validation du modèle, une comparaison des principaux résultats expérimentaux et de simulation est présentée dans le Tableau 3-8 pour le point de fonctionnement $I_{ch}=2A$ et $V_{dc}=200V$. Nous remarquons que dans l'ensemble les résultats obtenus avec le modèle SABER représentent de façon satisfaisante le comportement du composant en commutation lors des phases de roue libre.

Cependant, concernant les vitesses de variation du courant I_{ds_AH} obtenues en simulation, nous observons des résultats plus faibles par rapport à l'expérience, en raison d'une moindre précision du modèle pour les faibles valeurs du courant de saturation.

Expérimentation				Simulation			
$\Delta V_{gs_AH_off}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{off}$	$\Delta V_{gs_AH_off}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{off}$
3,4 V	1760 V/ μ s	42 A/ μ s	-21,8 V/ μ s	3,7 V	1683 V/ μ s	20,2 A/ μ s	-22,7 V/ μ s
$\Delta V_{gs_AH_on}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{on}$	$\Delta V_{gs_AH_on}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{on}$
2,6 V	-830 V/ μ s	-22 A/ μ s	13,8 V/ μ s	3,3 V	-711 V/ μ s	-4,1 A/ μ s	14,4 V/ μ s
<u><u>$I_{pic_AH_off}$</u></u>				<u><u>$I_{pic_AH_off}$</u></u>			
1,39 A				1,32 A			

Tableau 3-8 : Comparaison simulation/expérience, $I_{ch}=2A$ $V_{dc}=200V$.

Nous avons testé et validé le modèle SABER en commutation toujours lors des phases de roue libre pour d'autres points de fonctionnement à température ambiante, à savoir :

- différents courants de charge de 0 à 10 A pour une tension de bus fixée à 200 V.
- différentes tensions de bus de 50 à 150 V pour un courant de charge fixé à 10 A.

Par exemple pour le point de fonctionnement $I_{ch}=10A$ et $V_{dc}=100V$, nous obtenons :

Expérimentation				Simulation			
$\Delta V_{gs_AH_off}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{off}$	$\Delta V_{gs_AH_off}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{off}$
2,3 V	1090 V/ μ s	75 A/ μ s	-28 V/ μ s	2,3 V	965 V/ μ s	46 A/ μ s	-21,6 V/ μ s
$\Delta V_{gs_AH_on}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{on}$	$\Delta V_{gs_AH_on}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{on}$
1,9 V	-850 V/ μ s	-42 A/ μ s	19,4 V/ μ s	2,2 V	-908 V/ μ s	-37 A/ μ s	20,1 V/ μ s
<u>I_pic_AH_off</u>				<u>I_pic_AH_off</u>			
0,95 A				1,06 A			

Tableau 3-9 : Comparaison simulation/expérience, $I_{ch}=10A$ $V_{dc}=100V$.

Les résultats de simulation présentés dans le Tableau 3-9 sont aussi en accord avec les résultats obtenus expérimentalement. Si le lecteur souhaite avoir connaissance des comparatifs expérience/simulation effectués aux autres points de fonctionnement, nous l'informons que ces comparatifs sont présentés dans l'annexe 2.

La validation du modèle dynamique du JFET à l'aide des résultats expérimentaux de commutation obtenus lors de la première phase s'achève. Comme nous l'avons déjà évoqué, nous avons validé uniquement le modèle lorsque le JFET fonctionne en mode roue libre. Nous allons poursuivre la validation du modèle, cette fois-ci en intégrant dans cette phase de validation le fonctionnement en mode transistor. Pour ce faire, nous allons nous appuyer sur les résultats expérimentaux de commutation obtenus lors de la phase 2.

3.2.5.3 Validation du modèle dynamique du JFET à l'aide des essais expérimentaux de la Phase 2

Nous présentons sur la Figure 3-27 une comparaison des résultats de commutation du JFET SiC deux canaux obtenus en simulation et par l'expérience pour une température ambiante de 27°C. Les résultats expérimentaux présentés ici sont identiques à ceux présentés dans la Figure 2-42 du chapitre 2, nous les présentons de nouveau afin de faciliter le comparatif au lecteur. Nous rappelons que ce comparatif est qualitatif puisque le modèle représente les comportements statique et dynamique du JFET de type A alors que les essais expérimentaux (deuxième phase d'essais en commutation) ont été réalisés avec un JFET de type B.

Les résultats de commutation obtenus en simulation sont satisfaisants puisque nous retrouvons les formes d'ondes relevées expérimentalement. Cela permet de valider la structure du modèle JFET retenue et en particulier celle qui décrit le comportement dynamique du composant, il s'agit des trois capacités de transition C_{gs} , C_{gd} et C_{ds} .

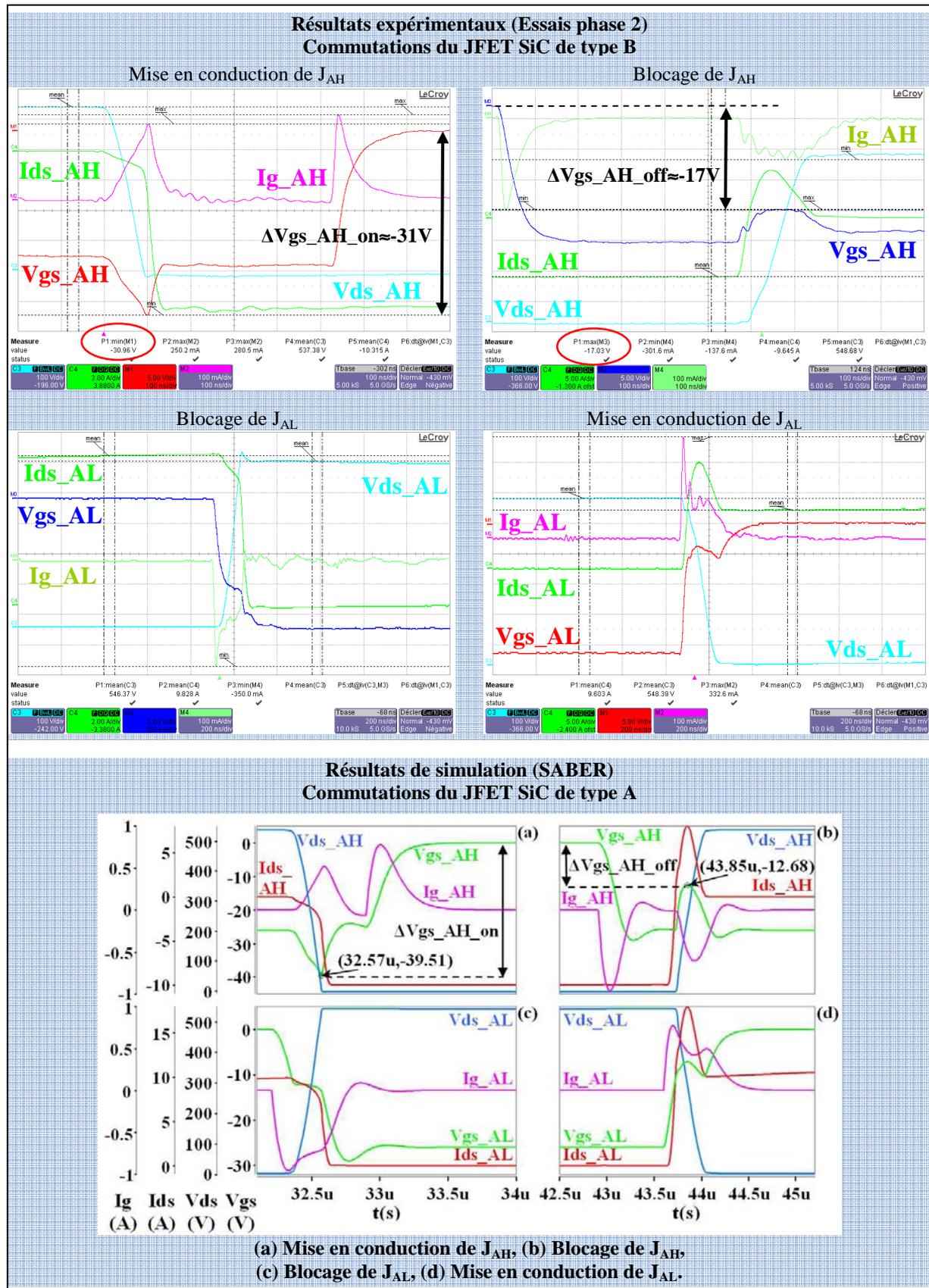


Figure 3-27 : Comparaison simulation/expérience des commutations du JFET SiC de SiCED en mode roue libre (J_{AH}) et en mode transistor (J_{AL}), $I_{ch}=10A$ $V_{dc}=540V$ et $T=27^{\circ}C$.

Nous allons pour clôturer cette partie, compléter les constatations établies dans les parties 2.3.3.1.2 et 2.3.3.2.2 du chapitre 2 sur les formes d'ondes du JFET en commutation fonctionnant en mode roue libre et en mode transistor. Nous allons détailler à l'aide des résultats de simulation la façon dont s'opèrent les couplages capacitifs dans les différentes séquences de commutation du JFET présentées sur la Figure 3-27 (séquences repérées (a), (b), (c), et (d)).

Par ailleurs, pour illustrer les explications qui vont être faites sur ces séquences, nous avons représenté sur la Figure 3-28 un schéma électrique équivalent simplifié du JFET de SiCED nécessaire à la compréhension de ses commutations. En effet, nous avons représenté les trois capacités de transition C_{gd} , C_{ds} et C_{gs} avec leurs courants capacitifs associés. Par ailleurs, nous avons représenté le canal latéral du JFET de SiCED avec son courant associé I_{canal} puisqu'il va jouer un rôle important lors des commutations.

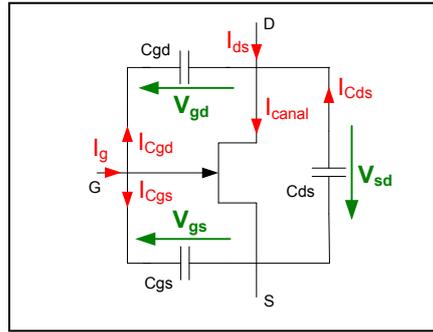


Figure 3-28 : Schéma électrique équivalent simplifié du JFET SiC de SiCED représentant le comportement dynamique.

Avec les conventions tension/courant prises sur la Figure 3-28, les courants capacitifs peuvent être déterminés par les équations suivantes bien connues :

$$i_{C_{gs}} = C_{gs} \frac{dV_{gs}}{dt} \quad \text{Eq 3-23}$$

$$i_{C_{gd}} = C_{gd} \frac{dV_{gd}}{dt} \quad \text{Eq 3-24}$$

$$i_{C_{ds}} = C_{ds} \frac{dV_{sd}}{dt} \quad \text{Eq 3-25}$$

En ce qui concerne le courant de canal I_{canal} , lors des commutations le JFET travaille en régime saturé, par conséquent le courant de canal ne dépend que d'une tension qui n'est autre que V_{gs} . Nous rappelons l'équation du courant de canal en régime saturé :

$$I_{canal} = i_0 \left[1 - 3\gamma + 2\gamma^{1.5} \right] \text{ avec } i_0 = \frac{V_p}{R_{CH}} \text{ et } \gamma = \frac{V_{bi} - V_{gs}}{\xi V_p} \quad \text{Eq 3-26}$$

Séquence (a), mise en conduction de J_{AH} , fonctionnement en mode roue libre ($I_{ds_AH} < 0$) :

Juste avant la mise en conduction de la diode interne D_{ds_AH} de J_{AH} , la variation de tension V_{ds_AH} est répercutée via certaine(s) capacité(s) de transition sur V_{gs_AH} , I_{g_AH} et I_{ds_AH} .

Nous constatons sur V_{gs_AH} une perturbation de grille notée $\Delta V_{gs_AH_on}$ (de signe négatif) qui tend à renforcer le blocage de J_{AH} (problème de punch-through à considérer). L'apparition de cette perturbation peut être justifiée par le raisonnement suivant. Comme nous sommes en présence ici d'une impédance de grille importante, couple (R_G, I_G) , nous pouvons faire l'hypothèse au moment où la variation de tension V_{ds_AH} se produit que :

$$i_{Cgs_AH} \approx -i_{Cgd_AH} \quad \text{Eq 3-27}$$

Et comme nous avons aussi :

$$Vgd_AH \approx -Vds_AH \text{ et } \frac{dVds_AH}{dt} < 0 \quad \text{Eq 3-28}$$

Nous avons alors :

$$i_{Cgs_AH} < 0 \text{ et donc } \frac{dVgs_AH}{dt} < 0 \quad \text{Eq 3-29}$$

D'où la perturbation de tension observée sur Vgs_AH .

Pour résumer, la variation de tension Vds_AH (de signe négative) est répercutée par la capacité Cgd_AH sur Vgs_AH (perturbation de signe négative) ; Vgs_AH sera d'autant plus perturbée que le couple (R_G , l_G) et la tension Vds_AH commutée seront importants (voir la partie caractérisation dynamique du chapitre 2 et le chapitre 4 pour plus de détails à ce sujet).

Nous constatons sur Ig_AH un pic de courant d'une amplitude non négligeable comparée au pic de décharge classique de la grille du JFET. Ce pic de courant qui est positif, a pour origine le pic de courant capacitif positif i_{Cgd_AH} généré par la capacité Cgd_AH lorsque la tension Vds_AH varie. Comme l'équation Eq 3-27 n'est pas tout à fait vérifiée, une partie du courant généré par Cgd_AH va transiter par le driver, d'où le pic de courant observé sur Ig_AH . Par ailleurs, l'amplitude de ce pic de courant sera d'autant plus grande que le couple (R_G , l_G) sera faible et la tension Vds_AH commutée sera importante.

Nous constatons sur Ids_AH l'apparition d'un courant. Ce courant est purement capacitif, il est généré par les capacités de transition Cds_AH et Cgd_AH comme nous allons le démontrer.

Au moment de la variation de tension de Vds_AH (nous rappelons que la diode D_{ds_AH} ne conduit pas de courant pendant cette phase, $I_{AK_Dds_AH}=0$), le courant Ids_AH est défini par :

$$Ids_AH = I_{canal_AH}(Vgs) - (i_{Cds_AH} + i_{Cgd_AH}) \quad \text{Eq 3-30}$$

Comme le canal latéral est bloqué ($Vgs_AH < V_{T0}$), $I_{canal_AH}=0$, nous avons :

$$Ids_AH = -(i_{Cds_AH} + i_{Cgd_AH}) \quad \text{Eq 3-31}$$

Or la variation de tension Vds_AH est négative, les courants i_{Cds_AH} et i_{Cgd_AH} sont positifs, par conséquent durant cette phase le courant Ids_AH est négatif et purement capacitif.

Sur la Figure 3-29, nous illustrons par des résultats de simulation la démonstration qui vient d'être établie.

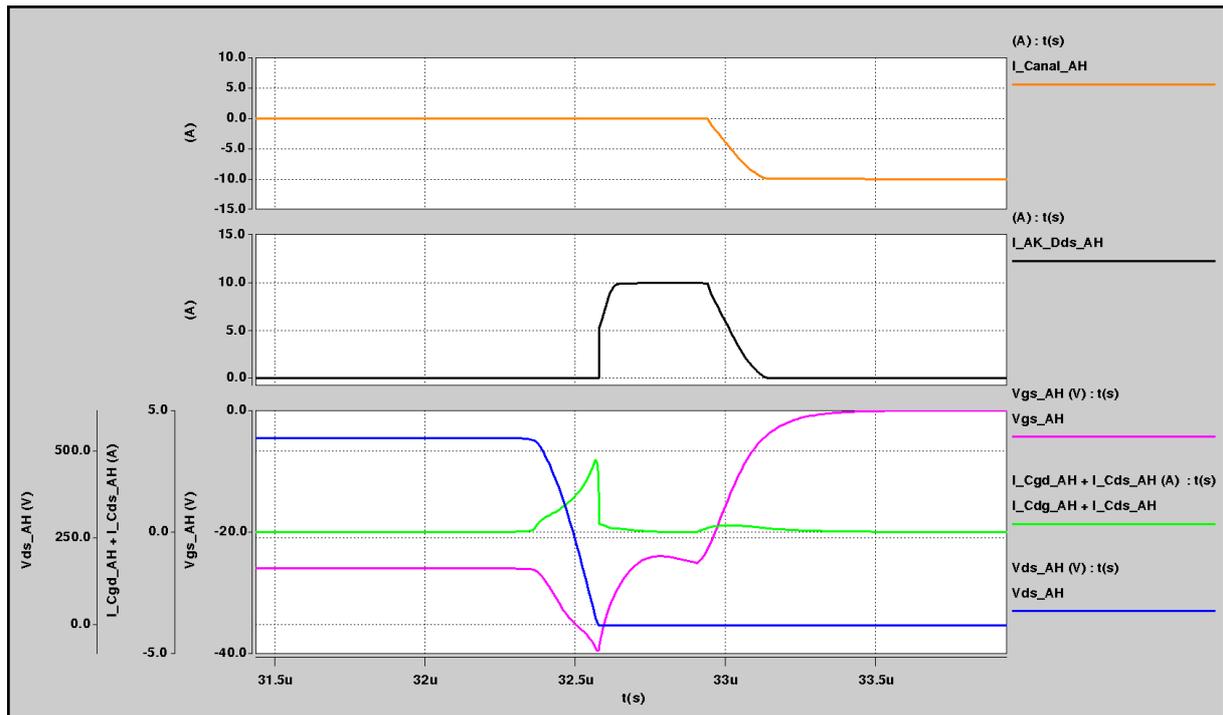


Figure 3-29 : Résultats de simulation, compréhension des commutations du JFET SiC de SiCED, mise en conduction du JFET en mode roue libre (J_{AH}), $I_{ch}=10A$ $V_{dc}=540V$ et $T=27^{\circ}C$.

Séquence (b), blocage de J_{AH} , fonctionnement en mode roue libre ($I_{ds_AH} < 0$) :

Juste après le blocage de la diode interne D_{ds_AH} de J_{AH} , la variation de tension V_{ds_AH} est répercutée via certaine(s) capacité(s) de transition sur V_{gs_AH} , I_{g_AH} et I_{ds_AH} .

Nous constatons sur V_{gs_AH} une perturbation de grille notée $\Delta V_{gs_AH_off}$ (de signe positif) qui tend à faire reconduire J_{AH} (problème de court-circuit à considérer). L'apparition de cette perturbation peut être justifiée par un raisonnement semblable à celui établi lors de la mise en conduction de J_{AH} , sauf qu'ici la variation de tension V_{ds_AH} est positive, d'où la perturbation positive observée sur V_{gs_AH} .

Nous constatons sur I_{g_AH} un pic de courant d'une amplitude non négligeable comparée au pic de charge classique de la grille du JFET. Ce pic de courant qui est négatif, a pour origine le pic de courant capacitif négatif i_{Cgd_AH} généré par la capacité Cgd_AH lorsque la tension V_{ds_AH} varie. Comme l'équation Eq 3-27 n'est pas tout à fait vérifiée, une partie du courant généré par Cgd_AH va transiter par le driver, d'où le pic de courant observé sur I_{g_AH} . Par ailleurs, l'amplitude de ce pic de courant sera d'autant plus grande que le couple (R_G , l_G) sera faible et la tension V_{ds_AH} commutée sera importante.

Nous constatons sur I_{ds_AH} l'apparition d'un pic de courant. Ce pic de courant a pour origines le canal latéral du JFET J_{AH} mais aussi les capacités de transition Cds_AH et Cgd_AH comme nous allons le démontrer.

Au moment de la variation de tension de V_{ds_AH} (pour rappel, la diode D_{ds_AH} ne conduit pas de courant pendant cette phase, $I_{AK_Dds_AH}=0$), nous rappelons que le courant I_{ds_AH} est défini par l'équation Eq 3-30.

Or, contrairement à la mise en conduction de J_{AH} , ici le canal latéral n'est pas bloqué ($V_{gs_AH} > V_{T0}$). Il apparaît alors un pic de courant de signe positif au niveau du canal latéral dont l'allure correspond à l'image de la perturbation observée sur V_{gs_AH} (voir la Figure 3-30).

Par ailleurs, la variation de tension V_{ds_AH} positive engendre des courants capacitifs i_{Cds_AH} et i_{Cgd_AH} de signes négatifs. D'après l'équation Eq 3-30 ces courants capacitifs vont s'ajouter au courant du canal latéral I_{canal_AH} pour former le courant I_{ds_AH} observé sur la Figure 3-27.

Sur la Figure 3-30, nous illustrons par des résultats de simulation la démonstration qui vient d'être établie.

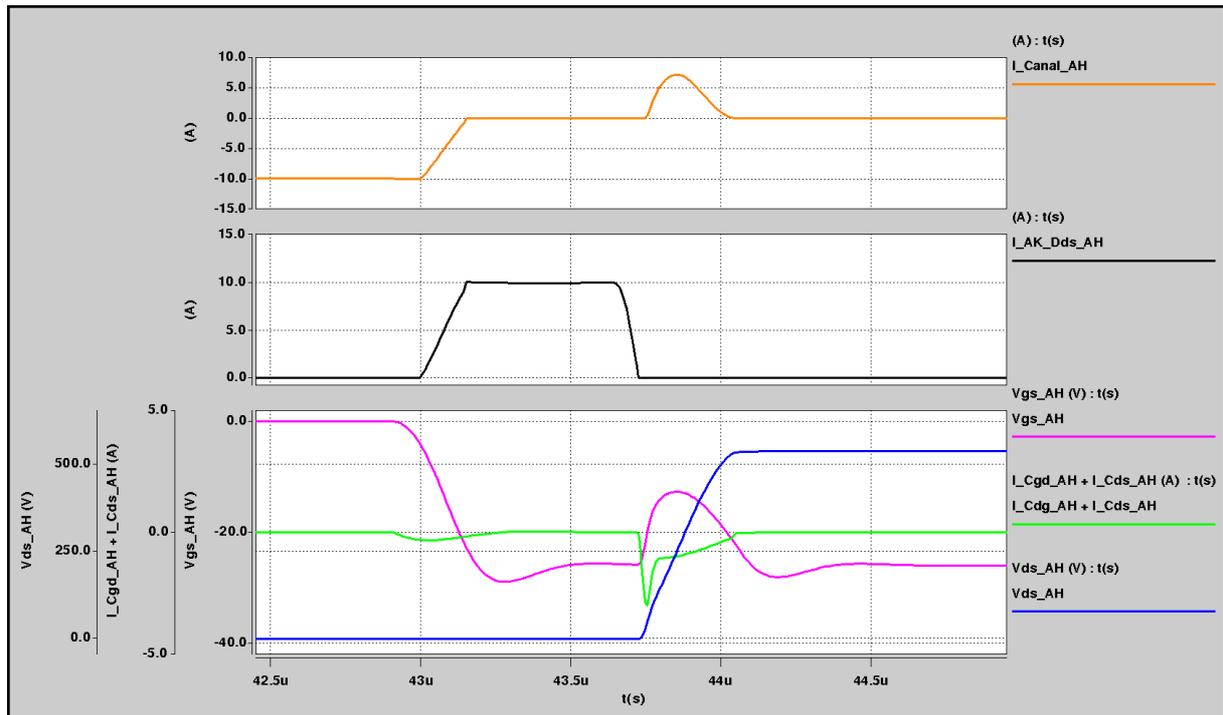


Figure 3-30 : Résultats de simulation, compréhension des commutations du JFET SiC de SiCED, blocage du JFET en mode roue libre (J_{AH}), $I_{ch}=10A$ $V_{dc}=540V$ et $T=27^{\circ}C$.

Séquence (c), blocage de J_{AL} , fonctionnement en mode transistor ($I_{ds_AL}>0$) :

Lorsque le blocage de J_{AL} s'opère, la variation de tension V_{ds_AL} est répercutée via certaine(s) capacité(s) de transition sur V_{gs_AL} , I_{g_AL} et I_{ds_AL} .

Nous constatons sur V_{gs_AL} une perturbation de grille qui tend à faire reconduire J_{AL} (problème non gênant puisque au même instant le blocage de J_{AH} est renforcé, toutefois il faut veiller à ce que le temps mort reste positif, ce qui est bien le cas ici). L'apparition de cette perturbation peut être justifiée par un raisonnement semblable à celui établi lors de la mise en conduction de J_{AH} , sauf qu'ici nous considérons la variation de tension V_{ds_AL} qui est positive, d'où la perturbation observée sur V_{gs_AL} .

Nous constatons sur I_{g_AL} que l'interaction puissance-commande induit une perturbation, une sorte de pic courant, qui augmente la charge à fournir par le driver pour rendre bloqué J_{AH} . Ce pic de courant qui est négatif, a pour origine le pic de courant capacitif négatif i_{Cgd_AL} généré par la capacité Cgd_AL lorsque la tension V_{ds_AL} varie. Pour la même raison évoquée concernant l'effet de l'interaction puissance-commande sur I_{g_AH} , une partie du courant généré par Cgd_AL va transiter par le driver, d'où le pic de courant observé sur I_{g_AL} . Par ailleurs, l'amplitude de ce pic de courant sera d'autant plus grande que le couple (R_G , l_G) sera faible et la tension V_{ds_AL} commutée sera importante.

Nous constatons sur I_{ds_AL} une décroissance lente du courant lorsque la tension V_{ds_AL} varie. Idéalement, si nous considérons uniquement la caractéristique pentode du JFET sans tenir compte des couplages capacitifs, cette décroissance ne doit pas être observée. En effet, lors du blocage d'un JFET fonctionnant en mode transistor, nous devons observer idéalement d'abord la commutation de la tension drain-source V_{ds} puis la commutation du courant drain-source I_{ds} . Dans les faits, cette décroissance a pour origines le canal latéral du JFET J_{AL} mais aussi les capacités de transition Cds_AH et Cgd_AH comme nous allons le démontrer.

Au moment de la variation de tension de V_{ds_AL} , le courant I_{ds_AL} est défini par :

$$I_{ds_AL} = I_{canal_AL}(V_{gs}) - (i_{Cds_AL} + i_{Cgd_AL}) \quad \text{Eq 3-32}$$

Comme le canal latéral n'est pas bloqué ($V_{gs_AL} > V_{T0}$), il apparaît un courant de signe positif au niveau du canal latéral dont l'allure correspond à l'image de la perturbation observée sur V_{gs_AL} (voir la Figure 3-30).

Par ailleurs, la variation de tension V_{ds_AL} positive engendre des courants capacitifs i_{Cds_AL} et i_{Cgd_AL} de signes négatifs. D'après l'équation Eq 3-32 ces courants capacitifs vont s'ajouter au courant du canal latéral I_{canal_AL} pour former le courant I_{ds_AL} observé sur la Figure 3-27.

Sur la Figure 3-30, nous illustrons par des résultats de simulation la démonstration qui vient d'être établie.

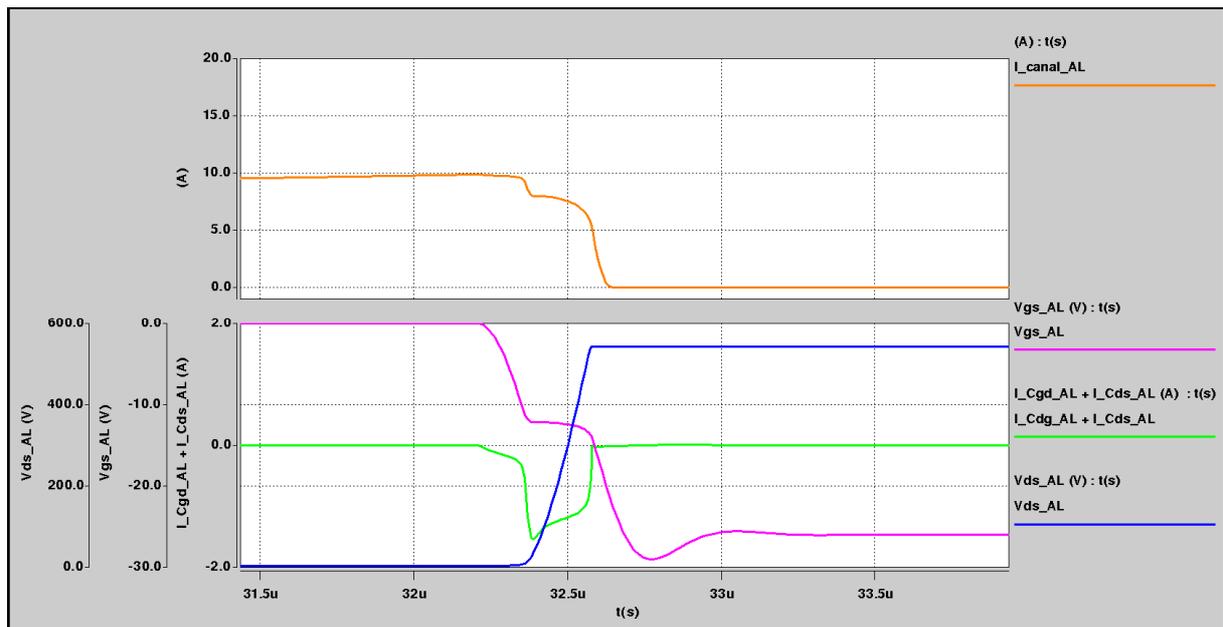


Figure 3-31 : Résultats de simulation, compréhension des commutations du JFET SiC de SiCED, blocage du JFET en mode transistor (J_{AL}), $I_{ch}=10A$ $V_{dc}=540V$ et $T=27^{\circ}C$.

Séquence (d), mise en conduction de J_{AL} , fonctionnement en mode transistor ($I_{ds_AL} > 0$) :

Lorsque de la mise en conduction de J_{AL} , la variation de tension V_{ds_AL} est répercutée via certaine(s) capacité(s) de transition sur V_{gs_AL} , I_{g_AL} et I_{ds_AL} .

Nous constatons sur V_{gs_AL} une perturbation de grille qui tend à bloquer J_{AL} . L'apparition de cette perturbation peut être justifiée par un raisonnement semblable à celui établi lors de la mise en conduction de J_{AH} , sauf qu'ici nous considérons la variation de tension V_{ds_AL} qui est négative, d'où la perturbation observée sur V_{gs_AL} .

Nous constatons sur I_{g_AL} que l'interaction puissance-commande induit une perturbation, une sorte de pic courant, qui augmente la charge à extraire par le driver pour rendre passant J_{AH} . Ce pic de courant qui est positif, a pour origine le pic de courant capacitif positif i_{Cgd_AL} généré par la capacité Cgd_AL lorsque la tension V_{ds_AL} varie. Pour la même raison évoquée concernant l'effet de l'interaction puissance-commande sur I_{g_AH} , une partie du courant généré par Cgd_AL va transiter par le driver, d'où le pic de courant observé sur I_{g_AL} . Par ailleurs, l'amplitude de ce pic de courant sera d'autant plus grande que le couple (R_G , I_G) sera faible et la tension V_{ds_AL} commutée sera importante.

Nous constatons sur I_{ds_AL} un pic de courant lorsque la tension V_{ds_AL} varie. Idéalement, si nous considérons uniquement la caractéristique pentode du JFET sans tenir compte des couplages capacitifs, ce pic ne doit pas être observé. En effet, lors de la mise en conduction d'un JFET fonctionnant en mode transistor, nous devons observer idéalement d'abord la commutation du courant drain-source I_{ds} puis la commutation de la tension drain-source V_{ds} . Dans les faits, ce pic de courant a pour origines le canal latéral du JFET J_{AL} mais aussi les capacités de transition C_{ds_AH} et C_{gd_AH} comme nous allons le démontrer.

Au moment de la variation de tension de V_{ds_AL} , nous rappelons que le courant I_{ds_AL} est défini par l'équation Eq 3-32.

Comme le canal latéral n'est pas bloqué ($V_{gs_AL} > V_{T0}$), il apparaît un courant de signe positif au niveau du canal latéral dont l'allure correspond à l'image de la perturbation observée sur V_{gs_AL} (voir la Figure 3-32).

Par ailleurs, la variation de tension V_{ds_AL} négative engendre des courants capacitifs $i_{C_{ds_AL}}$ et $i_{C_{gd_AL}}$ de signes positifs. D'après l'équation Eq 3-32 ces courants capacitifs vont se retrancher au courant de canal I_{canal_AL} pour former le courant I_{ds_AL} observé sur la Figure 3-27.

Sur la Figure 3-32, nous illustrons par des résultats de simulation la démonstration qui vient d'être établie.

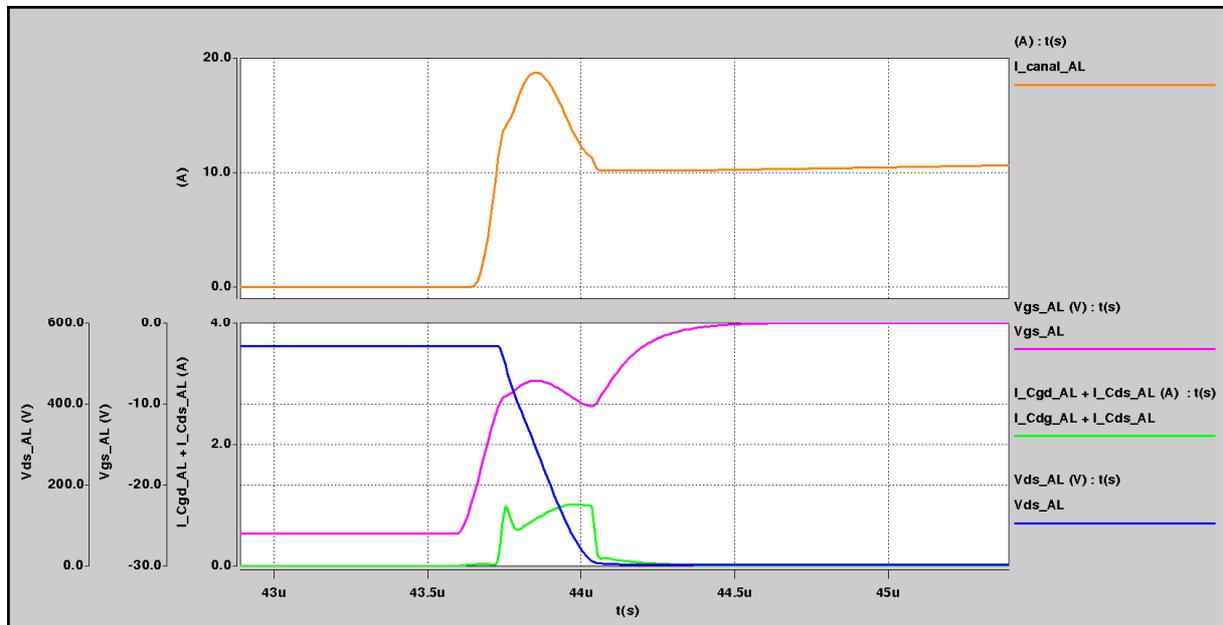


Figure 3-32 : Résultats de simulation, compréhension des commutations du JFET SiC de SiCED, mise en conduction du JFET en mode transistor (J_{AL}), $I_{ch}=10A$ $V_{dc}=540V$ et $T=27^{\circ}C$.

Remarque :

- Nous avons montré le rôle important de la capacité de transition grille-drain C_{gd} dans le comportement dynamique du JFET SiC deux canaux de SiCED. Plus particulièrement nous avons montré que la capacité C_{gd} perturbe la tension grille-source V_{gs} lorsqu'une variation de tension coté drain-source est observée. Nous avons fait remarquer que pour chaque séquence considérée (a), (b), (c) ou (d), la perturbation de grille observée va s'opposer au bon déroulement de la séquence. Autrement dit, si la séquence considérée est la mise en conduction de J_{AL} , nous avons observé lors de la commutation de la tension V_{ds} , une perturbation sur V_{gs} qui tend à bloquer le JFET. C'est pour cela que dans ce manuscrit, nous avons déjà désigné la capacité de transition grille-drain C_{gd} du JFET de SiCED par capacité de contre-réaction.

- Nous avons aussi montré lors du blocage du JFET fonctionnant en mode roue libre (ici J_{AH}) et lors de la mise en conduction du JFET fonctionnant en mode transistor (ici J_{AL}) que le pic de courant observé sur le courant drain-source I_{ds} était dû à différents couplages capacitifs internes au JFET de SiCED. Ce pic de courant est en quelque sorte un courant de court-circuit fugitif qui traverse le bras JFET uniquement pendant l'instant où la tension drain-source V_{ds} de chaque JFET qui constitue le

bras commute. Par ailleurs, ce courant de court-circuit n'est pas destructif puisqu'il est de courte durée (temps de commutation de V_{ds}) et qu'il est limité par la caractéristique interne du JFET (caractéristique pentode + capacités de transition). En revanche, lors du blocage du JFET fonctionnant en mode roue libre, nous devons veiller à ce que la perturbation de grille qui tend à faire reconduire ce JFET soit minimisée sous peine d'observer un courant de court-circuit permanent après l'instant où la tension V_{ds} aura commuté.

3.3 Conclusion

Dans ce chapitre nous avons présenté des résultats de modélisation du JFET SiC deux canaux de SiCED qui viennent compléter entre autres les travaux de thèse de Mousa [MOU 2009] et d'Hamieh [HAM 2011].

Nous avons établi tout d'abord un état de l'art concernant les modèles représentant le comportement statique du JFET, allant du modèle d'un canal JFET standard, appelé aussi canal long symétrique, aux différents modèles existants d'un canal JFET non standard, le canal latéral long asymétrique du JFET SiC de SiCED. Nous avons mis en évidence la difficulté de prendre en compte cette asymétrie dans un modèle, asymétrie qui joue un rôle important en particulier sur la caractéristique statique en polarisation directe du JFET, puisqu'elle va influencer l'allure de cette caractéristique en régime saturé.

Nous avons ensuite présenté le modèle du JFET SiC deux canaux que nous avons retenu, dont la base fut réalisée par le laboratoire Ampère. Ce modèle s'inspire de la thèse de Rami Mousa [MOU 2009] et n'est pas la version la plus aboutie, en particulier au niveau du modèle du canal latéral. Le modèle employé ici est un modèle pseudo-physique qui intègre un paramètre empirique pour prendre en compte l'asymétrie du canal latéral. Par ailleurs, nous avons apporté une simplification au niveau du modèle de Mousa concernant la prise en compte des charges d'espaces situées entre grille et drain, qui est désormais modélisée par une seule capacité de transition. Nous avons par ailleurs intégré un modèle simple mais représentatif du phénomène de punch-through.

Les résultats de simulation obtenus pour une température ambiante égale à 27°C au niveau de la partie statique et de la partie dynamique sont globalement satisfaisants, validant ainsi la structure du modèle et en particulier la structure à trois capacités de transitions proposées. Toutefois, nous avons montré que la structure employée au niveau du modèle qui représente le comportement statique du JFET de SiCED et en particulier celui du canal latéral montre ses limites lorsque le JFET travaille en régime saturé, engendrant des erreurs de précision au niveau des courants de saturation.

Des points restent également à regarder ou à améliorer concernant le modèle du JFET SiC deux canaux de SiCED. Nous considérons ici à la fois la version retenue mais aussi la version proposée par Hamieh dans [HAM 2011] :

Il faut intégrer un modèle physique qui prend en compte le régime triode (conduction du JFET en polarisation inverse, $V_{ds} < 0$). Par ailleurs, la résistance série de la diode D_{ds} doit être prise en compte afin d'obtenir une caractéristique statique en polarisation inverse du JFET représentative. Il faut améliorer le modèle représentant le phénomène de punch-through et le remplacer par un modèle physique ayant une dépendance avec la température de jonction. L'auto-échauffement doit être intégré dans le modèle.

Enfin, les comportements statique et dynamique doivent être validés sur une plage de température de jonction allant de -55°C à $+250^{\circ}\text{C}$ pour répondre aux besoins du projet SEFORA.

CHAPITRE 4

SOLUTIONS POUR MINIMISER L'INTERACTION PUISSANCE – COMMANDE AU SEIN D'UN ONDULEUR DE TENSION A BASE DE JFET SIC

Ce quatrième chapitre va porter sur la présentation de solutions qui peuvent être mises en œuvre afin de minimiser l'Interaction Puissance Commande (IPC) au sein d'un onduleur de tension à base de JFET SiC deux canaux de SiCED.

Nous tenons à rappeler que les études qui vont être menées dans ce chapitre découlent des observations faites dans le chapitre 2 lors du descriptif des commutations du JFET sur un bras d'onduleur de tension, et en particulier celui qui fonctionne en mode roue libre. En effet, nous avons montré que l'IPC sur la tension de commande grille-source de ce transistor pouvait engendrer le fonctionnement de la grille du JFET en régime de fonctionnement sévère, le régime punch-through (apparition d'un courant non contrôlé dans la grille pouvant entraîner la casse de cette dernière) ou encore causer une possible remise en conduction du bras. Par conséquent, les solutions qui vont être présentées dans ce chapitre vont avoir un rôle de sécurisation vis-à-vis du JFET et de l'onduleur.

Après cette brève introduction, voici comment ce troisième chapitre va se dérouler :

Dans une première partie, nous rappellerons la structure du composant utilisé, celle du JFET SiC deux canaux de SiCED, la problématique liée à la polarisation inverse sévère de la grille, c'est-à-dire lorsque le phénomène de punch-through apparaît. Pour terminer cette partie, nous rappellerons aussi les courbes de commutations du JFET fonctionnant en roue libre au niveau d'un bras d'onduleur de tension.

Dans une deuxième partie, nous présenterons les solutions qui vont permettre de minimiser l'IPC. Ces solutions seront en général étudiées et optimisées par simulation puis validées expérimentalement. Dans cette partie, les solutions proposées seront mises en œuvre au sein d'un bras d'onduleur de tension en employant la méthode dite du double pulse (méthode présentée au chapitre 2 permettant de tester le bras JFET sur 2 commutations consécutives). Nous comparerons les solutions présentées au travers d'une synthèse à la fin de cette deuxième partie.

Dans la troisième et dernière partie, nous poursuivrons la validation de certaines solutions présentées dans la deuxième partie de ce chapitre, mais cette fois-ci elle sera réalisée uniquement sur un banc expérimental, qui sera un pont en H à base de JFET SiC piloté en MLI. Ces essais permettront d'éprouver les solutions retenues lorsque des commutations répétées se produisent.

Nous tenons à préciser que pour pouvoir effectuer les expérimentations évoquées précédemment, nous avons réalisé différents bancs d'essais à la fois au laboratoire GREEN et au sein de la société Hispano-Suiza sur le site de Réau. Ces bancs seront bien entendu présentés dans le présent chapitre. Par ailleurs, nous tenons à rajouter que les travaux ont été effectués dans le cadre du projet SEFORA en collaboration entre les laboratoires GREEN, Ampère et SATIE, ainsi que la société Hispano-Suiza.

4.1 Interaction Puissance – Commande (IPC), Présentation du problème

4.1.1 Rappel du comportement de la grille du JFET SiC deux canaux en polarisation inverse – Phénomène de punch-through

Nous rappelons sur la Figure 4-1 la structure cristalline du JFET SiC deux canaux de SiCED avec son schéma électrique équivalent associé représentant le comportement statique (générateur de courant côté drain-source modulé par V_{gs}) et dynamique (diode + capacité de transition associée entre chaque paire d'électrodes). Ainsi cela permettra au lecteur de pouvoir localiser les différents constituants du composant qui seront utiles à la compréhension des différents points abordés dans ce chapitre.

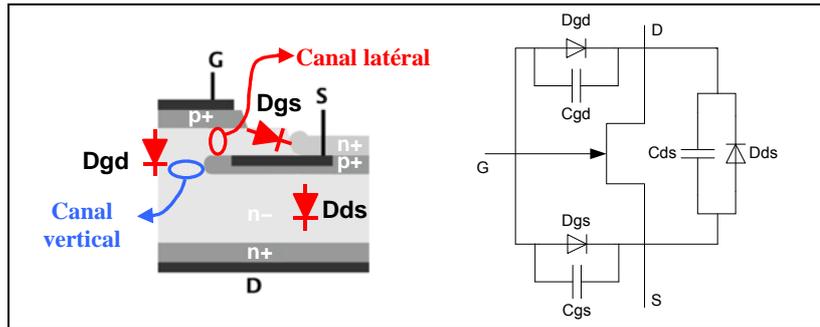


Figure 4-1 : Demi-cellule du JFET SiC (à gauche), schéma électrique équivalent simplifié (à droite).

Pour bloquer le JFET, la diode D_{gs} (voir Figure 4-1) doit être polarisée en inverse. D_{gs} est une diode $P^+N^-N^+$ et, à partir des propriétés physiques et géométriques du « Vertical » JFET 1200V présenté dans [FRI 2000], nous pouvons estimer la tension de claquage par avalanche de cette jonction. En supposant que l'épaisseur de la zone N^- qui tient la tension en polarisation inverse soit aux alentours de $4\mu m$, la tension estimée de claquage par avalanche de la jonction D_{gs} est alors de 200V. Par conséquent, lorsqu'une tension négative et significative est appliquée entre grille et source pour bloquer D_{gs} (légèrement en dessous de la tension de seuil du JFET V_{T0} , voir la tension d'apparition du phénomène de Punch-through $V_{br,gs}$ Figure 4-2, tension aussi désignée dans ce chapitre par « tension de claquage de grille ») nous ne pouvons pas assimiler l'apparition d'un courant de grille dû au phénomène d'avalanche mais dû au phénomène de Punch-through (champ électrique traversant en français) [TRE 2007, BER-4 2009, BER-4 2010, BER-1 2010, HAM 2010]. Ce phénomène apparaît du côté de la couche enterrée P^+ qui est connectée à la source du JFET. Il est à préciser que ce courant dû au phénomène de punch-through est un courant non contrôlé qui peut entraîner la casse de la grille par effet thermique si rien n'est fait (points détaillés par la suite à considérer : Interaction Puissance-Commande – impédance de grille – circuit d'attaque de grille – refroidissement des puces).

Pour compléter les résultats du chapitre 2 et pour rappeler la problématique du choix de la tension de blocage des drivers, nous présentons sur la Figure 4-2 la caractérisation de la grille effectuée par le laboratoire Ampère sur 46 échantillons JFET SiC de type A (puces 1200V–0,2Ω–2,4mm*2,4mm) en polarisation inverse et pour des températures allant de 25°C jusqu'à 250°C. La tension de seuil V_{T0} ainsi que la tension d'apparition du phénomène de punch-through $V_{br,gs}$ sont mesurées suivant un protocole expérimental similaire à celui présenté au chapitre 2 lors de la caractérisation statique du JFET SiC de Type B. Comme nous pouvons le constater, il apparaît une marge de 8V entre V_{T0} et $V_{br,gs}$ à 250°C. Cette marge est plus importante pour des températures inférieures à 250°C. L'utilisateur de l'ensemble Onduleur JFET SiC + Drivers devra alors régler la tension de blocage des drivers en prenant en considération cette marge de tension. Par ailleurs, en comparaison avec la version du JFET SiC de type B, nous remarquons que cette marge est plus importante (voir la Figure 2-25 du chapitre 2 et le Tableau 2-1 de ce chapitre).

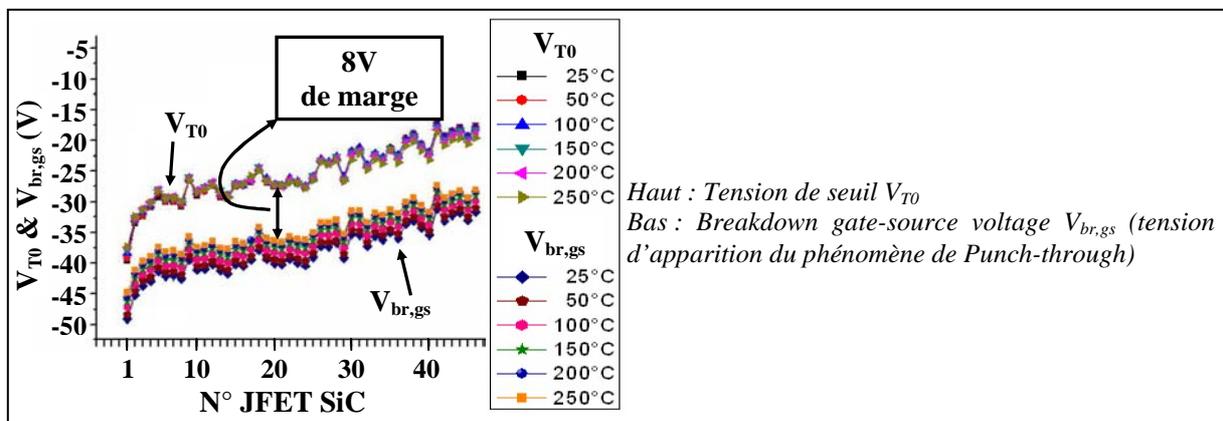


Figure 4-2 : Comportement de la grille de 46 échantillons JFET SiC de Type A de 25°C à 250°C (résultats obtenus par le laboratoire Ampère publiés dans [BER-1 2010, BER-4 2010]).

Nous synthétisons dans le Tableau 2-1 ci-dessous les caractéristiques limites de la grille en polarisation inverse des JFET SiC de type A et de type B :

JFET SiC Type A	JFET SiC Type B
$V_{br,gs} (25^{\circ}C) = V_{T0(25^{\circ}C)} - 12V$	$V_{br,gs} (25^{\circ}C) = V_{T0(25^{\circ}C)} - 8V$
$V_{br,gs} (250^{\circ}C) = V_{T0(250^{\circ}C)} - 8V$	$V_{br,gs} (180^{\circ}C) = V_{T0(180^{\circ}C)} - 5,9V$

Tableau 4-1 : Synthèse des caractéristiques limites de la grille en polarisation inverse des JFET SiC deux canaux de SiCED de Type A et de Type B.

4.1.2 Rappel sur le comportement du JFET SiC deux canaux de SiCED en commutation fonctionnant en mode roue libre, IPC

Au chapitre 2, nous avons caractérisé en commutation au sein d'un bras d'onduleur de tension le JFET SiC deux canaux de SiCED. Nous avons mis en évidence que la tension grille-source V_{gs} , le courant drain-source I_{ds} et le courant de grille I_g étaient perturbés lorsque la tension drain-source V_{ds} variait. Nous avons montré lors de l'étude des commutations du JFET en mode roue libre que ces perturbations étaient dues à des couplages capacitifs et qu'il fallait considérer de façon sérieuse les perturbations causées par la capacité de contre-réaction C_{gd} (ou capacité de transition grille-drain) sur la tension de commande grille-source V_{gs} . En effet, à la mise en conduction du JFET, nous avons observé sur V_{gs} une perturbation négative susceptible de pouvoir faire travailler la grille du JFET en régime punch-through. Au blocage du JFET une perturbation positive était observée sur V_{gs} , perturbation susceptible de provoquer une remise en conduction du JFET.

Ces résultats sont rappelés ci-dessous (voir la Figure 4-3, Tableau 4-2, et la Figure 4-4). Nous tenons à préciser que ces résultats ont été obtenus lors de la première phase de caractérisation dynamique dans des conditions bien particulières. En effet, des câbles de commande chacun d'une longueur importante (de 2 mètres environ) avaient été employés entre le driver (driver dit « froid », car incapable de travailler à 200°C) et l'onduleur afin de pouvoir réaliser entre autres des essais à hautes températures jusqu'à 200°C avec le module onduleur JFET. Ces câbles de commande, comme nous l'avons déjà évoqué dans les chapitres 2 et 3, et comme nous allons le voir par la suite dans ce chapitre, vont jouer un rôle important sur le niveau d'Interaction entre la Puissance et la Commande du JFET (IPC) ; ils vont directement jouer sur l'impédance de grille caractérisée par le couple (R_G, l_G) et en particulier sur l'inductance de grille l_G .

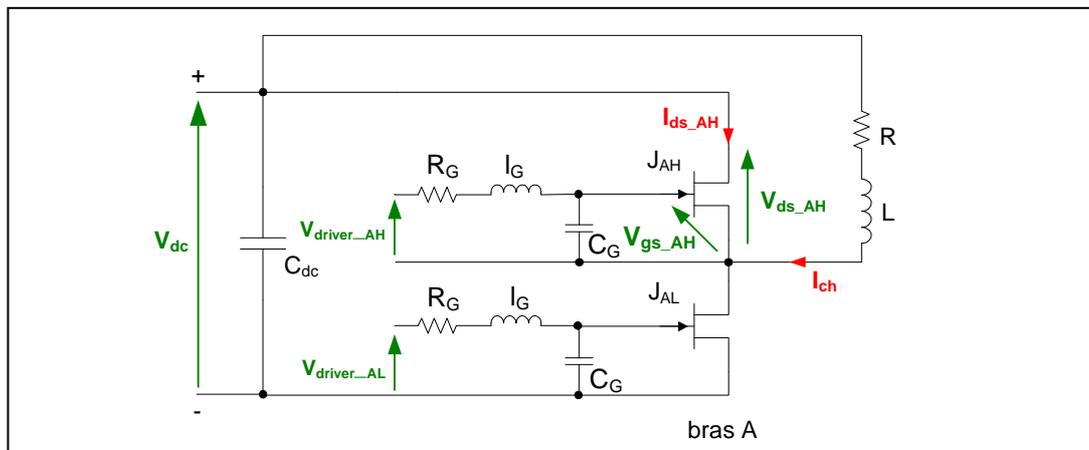


Figure 4-3 : Etude en commutation du JFET J_{AH} du bras A de l'onduleur présenté au chapitre 2 lors de la première phase de caractérisation.

Nous rappelons dans le Tableau 4-2 dans quelles conditions ont été obtenus les résultats de la Figure 4-4.

R_G	I_G	C_G	V_{T0}	$V_{br,gs}$ (25°C)	Tension de blocage (V_{driver_off})	Temps mort
19Ω	1,31μH	20nF	-24V	-36V	-26V	500ns (effectif)

V_{dc}	I_{ch}	C_{dc}	R	L	Temp.
200V	2A	4μF	0,15Ω	1,2mH	27°C

Tableau 4-2 : Conditions d'essais pour l'étude en commutation du JFET J_{AH} du bras A de l'onduleur présenté sur la Figure 4-3.

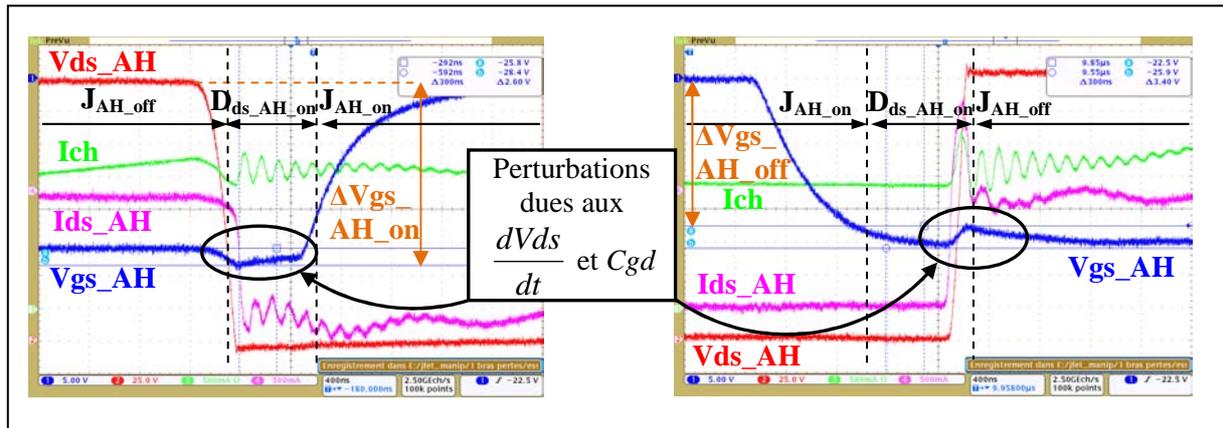


Figure 4-4 : Courbes de commutation du JFET J_{AH} fonctionnant en mode roue libre, mise en avant de l'Interaction Puissance – Commande (IPC).

4.2 Solutions pour minimiser l'Interaction Puissance – Commande, Circuits d'attaque de grille pour JFET SiC

Pour minimiser l'Interaction Puissance-Commande au sein d'un bras onduleur de tension à base de JFET SiC présentée dans la partie précédente de ce chapitre, nous avons regardé les différentes structures proposées dans la littérature, et nous avons décidé de les étudier (structures N° 2 et N°3 de la Figure 4-5) et de les comparer à la structure que nous proposons (structure N°1 de la Figure 4-5). Ces structures sont qualifiées dans le titre de cette sous-partie de « circuits d'attaque de grille », car les circuits étudiés sont situés entre l'étage de sortie du driver, qui applique la tension de commande du JFET pour sa mise en conduction ou son blocage, et l'électrode de commande du JFET, sa grille.

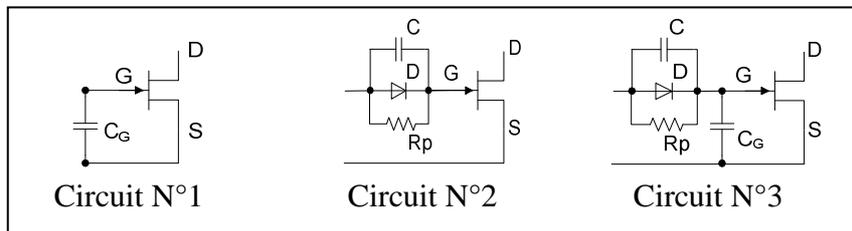


Figure 4-5 : Circuits d'attaque de grille pour JFET SiC.

Sur la Figure 4-5 nous présentons trois circuits d'attaque de grille :

- Le circuit N°1 a été proposé par le laboratoire GREEN dans [BER-4 2009, BER-4 2010]. Ce circuit comporte un condensateur externe C_G connectée entre la grille et la source du JFET. Ce condensateur va jouer le rôle de capacité externe de découplage (capacité interne de transition C_{gs} du JFET faible).

- Le circuit N°2 a été proposé dans [ROU-2 2005], il comporte une résistance R_p , un condensateur C et une diode D . Ces trois composants sont connectés en parallèle et l'ensemble est câblé entre la résistance de grille R_G (non représentée sur la Figure 4-5) et la grille du JFET. La résistance R_p a pour rôle de limiter le courant de grille ayant pour origine le phénomène de punch-through lorsque le JFET est fortement bloqué (soit $V_{driver_off} \leq V_{br,gs}$). Pour ce faire, cette résistance sera de valeur relativement importante autour de la dizaine de kilo Ohms. Le condensateur C a pour rôles d'appliquer la tension de blocage (diviseur de tension capacitif avec la capacité équivalente entre grille et source du JFET) et de permettre au composant JFET de commuter. La diode D a pour rôle de limiter la tension de charge du condensateur à la mise en conduction d'un JFET.

- Le circuit N°3 a été proposé par le laboratoire CPES dans [LAI 2009]. Ce circuit est une combinaison des deux premiers circuits. Nous verrons par la suite que ce circuit ne combine pas forcément les avantages des deux premiers circuits.

4.2.1 Etude, validation et comparaison des circuits d'attaque de grille sur un bras d'onduleur JFET SiC

4.2.1.1 Présentation du bras d'onduleur JFET SiC considéré

Sur la Figure 4-6 nous présentons le montage et la méthode (méthode du « double pulse ») retenus pour effectuer l'étude par simulation et par expérimentation des 3 circuits d'attaque de grille pour JFET SiC considérés.

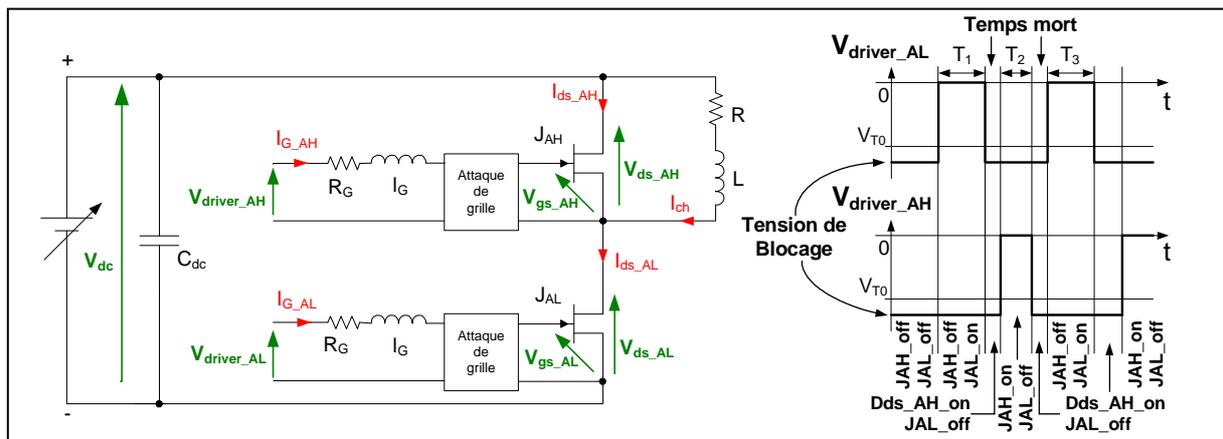


Figure 4-6 : Montage (à gauche) et méthode « du double » (à droite) utilisés pour étudier les circuits d'attaque de grille.

Dans le Tableau 4-3 nous présentons les conditions dans lesquelles ont été effectuées à la fois les simulations et les expérimentations. Nous tenons à souligner que les expérimentations s'effectueront pour deux valeurs de tension de blocage appliquées par les drivers. Nous avons retenu l'essai à $V_{T0}-3V$ (V_{T0} représente la tension de seuil du JFET) et à $V_{T0}-8V$. Le premier essai permet de tester les circuits d'attaque de grille sans avoir l'apparition du phénomène de punch-through lorsque les JFET du bras sont dans une phase de blocage permanente. Le deuxième essai permet de tester l'efficacité ou non de protection des circuits d'attaque de grille N°2 et N°3 contre le phénomène de punch-through lorsque les JFET du bras sont dans une phase de blocage permanente. Par ailleurs, nous pourrons montrer l'influence d'une tension de blocage plus importante sur les pertes en commutation.

Vdc	Ich	R _G	I _G	Temps mort	T
540V	10A	Dépend de l'essai	Dépend de l'essai	500ns (effectif)	27°C

Simulation			Expérience		
Version JFET	V _{T0}	Tension de blocage (Vdriver_off)	Version JFET	V _{T0}	Tension de blocage (Vdriver_off)
Type A	-24V	V _{T0} -2V	Type B	Dépend du JFET	V _{T0} -3V ou V _{T0} -8V

Tableau 4-3 : Paramètres de simulation et d'expérimentation relatif au bras JFET SiC permettant d'étudier les circuits d'attaque de grille.

De plus, nous précisons que le modèle employé dans ce chapitre est celui présenté et validé au chapitre 2. Nous rappelons que ce modèle représente les comportements statique et dynamique d'un JFET SiC de type A.

Pour terminer cette partie, nous présentons sur la Figure 4-7 le banc d'essai qui nous a permis d'étudier expérimentalement les différents circuits d'attaque de grille des JFET SiC. Il s'agit du banc déjà présenté au chapitre 2 qui nous a permis d'effectuer la deuxième phase de caractérisation dynamique (voir partie 2.3.3.2.1).

Sur cette figure nous nous intéressons à la partie attaque de grille qui est présentée plus en détail. Nous rappelons que le driver froid est placé au plus près du bras JFET afin de minimiser l'inductance de câblage au niveau de la grille ($I_G=30nH$) lors des essais expérimentaux. De plus, nous faisons remarquer que la semelle de chaque JFET n'est pas refroidie et que les JFET employés ici sont des JFET de type B.

Remarque :

- Nous rappelons au lecteur que les résultats de simulation ne seront validés que qualitativement par l'expérience puisque le modèle ne représente pas le comportement du JFET employé expérimentalement.

- Nous indiquons aussi au lecteur pour qu'il ne soit pas surpris par la suite, que nous allons utiliser des résultats de pertes en commutation obtenus avec le circuit N°1 lors de la première phase de caractérisation dynamique du chapitre 2. Ces résultats vont permettre dans la partie validation expérimentale du circuit N°1 de contribuer à valider les résultats délivrés par le modèle. Ces résultats ont été obtenus avec des JFET de Type A et une impédance de grille significative ($R_G=19\Omega$, $I_G=1,31\mu H$).

- Les composants utilisés lors des expériences pour R_G et R_p étaient du type film métallique. Concernant les condensateurs C_G et C , ils étaient du type X7R. Enfin concernant la diode D , elle était du type Schottky en silicium d'International Rectifier (ref : 12TQ45, 45V, 15A), avec une chute de tension à l'état passant de 0,5V pour un courant de 15A.

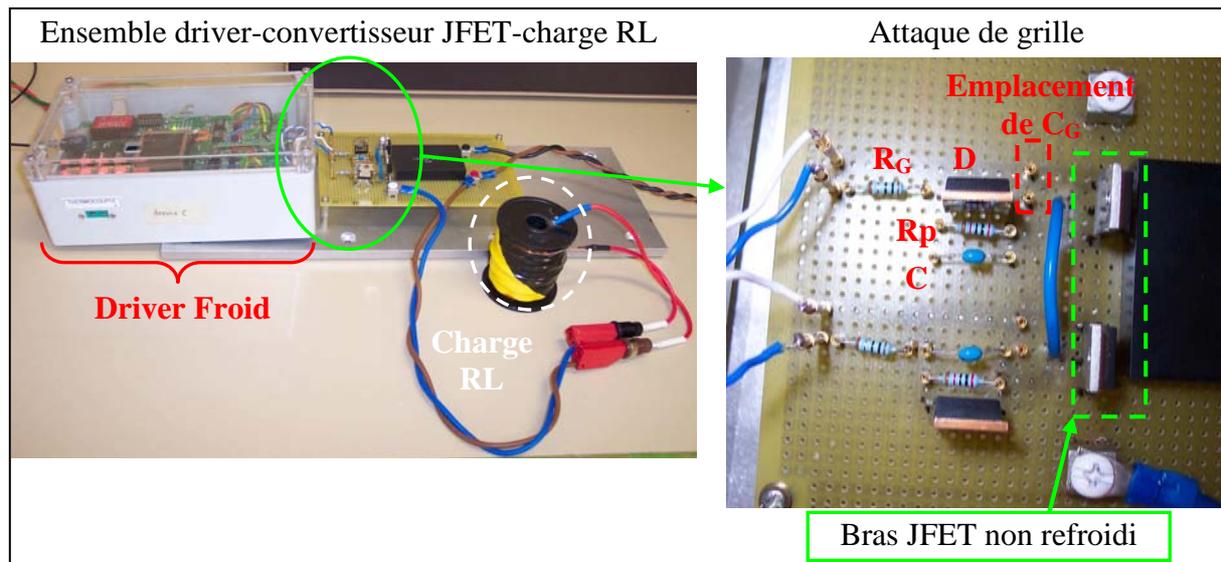


Figure 4-7 : Banc expérimentale comportant un bras JFET SiC de type B, Etude de différents circuits d'attaque de grille pour JFET SiC.

4.2.1.2 Circuit d'attaque de grille N°1

4.2.1.2.1 Etude par simulation, Rôle du couple (R_G, l_G) , Optimisation du circuit N°1

Cette étude a été menée par simulation. Elle s'est déroulée en deux temps :

- Nous avons tout d'abord étudié en simulation la structure du circuit N°1. La résistance et l'inductance de câblage de grille sont fixées respectivement à $R_G=19\Omega$ et $l_G=1.31\mu H$. Dans ces conditions, nous avons étudié l'évolution des perturbations de tension ΔV_{gs} (voir la définition dans ce chapitre sur la Figure 4-4) au niveau de la grille de J_{AH} lors de sa mise en conduction et lors de son blocage en fonction de C_G . Nous avons également évalué en fonction de C_G les pertes par commutation à la mise en conduction et au blocage de J_{AL} (voir Figure 4-8).

Que ce soit à la mise en conduction ou au blocage de J_{AH} , l'augmentation de C_G permet de mieux maintenir la tension V_{gs} proche de la tension de blocage du driver de J_{AH} lors des commutations. Autrement dit, l'IPC diminue lorsque C_G augmente ce qui montre l'intérêt de la solution proposée. Cependant, les pertes en commutation de J_{AL} $E_{-}J_{AL}$ augmentent considérablement lorsque C_G augmente. La même remarque peut être formulée concernant la puissance fournie par les drivers (résultats non présentés ici).

Au vu des résultats présentés sur la Figure 4-8 (avec $R_G=19\Omega$ et $l_G=1.31\mu H$), un condensateur C_G d'une capacité minimale de 20nF doit être utilisée pour que la grille du JFET J_{AH} soit protégée contre le phénomène de punch-through. Par ailleurs, pour cette valeur de C_G , nous pouvons souligner que le risque de court-circuit de bras à chaque blocage de J_{AH} est minimisé. Toutefois, une telle valeur de capacité connectée entre grille et source des JFET engendre des pertes par commutation importantes.

- Les résultats présentés sur la Figure 4-8 montrent également qu'en diminuant l'inductance de câblage et la résistance de grille nous pouvons réduire la valeur de C_G sans que l'IPC perturbe le fonctionnement normal des JFET lors des commutations. Pour des résistances de grille de l'ordre de 1Ω et une inductance de câblage négligeable, l'étude par simulation montre qu'on peut même annuler la valeur de la capacité externe C_G . Dans ce cas, cela entraîne évidemment un surdimensionnement des drivers JFET puisque la résistance de grille est faible, mais nous avons cependant de faibles pertes en commutation. En pratique même si on minimise l'inductance de câblage, la valeur minimale de C_G dépendra :

- du choix de la tension de blocage (ici inférieure à V_{TO} mais supérieure à $V_{br,gs}$),
- de la valeur de résistance de grille,

- de la tension du bus continu à commuter,
- et de la température.

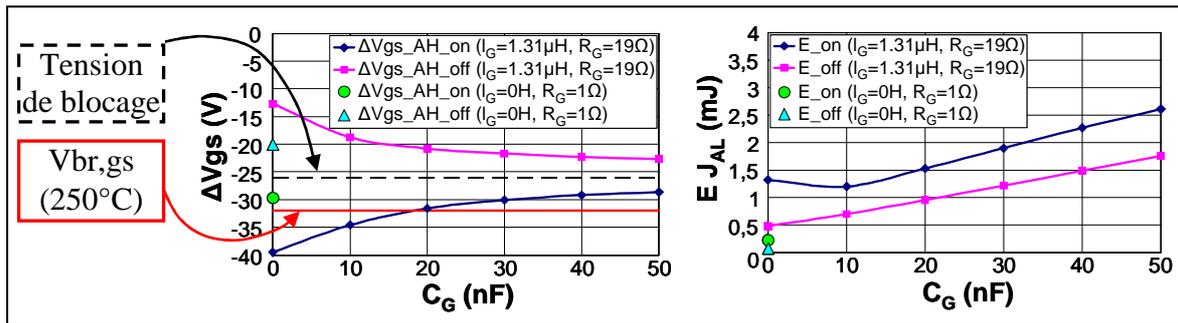


Figure 4-8 : Etude du circuit N°1, Résultats de simulation, $\Delta V_{gs_J_{AH}}=f(C_G)$ à gauche, $E_{J_{AL}}=f(C_G)$ à droite.

Remarques :

- L'ajout d'un condensateur externe C_G connecté en parallèle entre la grille et la source du JFET permet de renforcer le découplage entre les électrodes grille-source du JFET afin de minimiser l'Interaction Puissance-Commande (capacité de transition C_{gs} du JFET faible).
- D'une manière générale, si nous désirons diminuer fortement l'Interaction Puissance-Commande dans un convertisseur à base de JFET SiC, il faudra diminuer l'impédance de grille (R_G, l_G) et en particulier l'inductance de câblage au niveau de la grille l_G de chaque JFET en rapprochant au plus près les drivers du convertisseur.
- Nous faisons remarquer que sur la Figure 4-8, dans la configuration où $l_G=1.31\mu H$ et $R_G=19\Omega$, $E_{J_{AL}}$ à la mise en conduction diminue lorsque C_G diminue, cependant cette tendance n'est pas observée lorsque C_G est nulle. Cela peut s'expliquer en s'appuyant sur le descriptif des commutations établi à la fin du chapitre 3. Lorsque C_G est non nulle, cela a pour conséquence de diminuer le courant de canal I_{canal_AH} , tandis que lorsque C_G est nulle, le courant de canal I_{canal_AH} est maximum. Autrement dit, d'après le modèle, les pertes en commutation au blocage du JFET fonctionnant en mode roue libre sont davantage influencées par le courant de canal lorsque C_G est nulle, et par les dI/dt (de faibles valeurs) lorsque C_G est non nulle et de valeur significativement supérieure à 10nF.

4.2.1.2.2 Etude par l'expérience, Validation du circuit N°1

Nous allons diviser en deux cette étude. Nous allons tout d'abord regarder l'influence du condensateur C_G sur la partie commande du JFET SiC de SiCED, soit sur la perturbation de tension de grille ΔV_{gs} du JFET fonctionnant en mode roue libre et sur la charge à fournir par le driver lors du blocage de chacun des JFET du bras.

Puis nous allons regarder l'influence du condensateur C_G sur la partie puissance du JFET SiC, soit sur les vitesses de variation en tension et en courant ainsi que sur les pertes en commutation du JFET SiC fonctionnant en mode transistor.

Influence de C_G sur la partie commande du JFET SiC de SiCED :

Sur la Figure 4-9 nous avons représenté en fonction de la valeur de C_G l'évolution de la perturbation de tension de grille ΔV_{gs} au blocage et à la mise en conduction du JFET qui fonctionne en mode roue libre, ici J_{AH} .

Nous pouvons constater que le comportement observé expérimentalement est identique à celui observé par simulation, puisque à la mise en conduction ou au blocage de J_{AH} , l'augmentation de C_G permet de

mieux maintenir la tension V_{gs} proche de la tension de blocage du driver de J_{AH} lors des commutations.

Au vu des résultats présentés sur cette figure, un condensateur C_G d'une capacité minimale de 1,5nF est nécessaire pour que la grille du JFET soit protégée contre le phénomène de punch-through. Par ailleurs, pour cette valeur de C_G , nous pouvons souligner que le risque de court-circuit de bras à chaque blocage de J_{AH} est minimisé.

De plus, si nous comparons la valeur de C_G retenue expérimentalement ($C_G=1,5nF$) pour minimiser l'IPC et sécuriser le JFET contre le phénomène de punch-through avec celle retenue par simulation ($C_G=20nF$), nous remarquons qu'elle est bien plus faible. Cette diminution s'explique par le fait que l'IPC ait été fortement réduite en rapprochant les drivers du bras JFET lors des expérimentations (baisse de l'inductance de câblage l_G).

Enfin, une dernière constatation lorsque C_G est nulle. Nous remarquons que la grille du JFET J_{AH} travaille en régime punch-through. A priori, la grille du JFET J_{AH} supporte bien ce type de sollicitation sur deux commutations consécutives (méthode du « double pulse ») sachant que les JFET du bras n'étaient pas refroidis lors de ces essais.

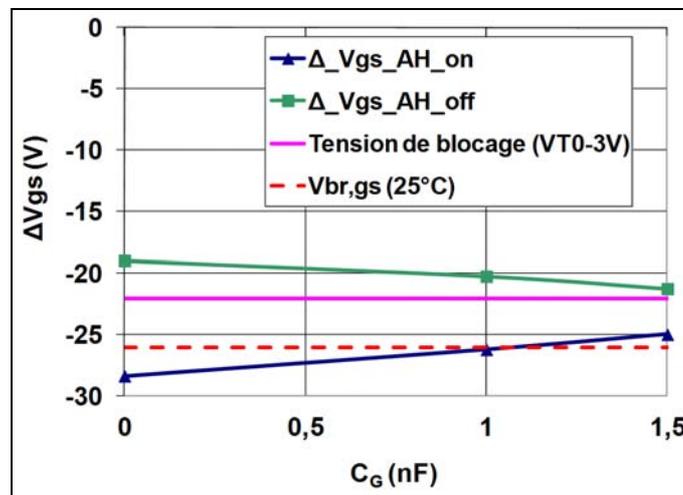


Figure 4-9 : Etude du circuit N°1, Résultats expérimentaux, $\Delta V_{gs_J_{AH}}=f(C_G)$, JFET de Type B, $R_G=14\Omega$, $l_G=30nH$, $V_{T0}=-18,5V$, $V_{driver_off}=V_{T0}-3V$, $V_{dc}=540V$, $T=27^\circ C$.

Sur la Figure 4-10 nous avons représenté en fonction de la valeur de C_G l'évolution de la charge à fournir par le driver au niveau de la grille de chaque JFET du bras afin de bloquer les JFET. Nous avons pris la valeur absolue de ces charges afin de travailler sur des valeurs positives (charge négative à fournir à la grille pour bloquer un JFET). De plus, nous comparons sur cette figure l'influence de l'IPC sur la valeur de charge à fournir par le driver, lorsque la tension de bus V_{dc} commutée est dans un cas de 0V et dans l'autre cas de 540V.

Nous remarquons pour l'essai à $V_{dc}=0V$ que la charge à fournir à chacun des JFET ($Q_{J_{AH_off}}$ et $Q_{J_{AL_off}}$) est identique, et que cette charge augmente lorsque la valeur de C_G augmente.

Nous remarquons pour l'essai à $V_{dc}=540V$ que l'IPC augmente cette charge, et qu'en particulier une charge plus importante est à fournir pour le JFET fonctionnant en mode roue libre, ici J_{AH} . Cette dernière remarque est en accord avec les oscillogrammes présentés sur la Figure 2-42 du chapitre 2, en particulier I_{g_H} et I_{g_L} .

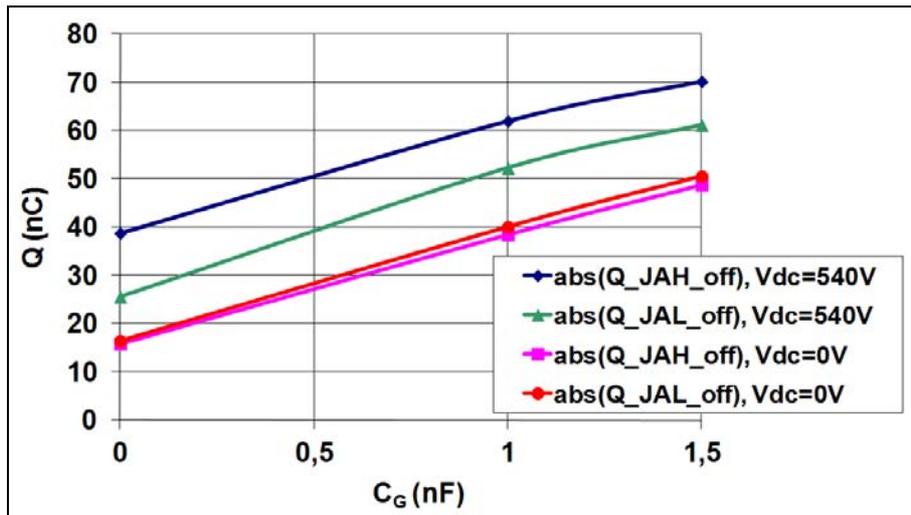


Figure 4-10 : Etude du circuit N°1, Résultats expérimentaux, $Q_{J_{AH_off}}=f(C_G)$ et $Q_{J_{AL_off}}=f(C_G)$, JFET de Type B, $R_G=14\Omega$, $I_G=30nA$, $V_{T0}=-18,5V$, $V_{driver_off}=V_{T0}-3V$, $T=27^\circ C$.

Influence de C_G sur la partie puissance du JFET SiC de SICED :

Sur la Figure 4-11 nous avons représenté en fonction de la valeur de C_G l'évolution des vitesses de variation de V_{ds} (dV_{ds}/dt) et d' I_{ds} (dI_{ds}/dt) à la mise en conduction et au blocage du JFET fonctionnant en mode transistor, le JFET J_{AL} .

Concernant les dV_{ds}/dt à la mise en conduction et au blocage, nous constatons que l'ajout d'un condensateur externe C_G entre grille et source a peu d'influence. Pour expliquer ce constat nous pouvons nous appuyer sur l'étude du régime dynamique d'un JFET à canal standard présentée dans [LET 2001], ou encore nous inspirer de l'étude des commutations du MOSFET (transistor à grille comme le JFET) présentée dans [LEF 2004]. De ces études il ressort que les dV_{ds}/dt sont régis par la valeur du courant de grille I_G et la valeur de la capacité de contre-réaction C_{gd} :

$$\frac{dV_{ds}}{dt} = \frac{I_G}{C_{gd}} \tag{Eq 4-1}$$

Concernant les dI_{ds}/dt à la mise en conduction et au blocage, contrairement aux dV_{ds}/dt , nous constatons que C_G a une influence non négligeable, en particulier à la mise en conduction de J_{AL} .

Ce constat peut s'expliquer par le fait que le courant drain-source I_{ds} est fonction en particulier d'un courant de canal I_{canal} qui dépend de V_{gs} (voir pour rappel l'équation Eq 3-26 du courant de canal qui est un polynôme en V_{gs}). Or V_{gs} représente la tension entre les électrodes grille-source du JFET où se situe une capacité interne au JFET, la capacité de transition C_{gs} à laquelle il faut rajouter un condensateur externe C_G . Par conséquent, la valeur de C_G va jouer un rôle important à la fois sur les vitesses de variation de V_{gs} , mais aussi sur les vitesses de variation d' I_{ds} .

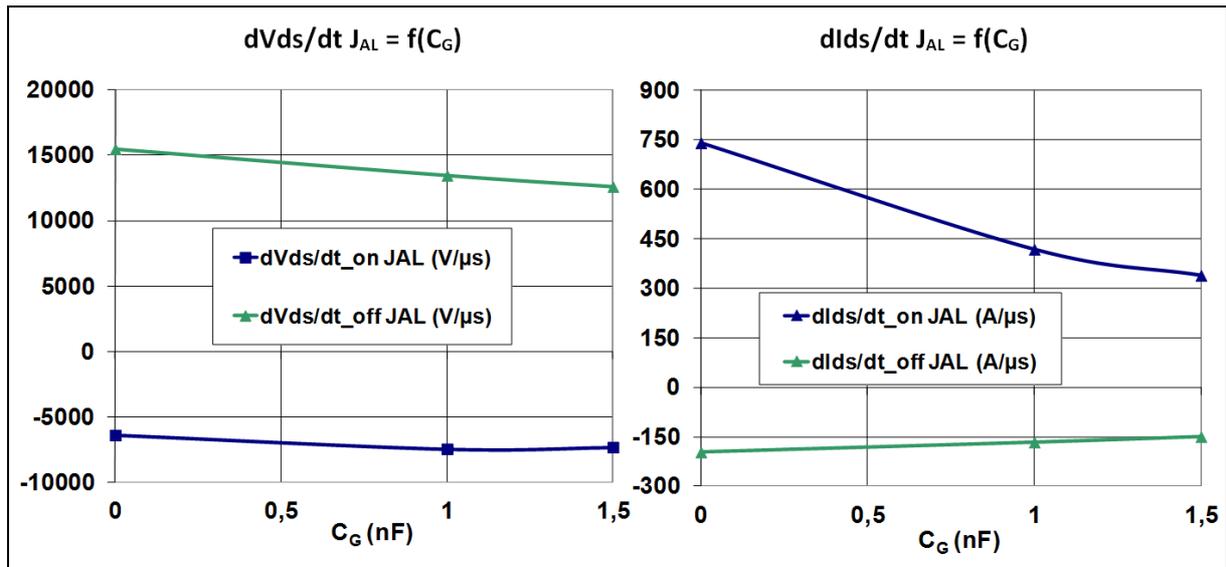


Figure 4-11 : Etude du circuit N°1, Résultats expérimentaux, $dV_{ds}/dt_{J_{AL}}=f(C_G)$ et $dI_{ds}/dt_{J_{AL}}=f(C_G)$, JFET de Type B, $R_G=14\Omega$, $l_G=30nH$, $V_{T0}=-18,5V$, $V_{driver_off}=V_{T0}-3V$, $V_{dc}=540V$, $I_{ch}=10A$, $T=27^\circ C$.

Sur la Figure 4-12 nous avons représenté en fonction de la valeur de C_G l'évolution des pertes par commutation à la mise en conduction et au blocage de J_{AL} pour deux configurations de câblage entre les drivers et la grille de chaque JFET. Dans la première configuration nous avons employé des câbles de commandes courts ($l_G=30nH$), et dans la seconde configuration nous avons employé des câbles de commandes longs ($l_G=1,31\mu H$).

En comparant les résultats obtenus dans les deux configurations de câblage, nous retrouvons les tendances obtenues par simulation, soit la diminution significative des pertes en commutation lorsque les drivers sont rapprochés du bras JFET, car un condensateur C_G de moindre valeur est utilisé pour minimiser l'IPC (ici dans les conditions d'expérimentation décrites au Tableau 4-3, $C_G=1,5nF$ suffit pour protéger le JFET contre le phénomène de punch-through et le risque de remise en conduction, voir la Figure 4-9).

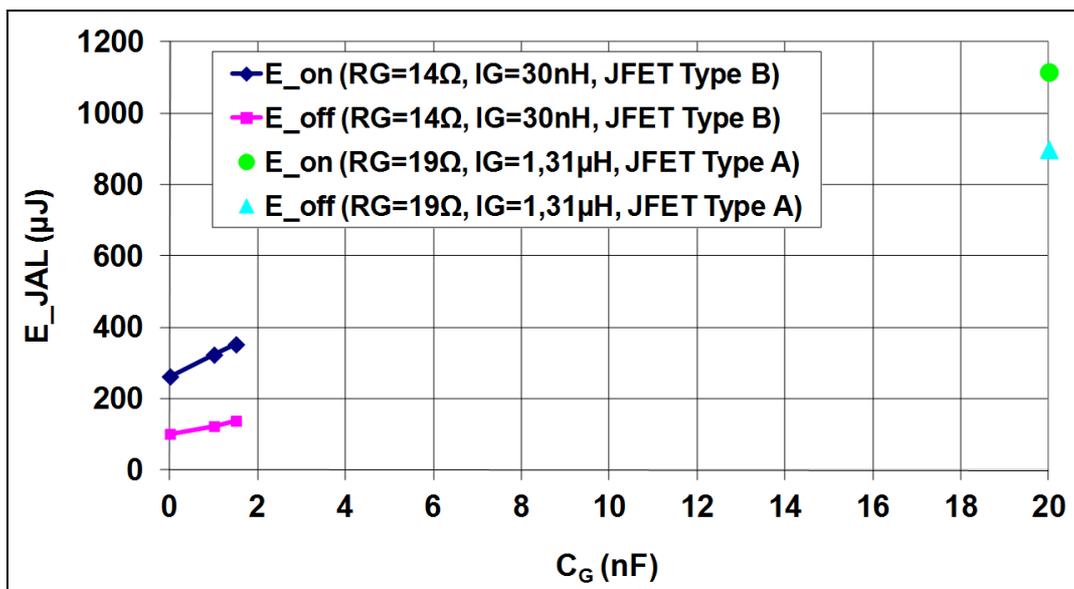


Figure 4-12 : Etude du circuit N°1, Résultats expérimentaux, Influence de C_G sur $E_{J_{AL}}$ et Influence de (R_G, l_G) sur $E_{J_{AL}}$, $V_{dc}=540V$, $I_{ch}=10A$, JFET de Type A, $V_{T0}=-24V$, $V_{driver_off}=V_{T0}-2V$, $T=27^\circ C$, JFET de Type B, $V_{T0}=-18,5V$, $V_{driver_off}=V_{T0}-3V$, $T=27^\circ C$.

L'étude du circuit d'attaque de grille N°1 touche à sa fin. Nous avons montré par simulation et par l'expérience l'intérêt du circuit d'attaque de grille N°1 à minimiser l'IPC afin de protéger la grille du JFET. Nous tenons à souligner que l'emploi de ce circuit implique de choisir une tension de blocage comprise entre V_{T0} et $V_{br,gs}$, puisque aucun des éléments qui constituent le circuit N°1 ne permet de limiter le courant de punch-through si la tension de blocage est inférieure à $V_{br,gs}$.

Nous allons maintenant étudier les circuits d'attaque de grille N°2 et N°3.

4.2.1.3 Circuits d'attaque de grille N°2 et N°3

Nous avons regroupé l'étude des circuits d'attaque de grille N°2 et N°3 car leurs structures se ressemblent, la seule différence concerne l'existence ou non de C_G .

4.2.1.3.1 Etude par simulation, Rôle de la diode D

Nous allons étudier par simulation uniquement le rôle de la diode D , car c'est le seul composant que nous n'avons pas réussi à valider expérimentalement. Par ailleurs, lors de l'étude du circuit N°1 par simulation nous avons mis en avant l'influence du couple (R_G , I_G) sur l'IPC, il aurait été peu utile de réaliser une étude similaire avec les circuits N°2 et N°3.

La Figure 4-13 met en évidence que la diode D utilisée dans les circuits d'attaque de grille N°2 et 3 n'intervient que lors de la mise en conduction du JFET associé. Son rôle est de limiter la tension de charge du condensateur C à V_F lors de la mise en conduction du JFET. Cela a pour conséquence d'appliquer au JFET considéré une tension V_{gs} en conduction légèrement négative, égale à $-V_F$ (dans le cas où la tension de mise en conduction appliquée par le driver est nulle). Autrement dit, cela permet de minimiser les pertes en conduction puisque la résistance à l'état passant est moins dégradée.

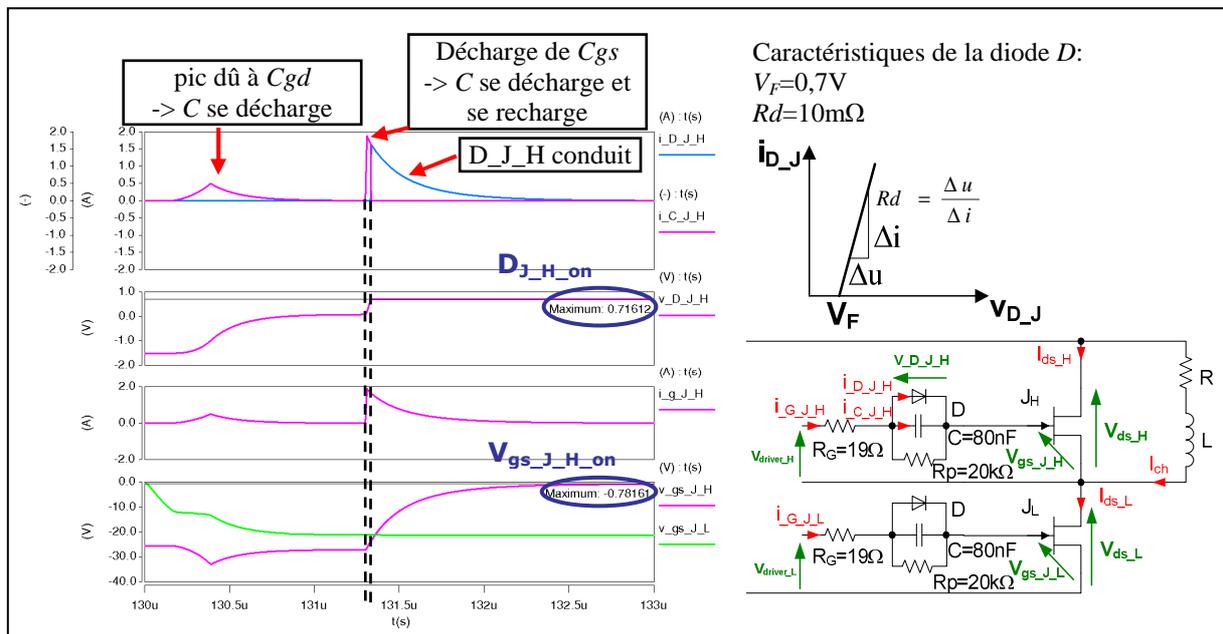


Figure 4-13 : Rôle de la diode D dans les circuits d'attaque de grille N°2 et 3, simulation.

Remarque :

Les résultats de simulation présentés sur la Figure 4-13 ont été obtenus pour des valeurs particulières de C et R_p . La valeur de C utilisée ici n'est pas optimisée, mais elle permet de garantir une tension de blocage suffisante (voir la partie étude par l'expérience des circuits N°2 et N°3 de ce chapitre pour plus de détails). Concernant la valeur de R_p , elle a été choisie en se basant sur l'étude menée dans [ROU-2 2005].

4.2.1.3.2 Etude par l'expérience, Validation des circuits N°2 et N°3

Comme précédemment lors de l'étude par l'expérience du circuit N°1, nous allons diviser en deux cette étude.

Nous allons tout d'abord nous intéresser à la partie commande du JFET. Nous allons montrer l'influence du condensateur C sur la tension de blocage appliquée aux électrodes de commande grille-source du JFET (pour $V_{driver_off}=V_{T0}-3V$ et $V_{T0}-8V$, nous verrons le rôle de R_p dans le dernier cas), l'influence de C_G sur l'IPC (ΔV_{gs} du JFET fonctionnant en mode roue libre) lorsque R_G est fixe ainsi que l'influence de R_G sur l'IPC (ΔV_{gs} du JFET fonctionnant en mode roue libre) lorsque C_G est nulle. Puis, nous allons nous intéresser à la partie puissance du JFET. Nous allons montrer l'influence de C_G sur les pertes en commutation, mais nous allons surtout montrer l'intérêt d'appliquer une tension de blocage plus importante, car cela va permettre de diminuer significativement les pertes en commutation.

Remarque :

En comparaison avec l'étude expérimentale menée pour le circuit N°1, nous avons décidé de ne pas présenter certains résultats expérimentaux concernant les circuits N°2 et N°3 car ils sont similaires ; Nous pensons en particulier à la fonction $Q_{J_{AX_off}}=f(C_G)$ ou encore à $dV_{ds}/dt=f(C_G)$ et $dI_{ds}/dt=f(C_G)$. Par contre, nous allons compléter les études menées sur le circuit N°1 en ce qui concerne l'influence de l'impédance de grille (R_G, l_G) sur l'IPC, en nous intéressant en particulier au rôle de R_G sur l'évolution de $\Delta V_{gs}=f(R_G)$. Une dernière précision, elle concerne l_G , nous rappelons qu'elle sera tout au long des essais égale à 30nH, autrement dit nous avons rapproché les drivers du bras JFET pour minimiser l'IPC induite par cette inductance.

Etude des circuits N°2 et N°3 sur la partie commande du JFET SiC de SiCED

Sur la Figure 4-14 nous avons représenté en fonction de la valeur de C l'évolution de la tension V_{gs} pour chacun des JFET J_{AH} et J_{AL} lorsque ces derniers sont bloqués. Nous désignons cette tension par V_{gs_off} . Par ailleurs, cette étude est menée pour une tension de blocage des drivers V_{driver_off} réglée à $V_{T0}-3V$ et une tension de bus continu nulle ($V_{dc}=0V$). Nous constatons que lorsque la capacité du condensateur C augmente V_{gs_off} diminue. Le comportement observé de V_{gs_off} est tout à fait logique puisque le condensateur C forme un diviseur de tension capacitif avec la capacité équivalente du JFET entre les électrodes grille-source. Pour assurer la fonction blocage et avoir une marge suffisante par rapport à V_{T0} , nous avons choisi un condensateur C de capacité égale à 22nF.

Par ailleurs, ce choix a été effectué pour assurer le blocage des JFET du bras même lorsqu'un condensateur C_G d'une capacité égale à 1nF est employé. Nous observons dans ces conditions une légère diminution (1V environ) de la tension V_{gs_off} de J_{AH} en comparant l'essai à $C_G=0$ et celui à $C_G=1nF$ (cette observation peut aussi être formulée pour le JFET J_{AL} , mais les résultats ne sont pas présentés sur la Figure 4-14).

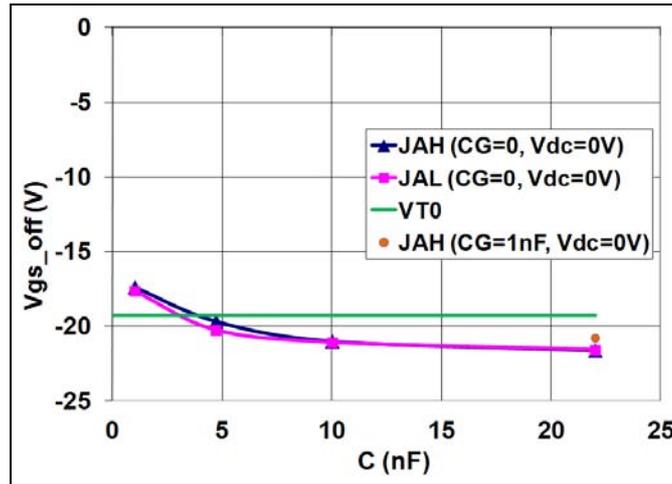


Figure 4-14 : Etude des circuits N°2 et N°3, Résultats expérimentaux,

$V_{gs_off}=f(C, C_G=0)$ et $V_{gs_off}=f(C=22nF, C_G=1nF)$,

JFET de Type B, $R_G=14\Omega$, $I_G=30nH$, $R_P=12k\Omega$, $V_{T0}=-19V$, $V_{driver_off}=V_{T0}-3V$, $V_{dc}=0V$, $T=27^\circ C$.

Remarques :

- La topologie du circuit N°2, en particulier le câblage d'un condensateur C entre l'étage de sortie du driver et la grille du JFET pourrait être utilisé pour identifier la capacité équivalente du JFET entre grille-source C_{gs_eq} . Comme nous l'avons évoqué précédemment, les condensateurs C et C_{gs_eq} forment un diviseur de tension capacitif. Par conséquent, à partir des équations Eq 4-2 et Eq 4-3 et en connaissant les tensions V_{gs_off} et V_{driver_off} , C_{gs_eq} peut être déterminée comme suit :

$$V_{gs_off} = \frac{1}{1 + \frac{C_{gs_eq}}{C}} V_{driver_off} \quad \text{Eq 4-2}$$

Il vient alors :

$$C_{gs_eq} = \left(\frac{V_{driver_off}}{V_{gs_off}} - 1 \right) * C \quad \text{Eq 4-3}$$

Si nous appliquons la méthode précédemment décrite, les JFET de type B étudiés expérimentalement ont une capacité C_{gs_eq} égale à environ 0,5nF (cette valeur est déterminée pour un condensateur C de capacité égale à 10nF, une tension V_{driver_off} fixée à -22V, une tension V_{gs_off} mesurée de -21V et une tension de bus continu V_{dc} donnée de 0V).

- D'après l'équation Eq 4-2, la Figure 4-14 et la remarque précédente, nous proposons une règle pour déterminer la capacité minimum du condensateur C , afin d'appliquer une tension V_{gs_off} inférieure à V_{T0} . Cette règle est la suivante :

$$C \approx 10 * C_{gs_eq}, \text{ avec } C_{gs_eq} \leq 1nF \text{ nous avons } C_{min} \geq 10nF \quad \text{Eq 4-4}$$

- Les résultats présentés sur la Figure 4-14 ont été obtenus pour une tension de blocage V_{driver_off} égale à $V_{T0}-3V$. D'autres essais ont été réalisés et non présentés sur cette figure, il s'agit de résultats obtenus pour V_{driver_off} égale à $V_{T0}-8V$ avec un condensateur C de capacité égale à 22nF. Dans ces conditions, la grille de chaque JFET travaillait en régime punch-through (régime aussi désigné par la suite par « punch-through à l'état bloqué »). Nous avons observé en testant les circuits N°2 et N°3, que le circuit N°2, par l'intermédiaire de la résistance R_p (de valeur 12kΩ) permettait de garantir que la grille de chaque JFET soit traversée par un courant de punch-through limité, ce qui n'est pas le cas avec le circuit N°3. En effet, le circuit N°3 ne comporte aucun élément qui permet de limiter le courant de punch-

through à l'état bloqué entre C_G et la grille du JFET, c'est pourquoi nous avons cassé le bras JFET en charge ($V_{dc}=540V$). Nous tenons à préciser que cette casse a peut être été favorisée aussi par le fait que les JFET du bras n'étaient pas refroidis.

Sur la Figure 4-15, comme pour le circuit N°1, nous avons représenté en fonction de la valeur de C_G l'évolution de la perturbation de tension de grille ΔV_{gs} au blocage et à la mise en conduction du JFET qui fonctionne en mode roue libre, ici J_{AH} .

Nous pouvons constater que le comportement observé expérimentalement ici n'est pas tout à fait identique à celui observé pour le circuit N°1, a priori. Dans le circuit N°3, C_G minimise bien l'IPC à la mise en conduction et au blocage de J_{AH} . La seule différence avec le circuit N°1 réside dans le fait qu'un condensateur C est employé (présence d'un diviseur de tension capacitif qui implique un décalage de +1V de V_{gs_off} comparé à l'étude du circuit N°1). Par conséquent, un condensateur C_G d'une capacité seulement égale à 1nF suffit pour s'affranchir du phénomène de punch-through en commutation et minimiser le risque de court-circuit.

Enfin, nous pouvons établir une dernière constatation identique à celle formulée pour le circuit N°1 lorsque C_G est nulle. Nous remarquons que la grille du JFET J_{AH} travaille en régime punch-through. A priori, la grille du JFET J_{AH} supporte bien ce type de sollicitation sur deux commutations consécutives (méthode du « double pulse ») sachant que les JFET du bras n'étaient pas refroidis lors de ces essais. Nous tenons à préciser que la résistance R_p ici n'a aucune utilité pendant les commutations, puisque le courant de grille induit par l'IPC qui comporte une part du courant de punch-through passe intégralement dans le condensateur C ou la diode D suivant les cas.

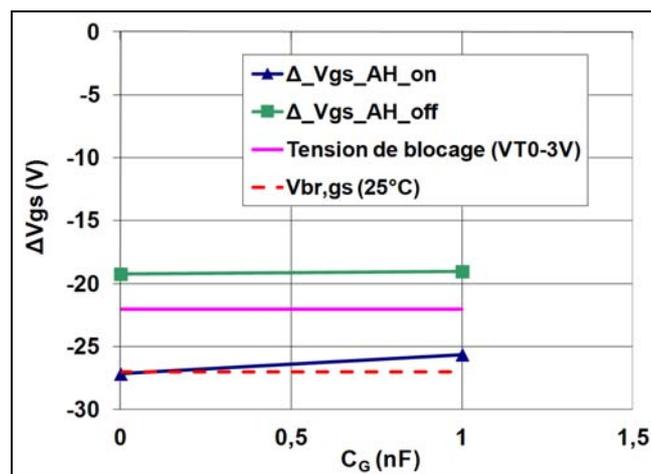


Figure 4-15 : Etude des circuits N°2 et N°3, Résultats expérimentaux, $\Delta V_{gs_J_{AH}}=f(C_G)$, JFET de Type B, $R_G=14\Omega$, $l_G=30nH$, $C=22nF$, $R_P=12k\Omega$, $V_{T0}=-19V$, $V_{driver_off}=V_{T0}-3V$, $V_{dc}=540V$, $T=27^\circ C$.

Comme nous l'avons mentionné en introduction de la partie étude par l'expérience des circuits N°2 et N°3, nous avons voulu compléter l'étude réalisée avec le circuit N°1 en ce qui concerne le rôle de l'impédance de grille (R_G , l_G) sur l'IPC, et en particulier le rôle de R_G sur l'IPC (rôle de l'impédance de grille aussi évoqué aux chapitres 2 et 3 et en particulier dans la partie 3.2.5.3). Sur la Figure 4-16, nous avons représenté en fonction de la valeur de R_G l'évolution de la perturbation de tension de grille ΔV_{gs} au blocage et à la mise en conduction du JFET qui fonctionne en mode roue libre, ici J_{AH} . Par ailleurs, nous tenons à préciser que cette étude est menée sur le circuit N°2. Nous remarquons sur la figure, que lorsque R_G augmente (en rapport avec la plage de variation retenue pour R_G), à la mise en conduction, ΔV_{gs} devient « plus négative » (phénomène de punch-through aggravé), et lors du blocage, ΔV_{gs} devient « moins négative » (risque de remise en conduction aggravé). Autrement dit, l'IPC est plus important lorsque R_G est importante sur la plage de variation de R_G retenue ici. Cela n'est pas une surprise, puisque au chapitre 3 lorsque nous avons détaillé de manière précise à l'aide du modèle la façon de commuter du JFET SiC de SiCED, nous avons mis en évidence le rôle de l'impédance de grille vis-à-vis de l'IPC.

Remarque :

Il aurait été intéressant de pousser l'expérience plus loin en augmentant la résistance de grille par exemple jusqu'à 150 ohm, et observer ensuite l'évolution de ΔV_{gs} . Par manque de temps non n'avons pu réaliser cet essai.

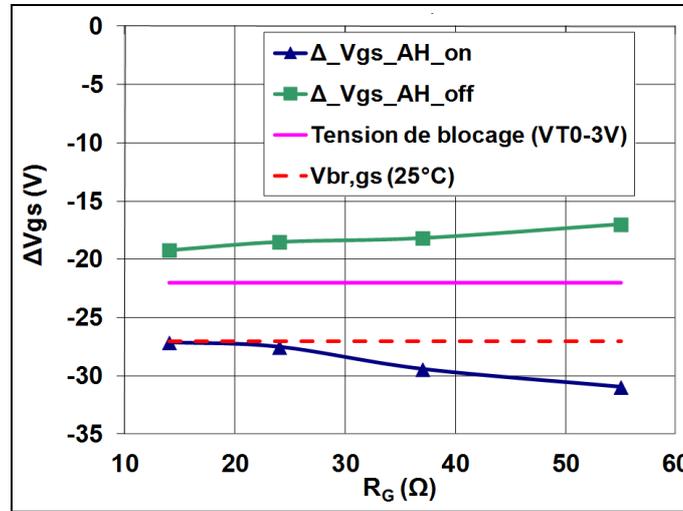


Figure 4-16 : Etude du circuit N°2, Résultats expérimentaux, $\Delta V_{gs_J_{AH}}=f(R_G)$, JFET de Type B, $I_G=30nH$, $C=22nF$, $R_P=12k\Omega$, $C_G=0$, $V_{T0}= -19V$, $V_{driver_off}=V_{T0}-3V$, $V_{dc}=540V$, $T=27^\circ C$.

Etude des circuits N°2 et N°3 sur la partie puissance du JFET SiC de SiCED

Sur la Figure 4-17, comme pour l'étude du circuit N°1, nous avons représenté en fonction de la valeur de C_G l'évolution des pertes par commutation à la mise en conduction et au blocage de J_{AL} . Cependant, l'étude des pertes en commutation a été effectuée pour deux valeurs de V_{driver_off} , $V_{T0}-3V$ et $V_{T0}-8V$. D'une manière générale, dans les deux essais nous constatons que le fait d'employer un condensateur C_G (ici de faible valeur égale à 1nF) augmente légèrement les pertes en commutation, que ce soit à la mise en conduction ou au blocage. Par ailleurs, nous constatons que les pertes en commutation sont fortement réduites lorsqu'une tension de blocage au niveau des drivers de $V_{T0}-8V$ est employée. Ces constats se justifient par l'analyse établie avec le circuit N°1 lors de l'étude des dI/dt et dV/dt .

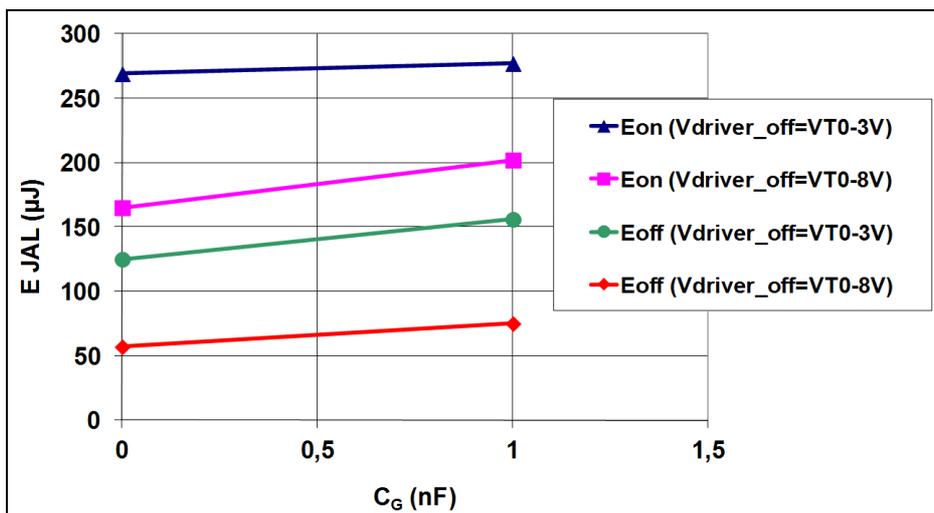


Figure 4-17 : Etude des circuits N°2 et N°3, Résultats expérimentaux, Influence de C_G sur $E_{J_{AL}}$ et Influence de V_{driver_off} sur $E_{J_{AL}}$, JFET de Type B, $R_G=14\Omega$, $I_G=30nH$, $C=22nF$, $R_P=12k\Omega$, $V_{T0}= -19V$, $V_{driver_off}=V_{T0}-3V$ ou $V_{T0}-8V$, $V_{dc}=540V$, $T=27^\circ C$.

Nous allons dans la partie qui suit établir une synthèse des résultats précédemment obtenus avec les 3 circuits d'attaque de grille.

4.2.1.4 Synthèse et comparatifs

Nous avons récapitulé dans la Figure 4-18 pour chaque circuit d'attaque de grille étudié, le rôle de chaque composant qui le constitue ainsi que l'intérêt à l'utiliser.

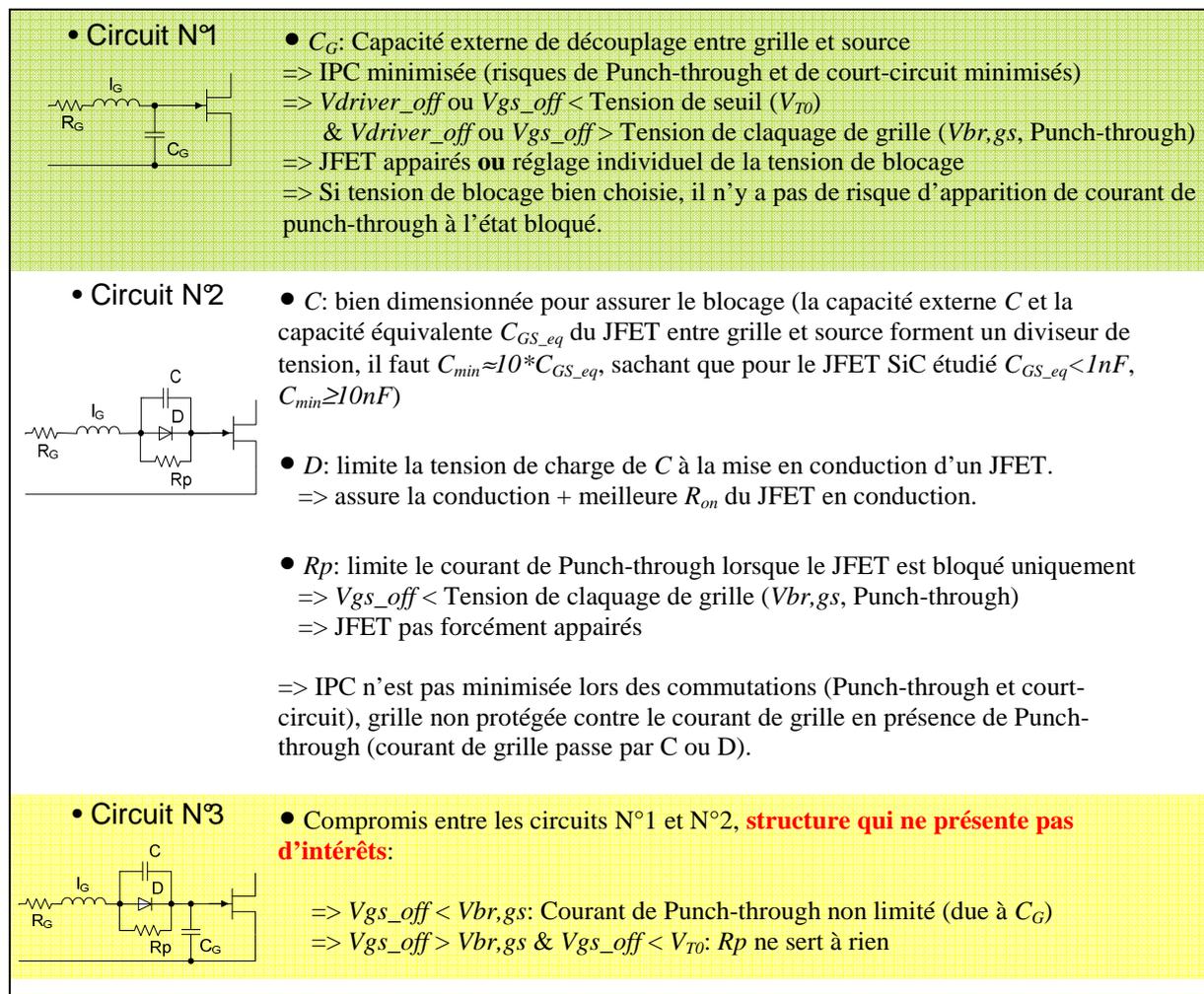


Figure 4-18 : Rôles des composants des 3 circuits d'attaque de grille étudiés.

Pour terminer cette partie, nous avons synthétisé dans la Figure 4-19 les résultats de pertes par commutation obtenus expérimentalement concernant le JFET J_{AL} . Nous avons aussi synthétisé des résultats concernant l'efficacité de chacun des circuits à minimiser l'IPC. Les essais ont été effectués pour deux tensions de blocages au niveau des drivers (V_{driver_off}), $V_{T0}-3V$ (résultats en verts) et $V_{T0}-8V$ (résultats en bleus).

Nous tenons à préciser que les résultats présentés sur la Figure 4-19 sont ceux obtenus avec les circuits d'attaque de grille optimisés (voir sur la figure le schéma électrique correspondant à chaque circuit).

- Remarques concernant l'essai à $V_{T0}-3V$:

Les deux premières colonnes du tableau intégré à la Figure 4-19 mettent en évidence la possibilité de forte réduction du condensateur C_G utilisé dans le circuit d'attaque de grille N°1, lorsque l_G est réduite. L'inductance l_G passe de $1,31\mu H$ à $30nH$ lorsque les drivers sont rapprochés du convertisseur. Dans ces conditions, les pertes par commutation diminuent fortement. Ces résultats sont en accord avec ce

qui avait été présenté au début du chapitre lors de l'étude par simulation montrant l'influence du couple (R_G, l_G) sur l'optimisation de C_G .

Les trois dernières colonnes de ce même tableau permettent de comparer, pour la même résistance et inductance de grille ($R_G=14\Omega, l_G=30nH$) les performances des 3 circuits d'attaque de grille optimisés. Nous remarquons que les pertes par commutation obtenues avec les trois circuits d'attaque de grille sont très proches. De plus, nous remarquons que les circuits N°1 et N°3 protègent la grille du JFET fonctionnant en mode roue libre (J_{AH}) contre le phénomène de punch-through apparaissant lors des commutations ce que ne permet pas de faire le circuit N°2. Pour terminer, nous faisons remarquer que le choix de la tension de blocage au niveau des driver à $V_{T0}-3V$ permet à la grille de chaque JFET qui constitue le bras d'onduleur étudié expérimentalement, de ne pas travailler en régime punch-through à l'état bloqué ($V_{gs_off} \geq V_{br,gs}$).

- Remarques concernant l'essai à $V_{T0}-8V$:

Le fait d'avoir baissé significativement la tension de blocage nous a permis de diviser par 2 les pertes en commutation. Par ailleurs, ce n'est pas une surprise de constater dans ces conditions de polarisation de grille, qu'avec les deux circuits étudiés (les circuits N°2 et N°3), les JFET J_{AH} et J_{AL} sont sollicités lors des commutations en punch-through ; ce n'est pas gênant a priori malgré le fait que les JFET ne soient pas refroidis. Cependant, la structure du circuit N°3 montre ses limites ici puisque nous avons cassé le bras lorsque les JFET étaient bloqués et qu'une tension de 540V était présente sur le bus continu. Cela s'explique par le fait qu'entre la capacité C_G (du circuit N°3) et la grille du JFET, aucun composant ne limite le courant de grille en présence de punch-through (ici nous avons $V_{gs_off} \leq V_{br,gs}$).

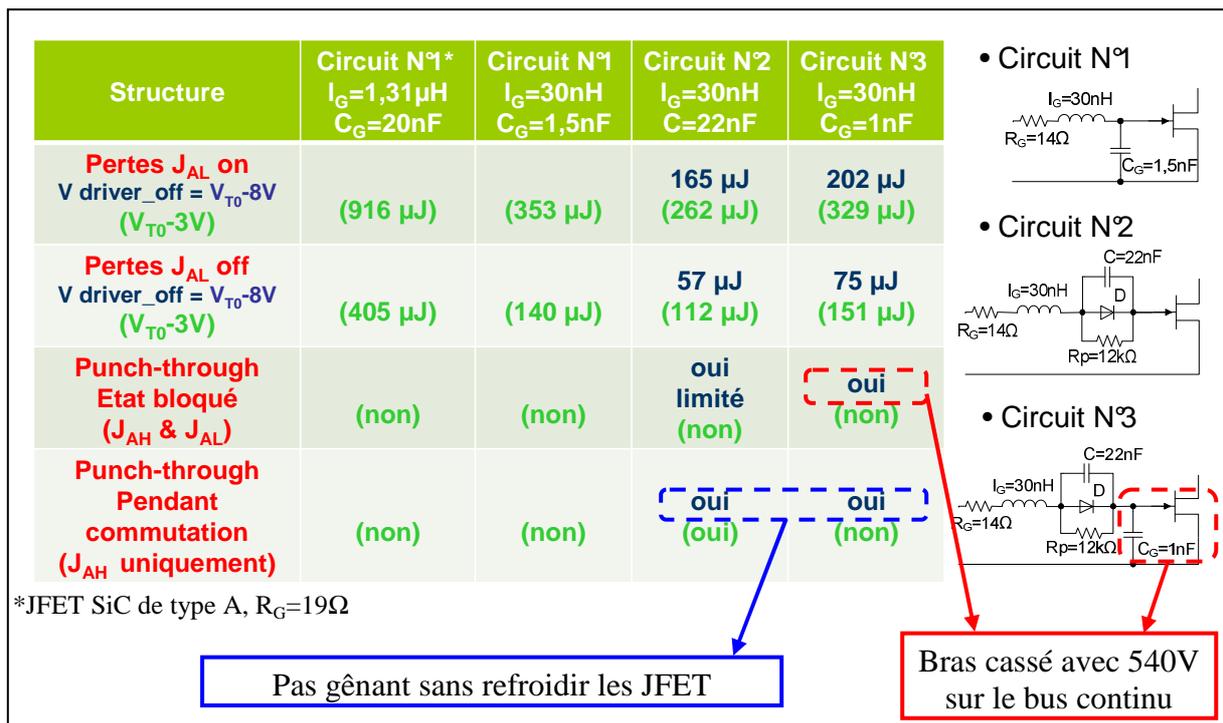


Figure 4-19 : Synthèse pour les 3 circuits d'attaque de grille, Pertes en commutation, Sécurisation de la grille contre l'IPC.

D'après les résultats de synthèse que nous venons d'exposer, des essais doivent être réalisés pour valider les circuits N°1 et N°2 en MLI (Modulation de Largeur d'Impulsion), ce qui équivaut à des essais en commutations répétées. Par contre, il ne sera a priori pas nécessaire de valider le circuit N°3, car lorsque la tension de blocage de grille V_{gs_off} est en-dessous de $V_{br,gs}$, il ne permet pas d'assurer la protection de la grille, et lorsque V_{gs_off} est au-dessus de $V_{br,gs}$, la partie issue du circuit N°2 n'apporte aucun avantage.

4.2.2 Validation des circuits N°1 et N°2 sur un pont en H à base de JFET SiC

Nous avons réalisé des essais en MLI sur le site d'Hispano-Suiza en utilisant un pont en H (voir la Figure 4-20, la Figure 4-21 et la Figure 4-22) afin de valider expérimentalement les circuits d'attaque de grille N°1 et N°2 optimisés. Nous rappelons que ces circuits ont été retenus après l'étude menée sur un bras JFET SiC en employant la méthode du double pulse. Les essais qui seront présentés par la suite ont été réalisés pour une tension du bus continu fixée à 270V et un courant dans la charge RL sinusoïdal de valeur efficace 7A et de fréquence 400Hz (voir le Tableau 4-4 pour plus de détails sur les conditions d'essais). Les conditions d'essais retenues ici se rapprochent des conditions qu'on pourrait trouver dans des applications aéronautiques.

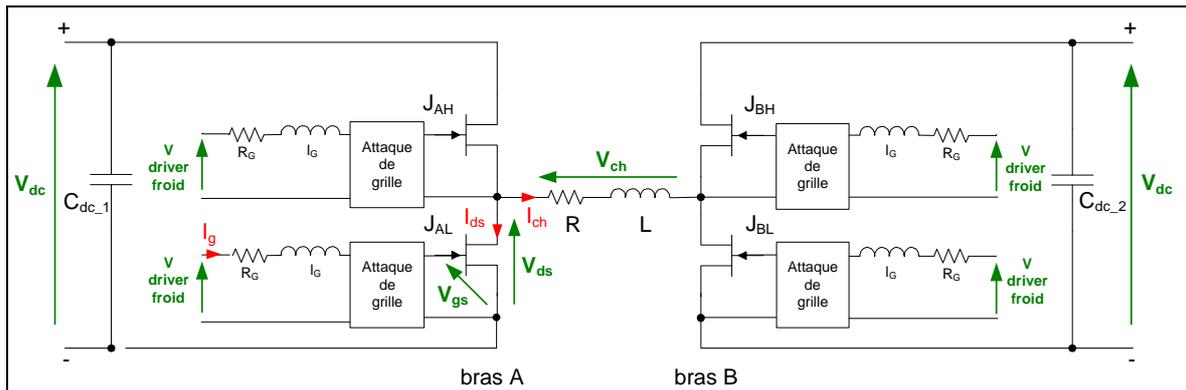


Figure 4-20 : Schéma électrique du banc d'essai (Pont en H JFET SiC commandé en MLI).

Vdc	Ich	R _G	L _G	Fréquence découpage	Vdriver_off	R, L	T	Version JFET
270V	7A eff. Sinus 400Hz	14Ω	30nH	20kHz	V _{T0} -3V	0,3Ω, 0,66mH	25°C	Type B

Tableau 4-4 : Conditions d'expérimentations relatives au pont en H.

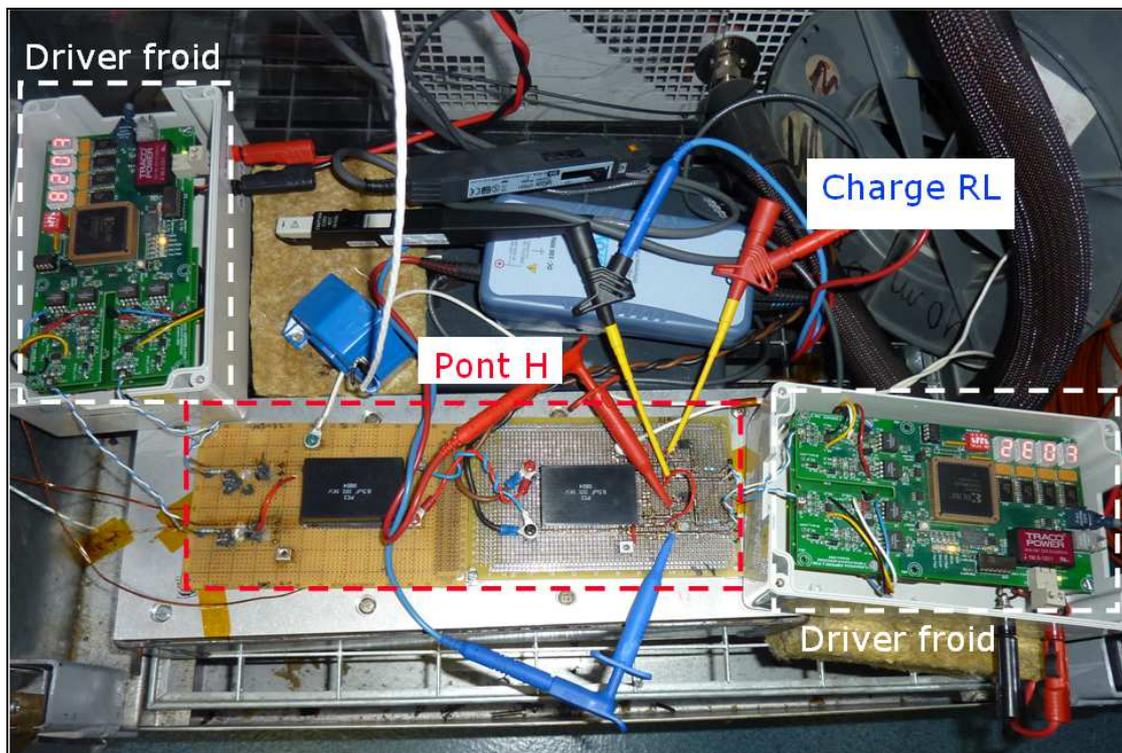


Figure 4-21 : Plateforme expérimentale d'Hispano-Suiza, Pont en H JFET SiC, Essais en MLI, validation de plusieurs circuits d'attaque de grille.

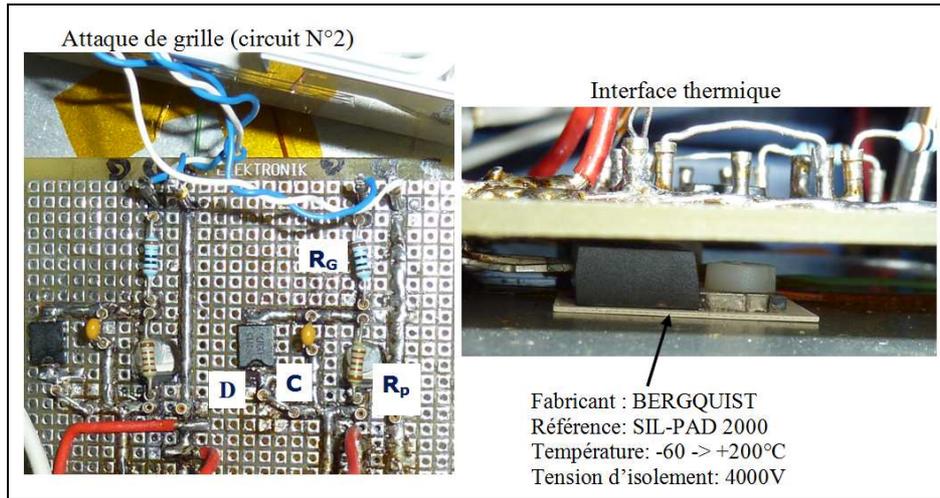


Figure 4-22 : Plateforme expérimentale détaillée d'Hispano-Suiza, Pont en H JFET SiC, Essais en MLI, validation de plusieurs circuits d'attaque de grille.

Les résultats présentés sur la Figure 4-23 permettent de valider pour une tension de 270V et pour une température ambiante de 25°C les circuits d'attaque de grille N°1 et N°2. En effet, avec ces deux circuits nous pouvons imposer des formes d'onde de courant et de tension en régime permanent au niveau de la charge RL avec un pont en H piloté en MLI.

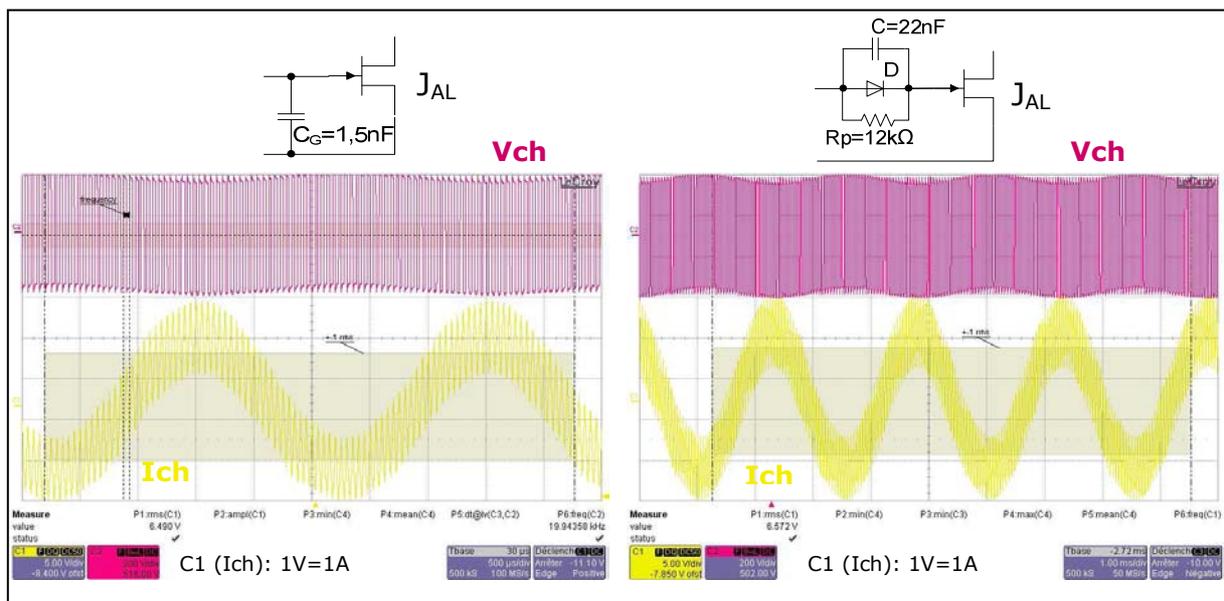


Figure 4-23 : Validation des circuits N°1 et N°2 en MLI sous 270V à 25°C, Courbes en régime permanent dans la charge RL.

Sur la Figure 4-24 nous présentons pour les deux circuits d'attaque étudiés les formes d'ondes au niveau de la grille de J_{AL} lorsque celui-ci rentre en phase de roue libre. Nous remarquons qu'avec le circuit N°1 la grille fonctionne à la limite du punch-through (voir également le Tableau 4-5), la structure joue bien son rôle de protection au niveau de la grille. En revanche, comme nous l'avons déjà mentionné précédemment et nous le constatons bien ici, le circuit N°2 ne protège pas la grille du phénomène de punch-through en régime dynamique. Cependant, le fait que la semelle des JFET était refroidie (voir Figure 4-22), le courant de grille en régime dynamique qui apparaît avec le circuit N°2 n'a pas conduit à l'endommagement du pont en H. Par conséquent, en cas de refroidissement efficace des semelles des composants, les deux circuits d'attaque de grille assurent un fonctionnement correct du pont en H.

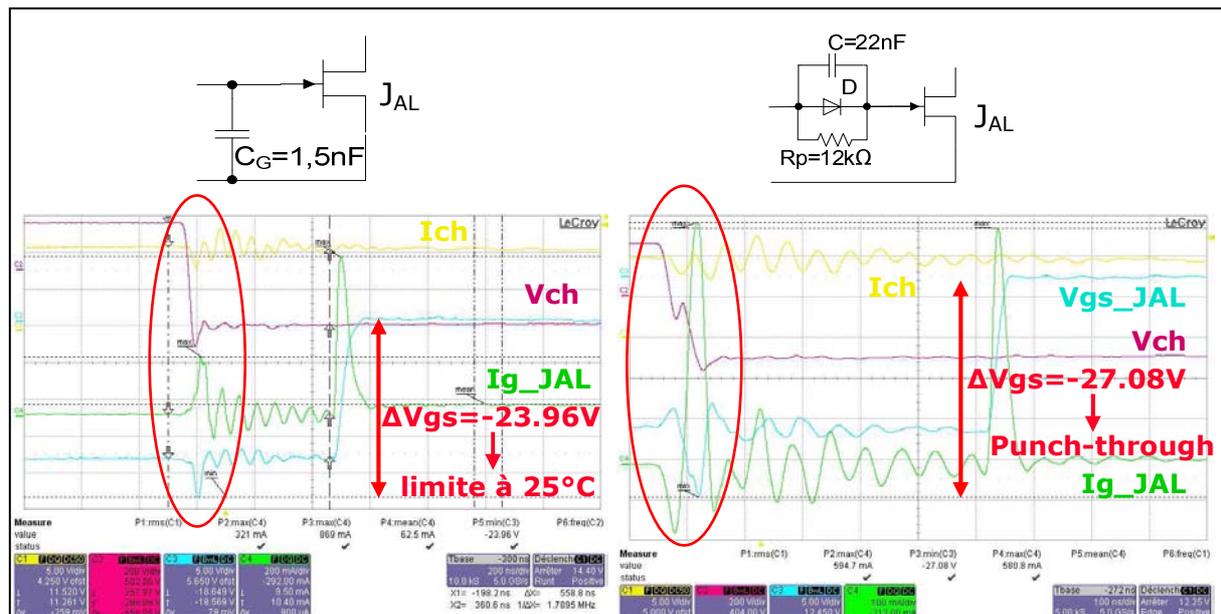


Figure 4-24 : Validation des circuits N°1 et N°2 en MLI sous 270V à 25°C, Courbe de commutation au niveau de la grille de J_{AL}.

JFET	V _{T0}	V _{br,gs} (25°C)
J _{AL}	-16,2V	-24V

Tableau 4-5 : Propriétés de la grille du JFET J_{AL}.

Avant de terminer cette partie validation des circuits d'attaque de grille sur pont en H, nous tenons à attirer l'attention sur les pertes totales (conduction + commutation) obtenues lors de ces essais avec les deux circuits retenus. Après exploitation des relevés de mesure nous avons constaté que le circuit N°1 permet d'obtenir moins de pertes (conduction + commutation) sur un JFET par rapport au circuit N°2. Pour être plus précis, nous avons obtenu 17W de pertes totales avec le circuit N°1 et 20,4W avec le circuit N°2. Cet écart pourrait être justifié par le fait que le circuit N°1 permet de « soulager » de manière plus significative la grille des JFET en termes d'Interaction Puissance Commande, ce qui laisserait présager de meilleurs rendements (moins d'auto-échauffement, car le circuit N°1 minimise le phénomène de punch-through en commutation). Par contre, concernant le circuit N°1 nous avons une charge supplémentaire à fournir par l'intermédiaire du driver pour charger le condensateur C_G , ce qui entraîne des pertes supplémentaires au niveau du driver comparées au circuit N°2. Pour terminer ce paragraphe, le problème pour le concepteur d'onduleur de tension à base de JFET SiC de SiCED réside dans le fait de trouver un compromis entre les pertes de l'onduleur et les pertes du driver, cela contribuera à influencer le choix d'un circuit d'attaque de grille par rapport à un autre.

Pour terminer cette partie validation sur pont en H, nous tenons à faire remarquer qu'il est nécessaire de vérifier le bon fonctionnement des deux structures pour des tensions de bus continu plus importantes, supérieures ou égales à 540V, et pour des températures avoisinant 200°C ambiant. Une fois que ces essais auront été réalisés, nous pourrons procéder à des essais sur un onduleur de tension triphasé à base de JFET SiC de SiCED.

4.3 Conclusion

Dans ce chapitre nous avons tout d'abord rappelé la problématique qui porte sur la minimisation de l'Interaction Puissance Commande au sein d'un onduleur de tension à base de JFET SiC (problème de punch-through et de remise en conduction à considérer concernant le JFET fonctionnant en roue libre).

Puis, nous avons présenté des solutions afin de minimiser les effets de l'IPC : trois circuits que nous avons désignés par circuits d'attaque de grille (le premier a été proposé par le laboratoire GREEN et les deux autres sont issues de la littérature). Ces solutions ont été étudiées, comparées et optimisées sur un bras d'onduleur de tension en appliquant la méthode du double pulse (deux commutations consécutives).

Les résultats de simulation et d'expérimentation obtenus avec les circuits N°1 et N°2 ont permis de mettre en évidence le rôle de l'impédance de grille (R_G, l_G) vis-à-vis de l'IPC. Nous avons montré que l'IPC diminue lorsque cette impédance diminue. Par conséquent, si l'impédance de grille n'est pas minimisée, cela entraîne d'une part le surdimensionnement des circuits d'attaque de grille pour minimiser l'IPC et d'autre part l'augmentation des pertes par commutation.

Ensuite, nous avons montré l'efficacité du circuit N°1 à minimiser l'IPC.

Concernant le circuit N°2, nous avons mis en évidence qu'il ne permet pas de minimiser l'IPC. Cependant, ce circuit permet d'appliquer des tensions de blocage plus importantes comparées au circuit N°1 et permet ainsi d'obtenir des pertes en commutation faibles. Cela est rendu possible du fait que le circuit N°2 possède un dispositif pour protéger la grille contre le phénomène de punch-through à l'état bloqué, la résistance R_p .

Les résultats obtenus avec le circuit N°3 ont mis en évidence que ce circuit ne présente aucun intérêt. C'est pourquoi nous avons décidé de retenir seulement les circuits N°1 et N°2 à l'issue de cette étude.

Dans la dernière partie de ce chapitre, nous avons décidé de valider expérimentalement les deux circuits retenus sur un pont en H commandé en MLI, afin d'éprouver ces circuits à des commutations répétées. Les résultats ont montré que les deux circuits permettaient aux JFET de fonctionner en sécurité pour la tension de bus testée, ici 270V DC. Une analyse complémentaire de ces résultats a montré que le circuit N°1 permettait d'obtenir des pertes totales (commutation + conduction) plus faibles comparées au circuit N°2. Ce constat est certainement lié à un auto-échauffement supplémentaire provenant de la grille, car le phénomène de punch-through en commutation n'est pas minimisé avec le circuit N°2.

Pour finir, nous souhaitons indiquer que des essais restent à réaliser pour compléter la validation des circuits N°1 et N°2. Des essais doivent être effectués avec une tension de bus continu supérieure ou égale à 540V DC et dans un environnement avoisinant 200°C ambiant. Car il est important pour conclure ce chapitre et cette partie perspective, de rappeler que l'IPC est liée à l'impédance de grille (R_G, l_G), à C_{gd} ainsi qu'aux dV/dt qui dépendent entre autres de la valeur de tension de bus DC à commuter.

CHAPITRE 5

ETUDE PAR SIMULATION DE LA STABILITE D'UN BUS CONTINU EN ENVIRONNEMENT SEVERE (TEMPERATURE – TENSION)

Ce cinquième chapitre va porter sur une étude système. Le système que nous allons considérer sera constitué d'un bus continu, d'un onduleur de tension triphasé avec sa commande et d'une machine synchrone à aimants permanents avec sa charge. L'étude sera menée par simulation à l'aide du logiciel Saber. Le modèle de l'onduleur de tension triphasé sera réalisé avec le modèle du JFET SiC deux canaux présenté et validé au chapitre 3. L'emploi de ce modèle dans cette étude permettra d'observer si cet onduleur à base de JFET SiC a une influence ou non sur la condition locale de stabilité évoquée par la suite.

Deux des contraintes les plus sévères imposées sur le système considéré sont le fonctionnement à haute température et celui à haute tension. Nous avons étudié en simulation l'impact sur la stabilité du bus continu d'une perte de 50% de la capacité du condensateur chargé de filtrer le mode différentiel de ce bus ; cette perte de capacité est liée à l'augmentation de la température (200°C) et à la tension appliquée à ses bornes (540V).

Après cette brève introduction, voici comment ce cinquième chapitre va se dérouler :

Dans une première partie, nous rappellerons la problématique liée à la stabilité d'un bus continu en environnement sévère. Nous présenterons en particulier le comportement d'un système fonctionnant à puissance constante vis-à-vis d'un bus continu, la condition de stabilité locale d'un bus continu ainsi que le comportement en température et en tension d'un condensateur haute température de mode différentiel en céramique. Par ailleurs, des résultats de simulation du système fonctionnant en environnement sévère seront présentés. Ils mettront en avant l'instabilité du bus continu liée au non-respect de la condition locale de stabilité et montreront la neutralité de l'onduleur JFET SiC vis-à-vis de cette condition locale de stabilité.

Dans la seconde partie, nous présenterons une solution de stabilisation simple à mettre en œuvre, découverte lors des différentes études systèmes que nous avons menées, qui permet de rendre stable le bus continu sans respecter la condition locale stabilité. De plus, cette solution de stabilisation ayant l'avantage de ne pas employer d'algorithme de stabilisation, le schéma de contrôle de la machine électrique ne sera pas modifié. Nous présenterons par ailleurs un outil, la spectroscopie d'impédance, utilisé en général pour prédire le fonctionnement d'une solution de stabilisation. Ici cet outil va nous permettre de vérifier et de comprendre le fonctionnement de la solution proposée.

Nous tenons à préciser que les études par simulation citées précédemment ont été effectuées dans le cadre du projet SEFORA en collaboration entre les laboratoires GREEN, Ampère et SATIE, ainsi que la société Hispano-Suiza.

Notations employées dans ce chapitre :

- Soit une variable x considérée, nous noterons X_0 le point de fonctionnement associé à cette variable et \tilde{x} les variations autour du point de fonctionnement associé à cette même variable.
- s représentera la variable de Laplace.

5.1 Problématique liée à la stabilité d'un bus continu en environnement sévère

5.1.1 Rappel de la structure d'un bus continu

Sur la Figure 4-1 ci-dessous, nous rappelons la structure classique d'un bus continu (par la suite, le bus continu sera aussi désigné par « bus DC » ou encore par « filtre d'entrée »). Cette structure comporte, une inductance L_{dc} , une résistance R_{dc} et un condensateur C_{dc} . L'inductance L_{dc} représente l'inductance réseau ainsi que l'inductance du filtre CEM chargé de filtrer le mode différentiel. La résistance R_{dc} représente la résistance interne associée à L_{dc} . Le condensateur C_{dc} représente quant à lui le condensateur chargé de filtrer le mode différentiel.

Par ailleurs, nous définissons les grandeurs électriques suivantes : côté source, E et i , côté charge, v_{ch} et i_{ch} .

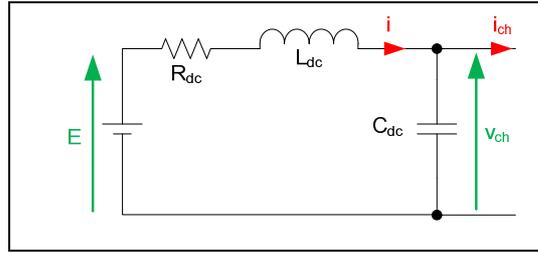


Figure 5-1 : Structure du bus continu considérée.

Remarque : Les éléments liés aux filtrages du mode commun ne sont pas représentés sur le schéma de la Figure 4-1, car ils ont un impact négligeable du point de vue de la stabilité.

5.1.2 Comportement d'un système fonctionnant à puissance constante – Condition de stabilité locale

Désormais nous considérons l'ensemble Bus DC + Charge de la Figure 5-2, avec pour particularité d'avoir une charge qui consomme une puissance constante P_{ch} . Cette hypothèse correspond à un cas contraignant pour le filtre d'entrée auquel est associé bien souvent un phénomène d'instabilité sur le bus DC. En effet, si la puissance est constante, alors l'augmentation de la tension v_{ch} entraîne une diminution du courant i_{ch} et inversement. La charge se comporte alors comme une résistance dite « négative » [MAG 2012].

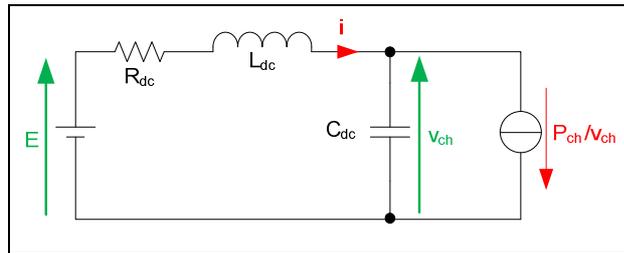


Figure 5-2 : Structure de l'ensemble bus DC + Charge considérée.

A partir de cette hypothèse, nous allons étudier la stabilité locale du filtre d'entrée en nous intéressant aux variables d'état qui lui sont associées (v_{ch} , i), et en particulier pour un point de fonctionnement, ici (V_{ch0} , I_0). Pour ce faire, nous considérons uniquement les variations du système autour de ce point de fonctionnement. Le système se modélise alors sous la forme suivante :

$$\begin{bmatrix} \dot{\tilde{i}} \\ \dot{\tilde{v}}_{ch} \end{bmatrix} = \underbrace{\begin{bmatrix} -\frac{R_{dc}}{L_{dc}} & -\frac{1}{L_{dc}} \\ \frac{1}{C_{dc}} & \frac{P_{ch}}{C_{dc} \cdot V_{ch0}^2} \end{bmatrix}}_A \begin{bmatrix} \tilde{i} \\ \tilde{v}_{ch} \end{bmatrix} \quad \text{Eq 5-1}$$

Pour établir la condition locale de stabilité nous devons exprimer ensuite le polynôme caractéristique P associé à la matrice A dont voici l'expression :

$$P(\lambda) = \lambda^2 + \left(\frac{R_{dc}}{L_{dc}} - \frac{P_{ch}}{C_{dc} \cdot V_{ch0}^2} \right) \lambda + \frac{1}{L_{dc} \cdot C_{dc}} \left(1 - \frac{R_{dc} \cdot P_{ch}}{V_{ch0}^2} \right) \quad \text{Eq 5-2}$$

L'étude du polynôme caractéristique effectuée dans [MAG 2012] montre que la condition de stabilité locale s'exprime par :

$$P_{ch} < \frac{R_{dc} \cdot C_{dc}}{L_{dc}} V_{ch0}^2 \quad \text{Eq 5-3}$$

Le second membre de l'équation Eq 5-3 est généralement désigné dans la littérature par puissance maximale de charge admissible sur le bus DC [LIU 2010, MAG 2010, MAG 2012], nous posons alors :

$$P_{ch_max} = \frac{R_{dc} \cdot C_{dc}}{L_{dc}} V_{ch0}^2 \quad \text{Eq 5-4}$$

Nous soulignons que P_{ch_max} est directement liée aux différents éléments qui constituent le bus DC, soit R_{dc} , C_{dc} et L_{dc} et indirectement E . Par ailleurs, nous pouvons remarquer que plus la capacité de l'onduleur C_{dc} sera grande, plus le système sera stable et inversement pour l'inductance L_{dc} .

Remarque :

Pour établir la condition locale de stabilité, nous avons fait l'hypothèse que le point de fonctionnement considéré existait et en particulier que V_{ch0} existait. Cependant, pour que cette hypothèse soit vérifiée, nous devons respecter, en régime permanent, la condition d'existence du point de fonctionnement suivante :

$$P_{ch} \leq \frac{E^2}{4 \cdot R_{dc}} \quad \text{Eq 5-5}$$

Dans toute l'étude qui sera menée par la suite, cette condition sur l'existence du point de fonctionnement sera toujours vérifiée.

5.1.3 Comportement de C_{dc} dans un environnement sévère (Température – Tension)

Pour des applications hautes températures (200°C) et hautes tensions (1000V), les condensateurs céramiques semblent être de bons candidats à l'heure actuelle. Cependant, comme le montre Rémi ROBUTEL dans [ROB 2010], la capacité de ces condensateurs diminue d'environ 50% lorsque la température ambiante atteint 200°C et lorsqu'une tension autour de 540 V est appliquée à leurs bornes (voir Figure 5-3).

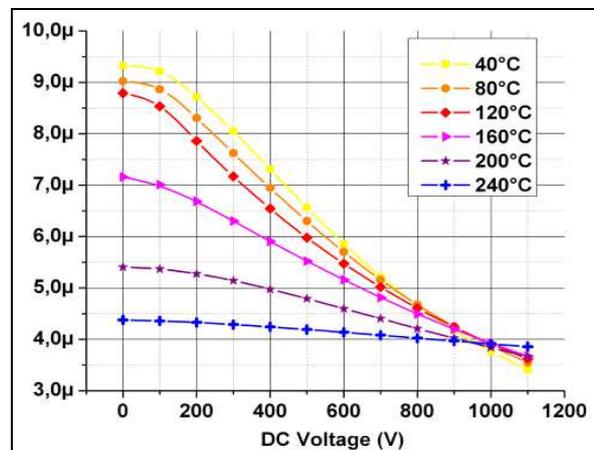


Figure 5-3 : Evolution de la capacité (μF) en fonction de la tension continue et de la température appliquées.

Condensateur ($10\mu\text{F}$, 1kV) fabriqué par AVX [@AVX] avec un diélectrique du type X7R [ROB 2010].

Dans la suite de ce chapitre, voici les considérations qui seront prises concernant la capacité de C_{dc} :

- Lors des études effectuées pour une température ambiante égale à 27°C et une tension continue E égale à 540V, nous considèrerons que la capacité de C_{dc} ne sera pas affectée.
- En revanche, lors des études effectuées pour une température ambiante égale à 200°C et une tension continue E égale à 540V, nous considèrerons une diminution de 50% de la capacité de C_{dc} .

5.1.4 Présentation du système considéré

Le système étudié par simulation (voir la Figure 5-4) va comporter un bus continu, un onduleur de tension alimentant une machine synchrone à aimants permanents (MSAP), et cette dernière entraînera une charge mécanique. Nous tenons à préciser que des boucles de régulation seront intégrées dans la partie commande de la MSAP, en particulier une boucle de vitesse et des boucles de courant (voir la Figure 5-6). Par conséquent, nous nous plaçons bien ici dans le cas où la charge se comporte comme une charge à puissance constante vis-à-vis du bus DC, puisque pour un point de fonctionnement donné (Γ_{ch0} , Ω_0), les boucles de régulation vont compenser les variations de tension de V_{ch} .

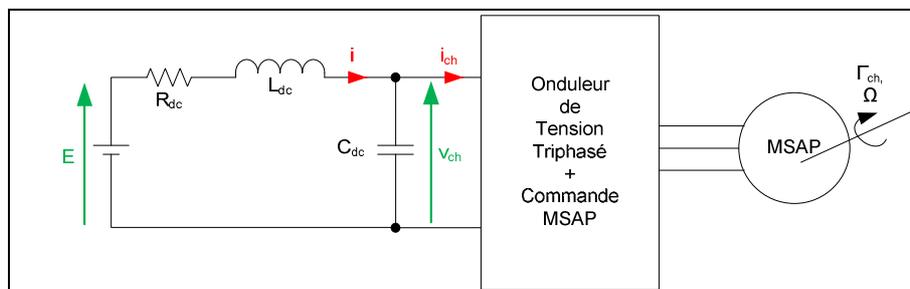


Figure 5-4 : Système étudié dans son ensemble, Bus DC-Onduleur de Tension-MSAP+Charge Mécanique

Plus concrètement, le système présenté sur la Figure 5-4 a été modélisé et étudié sous SABER, nous présentons ce modèle sur la Figure 5-5. Nous tenons à souligner que l'onduleur de tension a été réalisé avec le modèle présenté et validé au chapitre 3 (voir la partie 3.2) ; nous rappelons que ce modèle représente les comportements statique et dynamique du JFET SiC deux canaux de SiCED de Type A, et que ce modèle a été validé intégralement à 27°C.

Pour continuer le descriptif de la Figure 5-5, nous tenons à souligner que nous avons « symétrisé » les différents constituants du bus continu ($R_{dc}/2$ et $L_{dc}/2$) afin d'être plus représentatifs d'un système réel et pouvoir inclure par la suite dans le modèle au niveau du bus DC le filtre CEM de mode commun.

Pour terminer le descriptif de la Figure 5-5, le lecteur pourra remarquer au niveau du modèle qu'une impédance de grille a été prise en compte (R_G , l_G) et que le circuit d'attaque de grille désigné par N°1 au chapitre 4 a été retenu (voir la partie 4.2 pour avoir plus de détails sur ce circuit). En effet, nous nous plaçons dans l'optique où nous pouvons effectuer des essais à hautes températures sans disposer de drivers hautes températures. Par conséquent, nous sommes contraints d'utiliser des drivers dit « froids » qui induisent des longueurs de câbles de commandes importantes, d'où la présence de (R_G , l_G). Pour minimiser les effets de l'Interaction Puissance-Commande exacerbés par le couple (R_G , l_G), nous avons employé le circuit d'attaque de grille N°1 (utilisation d'un condensateur C_G ayant une valeur de capacité significative, voir le Tableau 5-1). Nous tenons à préciser que les valeurs retenues pour les éléments qui constituent le circuit de commande rapproché du JFET sont celles qui ont été identifiées ou retenues lors des essais de la première phase de caractérisation dynamique présentée au chapitre 2 dans la partie 2.3.3.1.

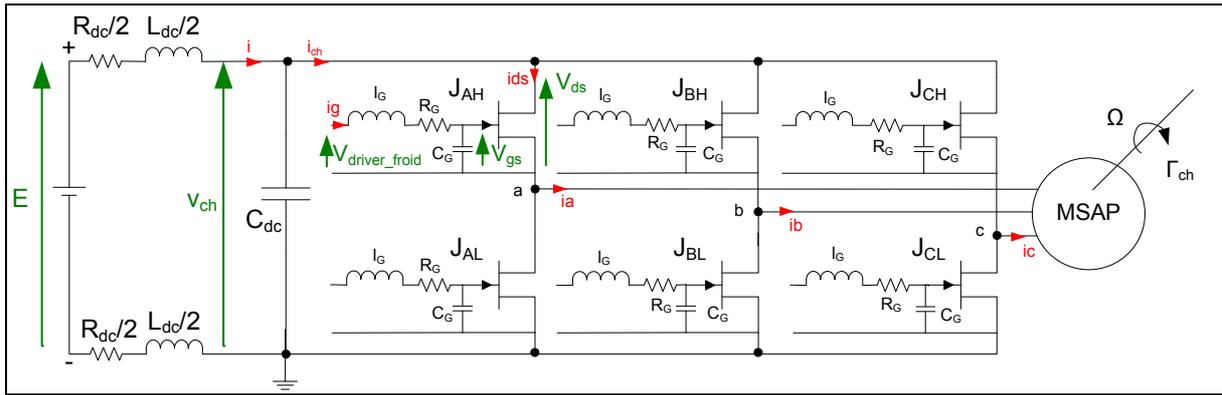


Figure 5-5 : Ensemble (Bus DC – Onduleur JFET SiC – MSAP – Charge Mécanique), modélisé sous SABER.

Sur la Figure 5-6, nous présentons le principe de commande utilisé. C'est une commande classique d'une MSAP, dans laquelle nous retrouvons des boucles de régulation en courant (axes d et q , i_d^* et i_q^* : courants de référence d'axe d et d'axe q , i_d et i_q : courants mesurés d'axe d et d'axe q), et une boucle de régulation en vitesse (Ω^* : vitesse de référence, Ω : vitesse mesurée). Nous soulignons qu'un découplage de type Feedback est employé ici pour découpler les courants d'axes d et q . Pour effectuer ce découplage, nous faisons remarquer que la mesure de tension du bus continu v_{ch} est nécessaire. Cette remarque n'est pas anodine, car comme nous allons le montrer plus tard dans ce chapitre, cette mesure de tension va jouer un rôle important concernant la stabilité du bus DC. Pour terminer le descriptif, nous indiquons que les correcteurs, $C_v(s)$, $C_d(s)$ et $C_q(s)$ sont du type Proportionnel-Intégral (voir Eq 5-6, pour rappel s représente la variable de Laplace).

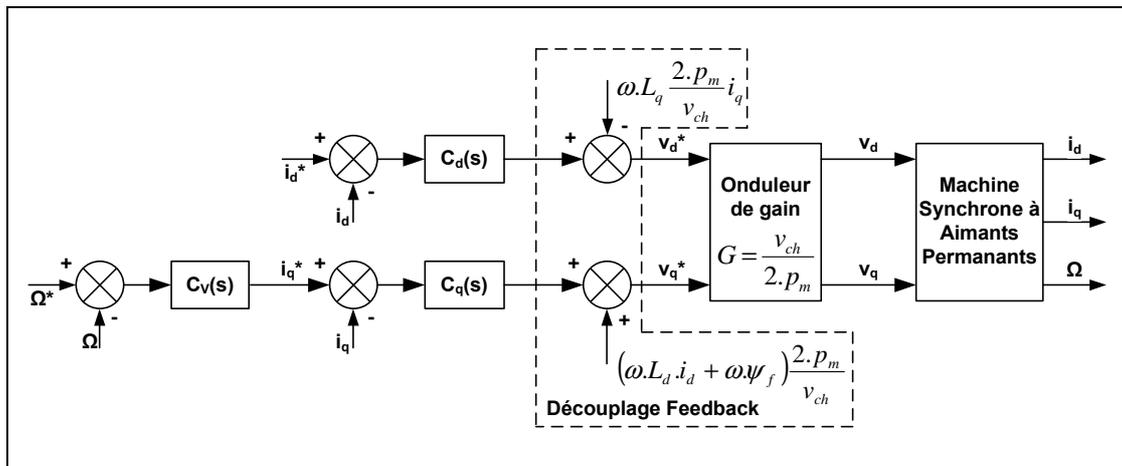


Figure 5-6 : Schéma de contrôle de la MSAP, Découplage de type Feedback : v_{ch} représente la mesure instantanée de la tension du bus DC.

Remarque : Les matrices de Concordia et Park ont été utilisées pour passer dans le référentiel abc à dq (matrices non représentées sur la Figure 5-6).

$$C_d(s) = K_{pd} \frac{1 + \tau_d \cdot s}{\tau_d \cdot s} \quad C_q(s) = K_{pq} \frac{1 + \tau_q \cdot s}{\tau_q \cdot s} \quad C_v(s) = K_{pv} \frac{1 + \tau_v \cdot s}{\tau_v \cdot s} \quad \text{Eq 5-6}$$

Dans le Tableau 5-1, le Tableau 5-2, le Tableau 5-3 et le Tableau 5-4 nous avons récapitulé les principales caractéristiques du système étudié.

L'étude par simulation sera menée avec une tension sur le bus continu à vide E de 540V. Nous rappelons que cette valeur correspond à la valeur nominale de tension sur le bus continu retenue dans le cadre du projet SEFORA (voir pour rappel l'introduction générale).

Les valeurs de R_{dc} et L_{dc} que nous avons retenues pour l'étude sont des valeurs réalistes. Concernant la valeur de la capacité C_{dc} choisie ($10\mu\text{F}$), elle permet de garantir la stabilité du bus DC lorsqu'une puissance de 2kW mécanique ($P_{méca}$) est fournie par la MSAP à la charge, et pour un environnement à 27°C .

Les paramètres liés à la machine électrique utilisée correspondent à une étoile de la MSAP double étoiles à pôles lisses dont dispose le laboratoire GREEN, où chaque étoile est capable de fournir 2kW mécanique pour une vitesse nominale de 4000 tr/min (ou 419 rad/s). Nous rappelons dans le Tableau 5-3, les principales caractéristiques de cette machine pour une étoile alimentée (R_s résistance de phase, L_s inductance propre des enroulements statoriques, M mutuelle entre deux enroulements statoriques, ψ_f flux des aimants à travers les bobines statoriques, J moment d'inertie moteur-charge, f coefficient du frottement visqueux, p nombre de paires de pôles, Ω vitesse de rotation angulaire).

La méthode de la compensation de pôle a été utilisée pour dimensionner les correcteurs des courants d'axe d et q , $C_d(s)$ et $C_q(s)$. La fréquence de coupure f_c des boucles de régulation des courants d'axes d et q est fixée à 2kHz, soit à la fréquence de découpage divisée par 10. Par ailleurs, la fréquence de coupure se situe en dessous de la fréquence de résonance f_0 du filtre d'entrée (L_{dc} , C_{dc}) que ce soit pour C_{dc} égale à $10\mu\text{F}$ ($f_0 = 5033 \text{ Hz}$), ou lorsqu'elle sera égale à $5\mu\text{F}$ ($f_0 = 7118 \text{ Hz}$).

La méthode de l'optimum symétrique a été utilisée pour dimensionner le correcteur de vitesse $C_v(s)$. Une marge de phase de 60° a été choisie au niveau de la Fonction de Transfert en Boucle Ouverte FTBO pour assurer la stabilité de la boucle de vitesse.

R_G	C_G	I_G	JFET	Tension de seuil V_{T0}	Tension de blocage Driver
19Ω	20nF	$1,31\mu\text{H}$	Type A	-24V	-26V

Amplitude porteuse p_m	Temps mort	Fréquence de découpage	Température
1V	500ns (effectif)	20kHz	27°C

Tableau 5-1 : Paramètres de simulation côté onduleur JFET, simulation SABER.

E	R_{dc}	L_{dc}	C_{dc} (540Vdc, 27°C)	C_{dc} (540Vdc, 200°C)
540V	$0,1\Omega$	$0,1\text{mH}$	$10\mu\text{F}$	$5\mu\text{F}$

Tableau 5-2 : Paramètres de simulation côté Bus DC, simulation SABER.

MSAP		
$R_s=0,5\Omega$	$\Psi_f=0,12\text{Wb}$	$p=4$
$L_s=3,1\text{mH}$	$J=3,2*10^{-3}\text{Kg.m}^2$	$P_{méca}=2\text{kW}$
$M=0\text{H}$	$f=2*10^{-3}\text{Kg.m}^2.\text{s}^{-1}$	$\Omega=419 \text{ rad/s}$

Tableau 5-3 : Paramètres de simulation côté MSAP, simulation SABER.

Boucles régulation courants (i_d, i_q)	Boucle régulation vitesse (Ω)
$f_c=2\text{kHz}$ $\tau_d = \tau_q = \frac{L_s - M}{R_s} = \frac{L_d}{R_s} = \frac{L_q}{R_s}$ (compensation de pôle)	$\tau_v = 13,93 \frac{1}{2.\pi.f_c}$ (marge de phase de 60°)
$K_{pd} = K_{pq} = 2.\pi.f_c \frac{2.P_m}{V_{ch0}} (L_s - M)$	$K_{pv} = \frac{J}{p.\psi_f \sqrt{\tau_v \cdot \frac{1}{2.\pi.f_c}}}$

Tableau 5-4 : Paramètres de simulation côté régulateurs de courant et régulateur de vitesse, simulation SABER.

Remarques :

- Pour l'étude menée, la source de tension E (voir Figure 5-4 et Figure 5-5) sera supposée bidirectionnelle en courant.
- La référence de courant sur l'axe $d i_d^*$ sera nulle dans toute l'étude, nous travaillerons alors à couple maximum tout en minimisant les pertes joules dans la MSAP.
- Les essais par simulation que nous effectuerons à une température ambiante égale à 200°C n'affecteront sur le système considéré que la capacité du condensateur C_{dc} du bus DC, car le modèle SABER du JFET et donc le modèle de l'onduleur JFET ne sont validés que pour une température ambiante égale à 27°C.

5.1.5 Etude par simulation de la stabilité du bus DC du système considéré en environnement sévère

Nous allons effectuer deux campagnes de simulation en se basant sur les résultats présentés précédemment dans ce chapitre (comme la condition locale de stabilité ou encore le comportement de $C_{dc}=f(\text{Température}, v_{ch})$).

La première campagne sera réalisée avec une capacité de bus C_{dc} égale à 10μF. Nous rappelons que cela correspond à des conditions de simulation qui n'affectent pas la capacité de C_{dc} (température ambiante de 27°C et 540V sur le bus DC). Nous nous placerons alors ici dans un environnement dit « non sévère » en termes de stabilité du bus DC.

La deuxième campagne sera réalisée avec une capacité de bus C_{dc} égale à 5μF. Cela correspond à une perte de 50% liée à la température de l'environnement (200°C) et aussi à la valeur de la tension du bus DC (540V). Nous montrerons par simulation l'impact de cette perte de capacité sur la stabilité du bus DC en environnement sévère.

5.1.5.1 Stabilité du bus continu en environnement non sévère, $C_{dc}=10\mu F$

Nous allons étudier la stabilité locale du bus continu en environnement non sévère ($C_{dc}=10\mu F$ à 27°C) lorsque la MSAP travaille à son point de fonctionnement nominal ($P_{méca}=2kW$, voir le Tableau 5-3 pour rappel, de plus lorsqu'une variable du système sera affectée de l'indice « 0 » cela indiquera que la variable considérée est prise au point de fonctionnement considéré). Dans ces conditions, d'après l'équation Eq 5-4 le calcul de $P_{ch_max}(C_{dc}=10\mu F)$ nous donne :

$$P_{ch_max}(C_{dc} = 10\mu F) = \frac{R_{dc} \cdot C_{dc}}{L_{dc}} V_{ch0}^2 = \frac{0,1 * 10 * 10^{-6}}{0,1 * 10^{-3}} 539,5^2 = 2911 W \quad \text{Eq 5-7}$$

Nous calculons ensuite la puissance P_{ch} absorbée par l'ensemble Onduleur - MSAP sur le bus DC :

$$P_{ch} = V_{d0} \cdot I_{d0} + V_{q0} \cdot I_{q0} = -60,73 * 0 + 206,97 * 11,69 = 2419 W \quad \text{Eq 5-8}$$

La condition $P_{ch} < P_{ch_max}$ est satisfaite ici, ce qui implique que le point de fonctionnement nominal considéré pour la machine vis-à-vis du bus DC sera stable. Autrement dit, pour ce point de fonctionnement, le choix de la valeur des éléments qui constituent le bus DC (en particulier C_{dc}) permettra d'assurer la stabilité du bus DC.

Remarque :

Dans le calcul de P_{ch} nous supposons que l'onduleur a un rendement unitaire et que les pertes fer de la MSAP ne sont pas prises en compte.

Nous allons vérifier par simulation que le bus DC est stable dans les conditions précédemment énoncés. Pour ce faire nous partons d'un point de fonctionnement stable où $\Gamma_{ch} = 1 N.m$ et $\Omega = \Omega_{no\ min\ ale} = 419 rad/s$ ($P_{méca} = 419W$ et $P_{ch} = 777W$) ; au bout de 50ms nous appliquons un échelon de couple pour arriver au point de fonctionnement nominale où $\Gamma_{ch} = 4.77 N.m$ et $\Omega = \Omega_{no\ min\ ale} = 419 rad/s$ ($P_{méca} = 2kW$ et $P_{ch} = 2419W$), voir la Figure 5-7.

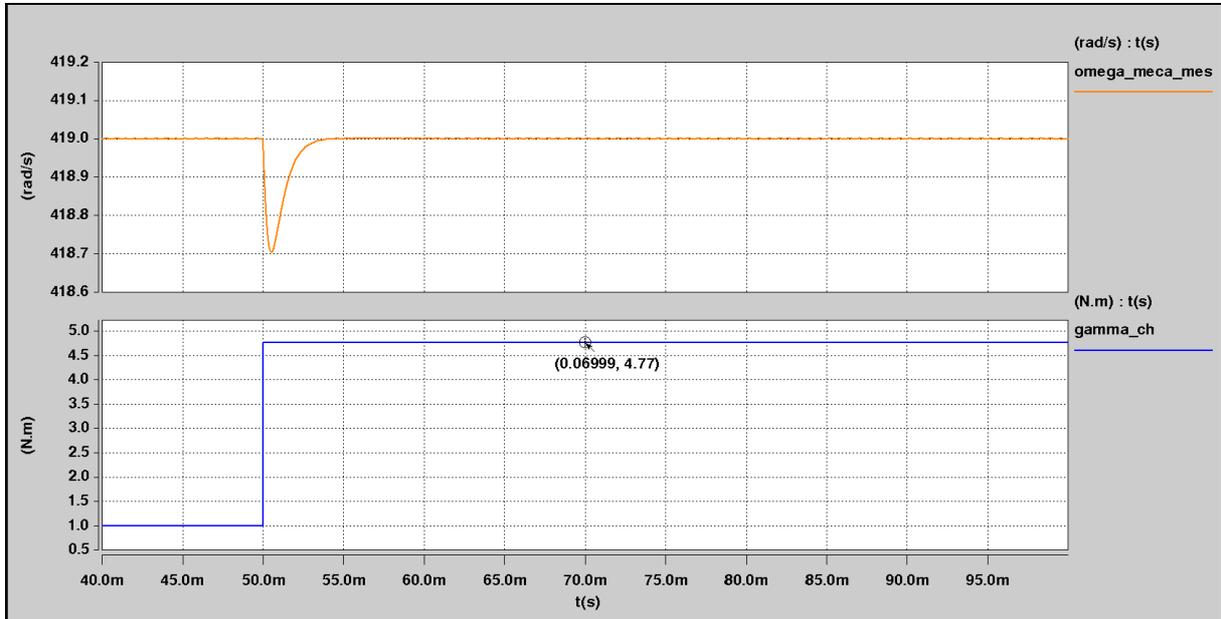


Figure 5-7 : Résultats de Simulation obtenus sous Saber, $C_{dc} = 10\mu F$ et $P_{méca} = 2kW$, Echelon de couple.

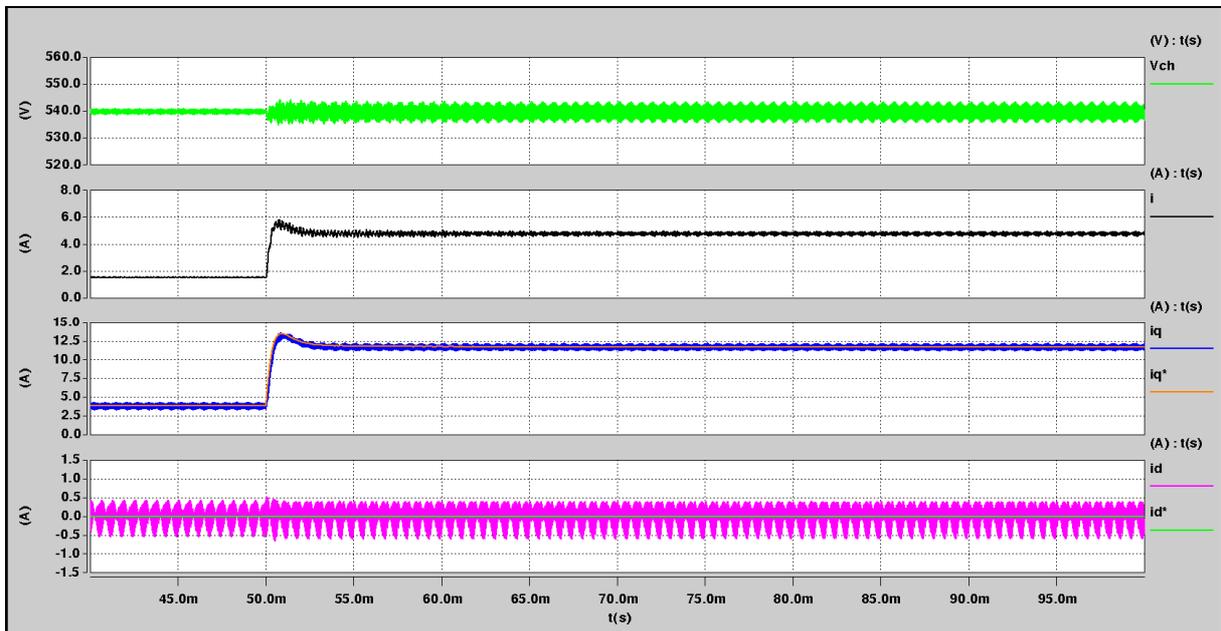


Figure 5-8 : Résultats de Simulation obtenus sous Saber, $C_{dc} = 10\mu F$ et $P_{méca} = 2kW$, Réponse au niveau du bus DC et des courants de la MSAP suite à l'échelon de couple.

Nous pouvons constater sur la Figure 5-8 que lorsque le point de fonctionnement nominale est atteint, le bus continu reste stable. Autrement dit, cela valide à la fois le calcul prévisionnel de stabilité établi précédemment et le choix de la capacité C_{dc} relative au bus continu, ici $10\mu F$.

5.1.5.2 Stabilité du bus continu en environnement sévère, $C_{dc}=5\mu F$

Nous allons étudier la stabilité locale du bus continu cette fois-ci en environnement sévère ($C_{dc}=5\mu F$ à $200^{\circ}C$) lorsque la MSAP travaille toujours à son point de fonctionnement nominal. Dans ces conditions, d'après l'équation Eq 5-4 le calcul de $P_{ch_max}(C_{dc}=5\mu F)$ nous donne :

$$P_{ch_max}(C_{dc} = 5\mu F) = \frac{R_{dc} \cdot C_{dc}}{L_{dc}} V_{ch0}^2 = \frac{0,1 * 5 * 10^{-6}}{0,1 * 10^{-3}} 539,5^2 = 1455 W \quad \text{Eq 5-9}$$

Le calcul de P_{ch} établi précédemment reste valable, par conséquent la condition locale de stabilité $P_{ch} < P_{ch_max}$ n'est pas satisfaite, ce qui implique que le point de fonctionnement nominal considéré pour la machine vis-à-vis du bus DC sera instable. Autrement dit, pour ce point de fonctionnement, le choix de la valeur des éléments qui constituent le bus DC (en particulier C_{dc}) ne va pas permettre d'assurer la stabilité du bus DC.

Comme précédemment nous allons vérifier par simulation la stabilité du bus DC. Nous opérons de la même manière, c'est-à-dire que nous partons d'un point de fonctionnement stable où $\Gamma_{ch} = 1N.m$ et $\Omega = \Omega_{no\ min\ ale} = 419rad / s$ ($P_{méca}=419W$ et $P_{ch}=777W$) ; au bout de 50ms nous appliquons un échelon de couple pour arriver au point de fonctionnement nominale où $\Gamma_{ch} = 4.77N.m$ et $\Omega = \Omega_{no\ min\ ale} = 419rad / s$ ($P_{méca}=2kW$ et $P_{ch}=2419W$), voir la Figure 5-9.

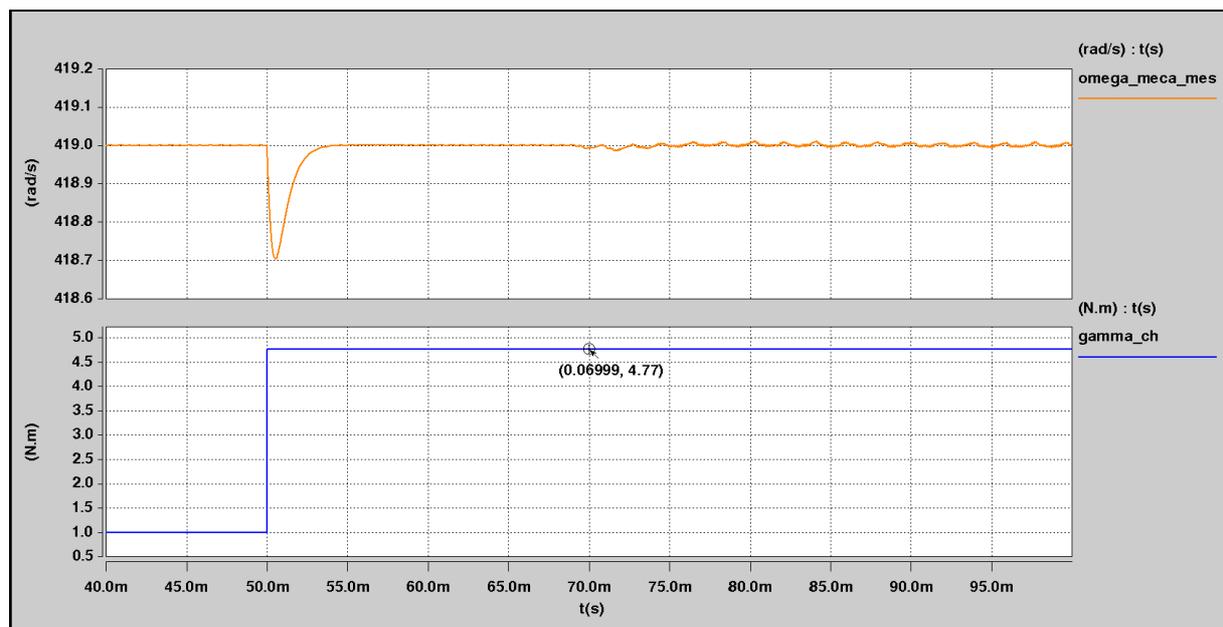


Figure 5-9 : Résultats de Simulation obtenus sous Saber, $C_{dc}=5\mu F$ et $P_{méca}=2kW$, Echelon de couple.

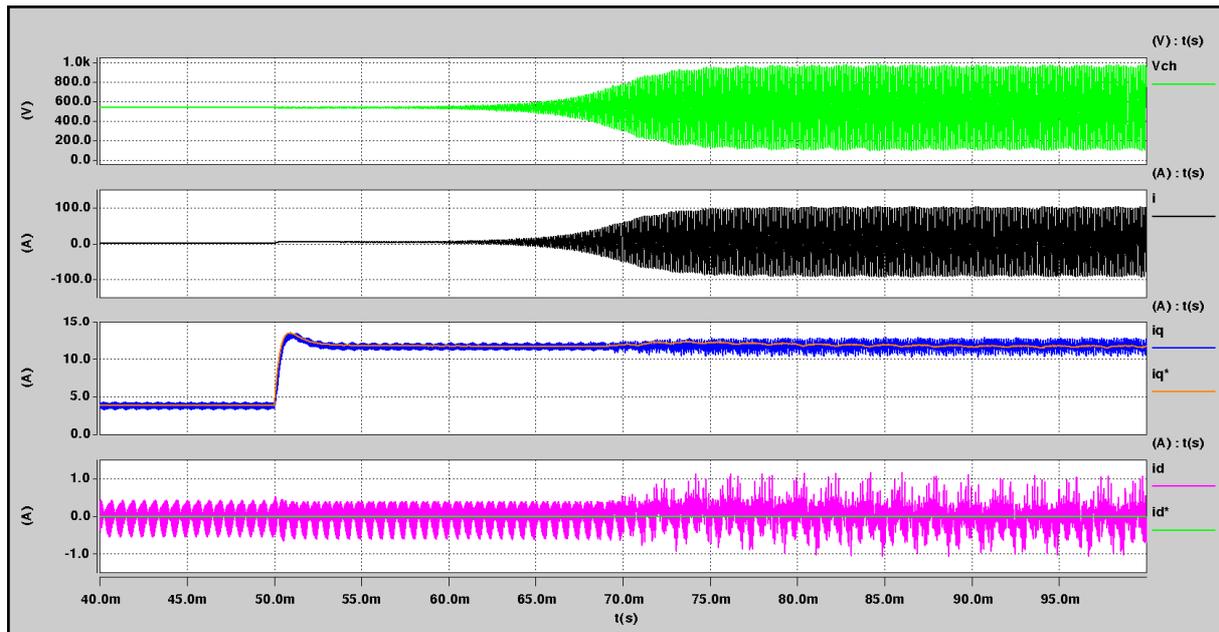


Figure 5-10 : Résultats de Simulation obtenus sous Saber, $C_{dc}=5\mu F$ et $P_{méca}=2kW$, Réponse au niveau du bus DC et des courants de la MSAP suite à l'échelon de couple.

Nous pouvons constater sur la Figure 5-10 que lorsque le point de fonctionnement nominal est atteint, le bus continu devient instable. Autrement dit, cela concorde avec le calcul prévisionnel de stabilité établi précédemment avec $C_{dc}=5\mu F$.

Par ailleurs, les simulations mettent en avant le fait que l'onduleur JFET SiC n'est ni « stabilisant », ni « déstabilisant », la condition locale de stabilité pouvant être vérifiée. Autrement dit, l'onduleur JFET est neutre vis-à-vis de la condition locale de stabilité.

5.1.6 Solutions de stabilisation envisageables

Nous pouvons constater que l'instabilité observée côté bus DC sur la Figure 5-10 atteint un cycle limite, qui est dû à la saturation des tensions de commande dans le référentiel abc à $\pm 0,95V$ (sachant que l'amplitude de la porteuse est égale à $\pm 1V$). Nous observons en particulier sur v_{ch} une variation importante de $\pm 500V$ environ par rapport à v_{cho} qui vaut $539,5V$, et il en est de même pour i qui varie fortement autour de sa valeur moyenne, soit une variation de $\pm 120A$ environ autour de $5A$. Malgré le fait que la MSAP fonctionne correctement en présence de l'instabilité côté bus continu, cela est néfaste pour le réseau et les autres charges qui y sont connectées puisque l'instabilité réseau peut se propager. De plus, comme le JFET semble être fragile en termes de tenue en tension et que cette dernière est plus ou moins bien maîtrisée d'une puce à l'autre, des surtensions voisines de $1200V$ sont à proscrire.

Les solutions qui peuvent être envisagées et que nous trouvons dans la littérature sont les suivantes :

- Soit augmenter la valeur de C_{dc} afin de pallier à la perte de capacité due à l'augmentation de la température et à la valeur de tension appliquée à ses bornes.
- Soit utiliser un algorithme de stabilisation (inclus dans le schéma de contrôle de la MSAP) sans modifier la valeur de C_{dc} . Autrement dit, nous ne respectons pas la condition de stabilité mentionnée au début de cette partie et nous assurons la stabilité du bus continu par l'intermédiaire d'un algorithme de stabilisation [LIU 2010, MAG 2010, MAG 2012]. Nous pouvons ainsi pallier au problème de perte de capacité tout en optimisant le poids et le volume du condensateur C_{dc} .

Nous allons maintenant aborder la seconde partie de ce chapitre. Nous allons présenter une solution de stabilisation qui permet d'assurer la stabilité du bus DC même si nous avons une perte de 50% de capacité au niveau de C_{dc} . Par ailleurs, la solution que nous allons proposer a un avantage par rapport à celles précédemment citées qui emploient un algorithme de stabilisation : nous ne toucherons pas au schéma de contrôle de la MSAP présenté sur la Figure 5-6.

5.2 Proposition d'une solution de stabilisation d'un bus continu fonctionnant en environnement sévère

5.2.1 Présentation de la solution dite du « Découplage Feedback Stabilisant »

Lors des différentes études systèmes que nous avons menées, plusieurs campagnes de simulation ont été réalisées et un certain nombre ont été réalisées avec le schéma de contrôle présenté sur la Figure 5-11. Ce schéma est quasi-identique à celui présenté précédemment sur la Figure 5-6, avec pour seule différence l'utilisation, au niveau du découplage Feedback, non pas de la mesure instantanée de la tension de bus continu v_{ch} mais de sa valeur atteinte au point de fonctionnement nominale, il s'agit de V_{ch0} . Ce schéma a donc pour avantage de ne plus employer de capteur de tension pour mesurer v_{ch} . Dans ces conditions, nous avons observé que, dans le cas où nous étudions la stabilité du bus continu en environnement sévère comme dans la partie 5.1.5.2 de ce chapitre, la stabilité du bus continu était toujours assurée. Nous avons alors désigné la solution de stabilisation du bus DC ainsi trouvée comme la solution dite du « Découplage Feedback Stabilisant ».

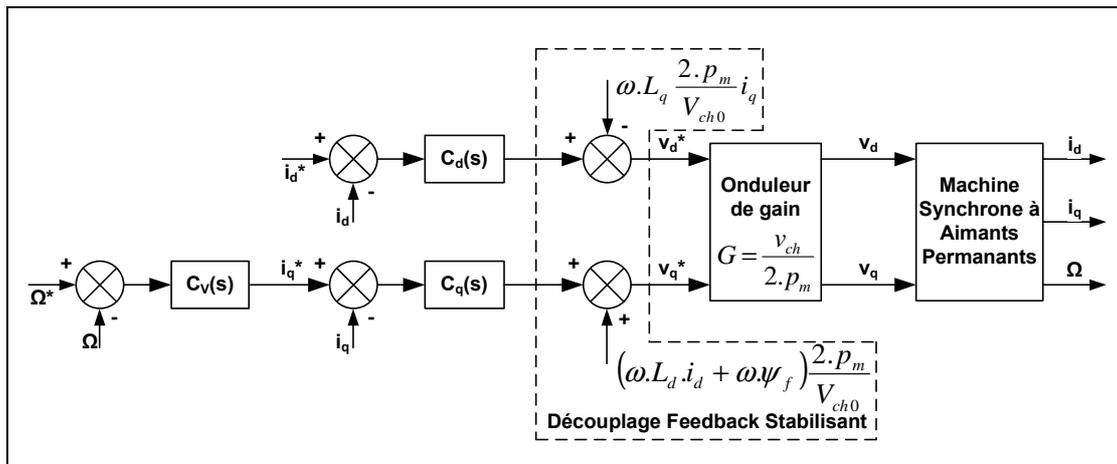


Figure 5-11 : Schéma de contrôle de la MSAP,
Découplage de type Feedback Stabilisant : V_{ch0} représente le point de fonctionnement du bus DC.

Les résultats de la Figure 5-12 et de la Figure 5-13 permettent de montrer l'efficacité de la solution de stabilisation du bus DC proposée lorsque ce dernier est dans un environnement sévère (température égale à 200°C et 540V sur le bus DC impliquant une perte de 50% de capacité au niveau de C_{dc} , C_{dc} vaut ici 5μF).

Les résultats présentés ici ont été obtenus en procédant de la même manière que dans la partie 5.1.5.2 de ce chapitre. C'est-à-dire que nous partons d'un point de fonctionnement stable où $\Gamma_{ch} = 1N.m$ et $\Omega = \Omega_{no\ min\ ale} = 419rad / s$ ($P_{méca}=419W$ et $P_{ch}=777W$) ; au bout de 50ms nous appliquons un échelon de couple pour arriver au point de fonctionnement nominal qui est sensé être instable où $\Gamma_{ch} = 4,77N.m$ et $\Omega = \Omega_{no\ min\ ale} = 419rad / s$ ($P_{méca}=2kW$ et $P_{ch}=2419W$), voir la Figure 5-12.

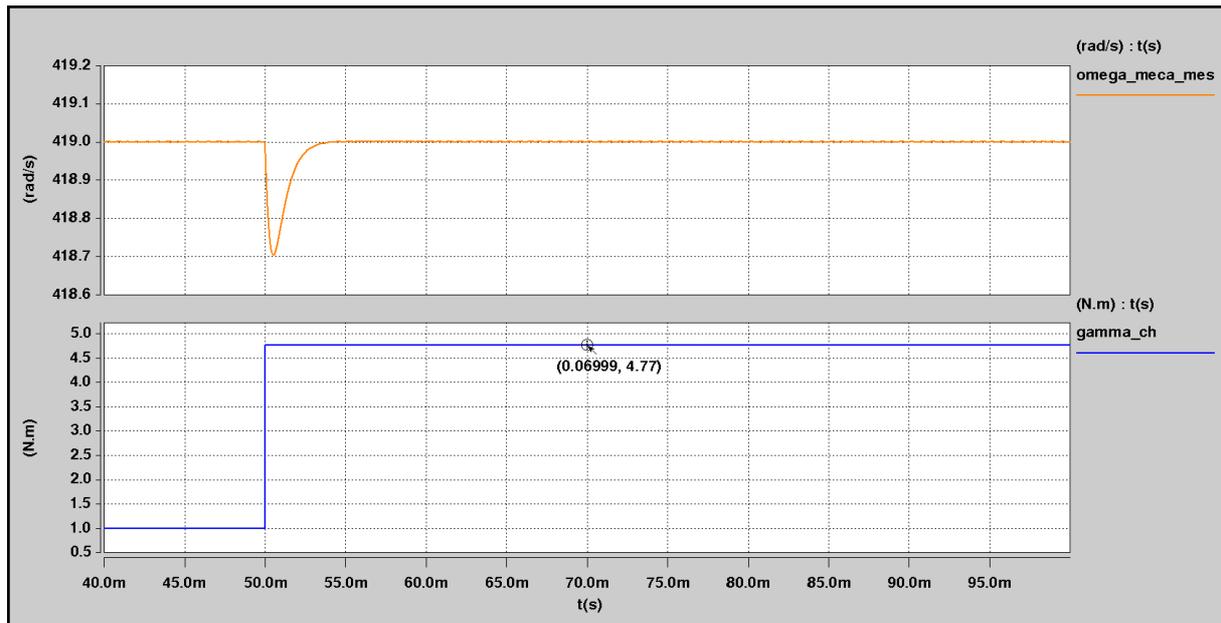


Figure 5-12 : Résultats de Simulation obtenus sous Saber en utilisant un Découplage Feedback Stabilisant, $C_{dc}=5\mu F$ et $P_{méca}=2kW$, Echelon de couple.

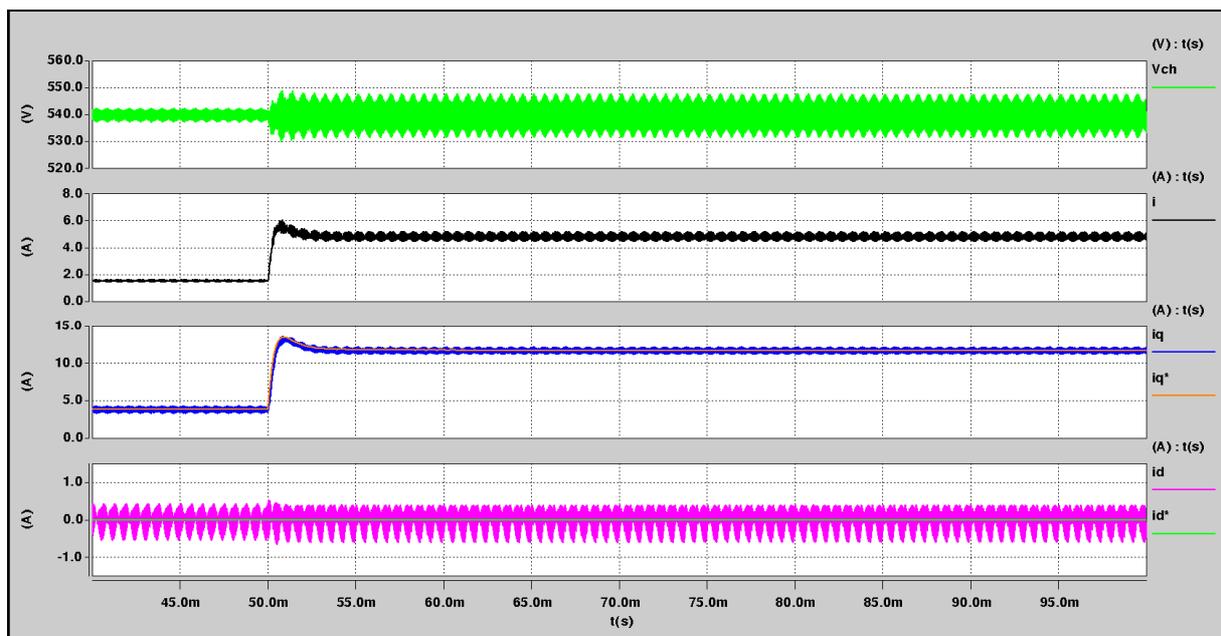


Figure 5-13 : Résultats de Simulation obtenus sous Saber en utilisant un Découplage Feedback Stabilisant, $C_{dc}=5\mu F$ et $P_{méca}=2kW$, Réponse au niveau du bus DC et des courants de la MSAP suite à l'échelon de couple.

Par ailleurs, les résultats de la Figure 5-13, complétés par les résultats de la Figure 5-14, permettent aussi de mettre en avant le fait que la solution de stabilisation proposée reste, dans certaines conditions, une solution de découplage des courants d'axes d et q . Sur la Figure 5-14, afin de tester l'efficacité du découplage en régime dynamique, nous avons appliqué à la MSAP régulée en vitesse (419rad/s) une succession d'échelons de couple, où chaque échelon varie de 1N.m à 4,77N.m. Les points de fonctionnement considérés ici sont tous stables vis-à-vis du bus DC puisque un condensateur C_{dc} de capacité égale à $10\mu F$ est employé. La valeur de V_{ch0} employée dans la solution du découplage Feedback Stabilisant, ici 539,5V, correspond au point de fonctionnement nominal pour la MSAP où $\Gamma_{ch} = 4,77N.m$ et $\Omega = \Omega_{no\ min\ ale} = 419rad/s$ lorsque E vaut 540V. Nous constatons que, dans ces conditions, en régime statique lorsque $\Gamma_{ch} = 4,77N.m$ les courants sont parfaitement découplés

($\langle v_{ch} \rangle = V_{ch0}$) et lorsque $\Gamma ch = 1N.m$, bien que le découplage ne soit théoriquement pas assuré ($\langle v_{ch} \rangle \neq V_{ch0}$), les résultats de simulation montrent qu'il reste efficace car le point de fonctionnement obtenu sur le bus DC reste proche de V_{ch0} . Concernant le régime dynamique, le découplage n'est théoriquement pas assuré. Cependant, les résultats de simulation montrent qu'il reste efficace du fait que les variations de tension de v_{ch} restent faibles autour de V_{ch0} . Nous avons aussi réalisé des essais où E vaut 850V tout en conservant V_{ch0} égale à 539,5V. Nous constatons dans ces conditions que le découplage ne joue plus son rôle ni en régime statique, ni en régime dynamique, puisque les points de fonctionnement obtenus sur le bus DC sont éloignés de V_{ch0} .

Pour terminer cette partie sur la présentation de la solution dite du « Découplage Feedback Stabilisant », nous rappelons que par rapport au découplage Feedback de la Figure 5-6 (que nous qualifierons par la suite de « Découplage Feedback Classique »), nous n'avons plus besoin d'effectuer la mesure de tension v_{ch} au niveau du bus DC, nous économisons alors un capteur de tension.

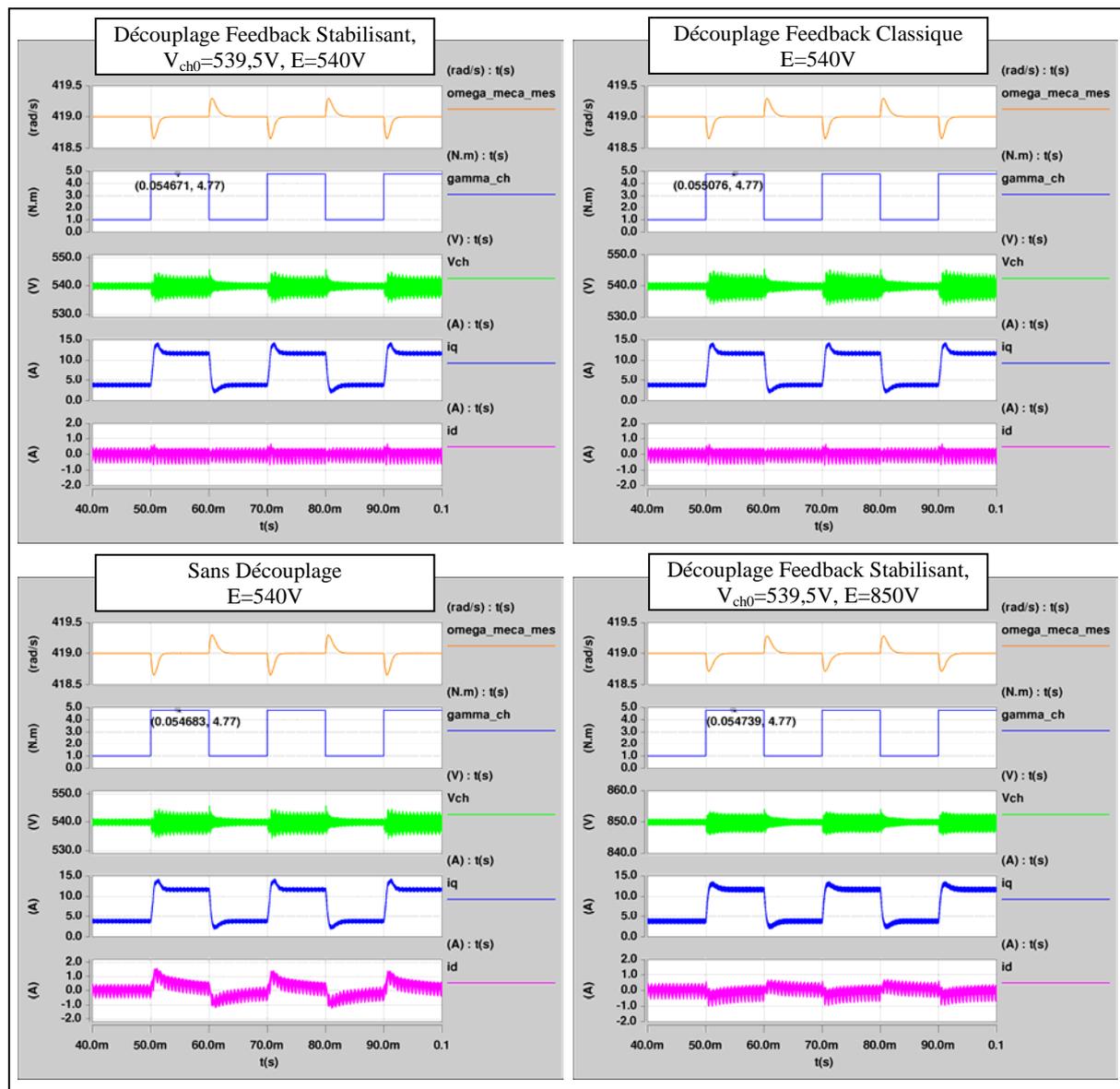


Figure 5-14 : Comparaison de différentes solutions de découplage des courants d'axes d et q, Résultats de Simulation obtenus sous Saber, $C_{dc}=10\mu F$ et P_{meca} = de façon alternée 419W et 2kW, Réponse au niveau du bus DC et des courants de la MSAP suite à une succession d'échelons de couple.

Nous venons de montrer des résultats de simulation sous SABER qui mettent en avant l'intérêt de la solution de stabilisation du bus DC dite du « Découplage Feedback Stabilisant ». Cependant, nous n'avons effectué aucune étude préalable qui permette à la fois d'anticiper le fait que la solution de stabilisation va fonctionner au point de fonctionnement considéré, et de déterminer les limites d'emploi de la solution (portant en particulier sur la puissance maximum qui peut être délivrée par le filtre d'entrée).

Avec le temps qui nous est imparti, nous n'allons pas pouvoir effectuer toutes les études que nous qualifions de « préalables ».

Nous allons effectuer une étude qui va permettre de prédire l'efficacité de la solution proposée et d'en comprendre son fonctionnement. Pour ce faire, nous appliquerons l'analyse de la stabilité dite par « spectroscopie d'impédance ». Ici, cette analyse sera réalisée dans le cadre de l'étude de la stabilité dite « petit signal » où nous considérons des petites variations autour du point de fonctionnement [MAG 2012].

Nous n'effectuerons pas, par manque de temps, l'étude portant sur la détermination de la puissance maximum que peut fournir le filtre d'entrée lorsque la méthode de stabilisation proposée est employée. Pour réaliser cette étude, nous indiquons deux possibilités. La première consiste à appliquer l'analyse de la stabilité par « spectroscopie d'impédance ». Il suffit d'incrémenter la valeur de $P_{méca}$ et de déterminer la valeur de P_{ch} à partir de laquelle le bus DC n'est plus stable. La seconde possibilité consiste à réaliser une étude dite « large signal » de la stabilité afin de définir le plus grand bassin d'attraction possible du système, ce qui permet d'assurer que le système peut passer d'un point de fonctionnement stable à un autre tout en restant dans un état stable [MAG 2012].

5.2.2 Analyse de la stabilité par spectroscopie d'impédance

Les bases de la spectroscopie d'impédance ont été exposées par Middlebrook dans [MID 1976], elles sont rappelées et appliquées dans un certain nombre de publication comme [PIE 2005, LIU 2007, LIU 2010, MAG 2012]. Nous allons présenter brièvement en quoi consiste l'analyse de la stabilité par spectroscopie d'impédance.

Pour étudier la stabilité d'un ensemble de dispositifs électriques interconnectés, nous faisons l'hypothèse que, pris indépendamment, chaque élément est stable. Nous supposons connue l'impédance d'entrée et de sortie de chaque dispositif. Un schéma de principe correspondant à la mise en cascade de deux dispositifs électriques est donné sur la Figure 5-15.

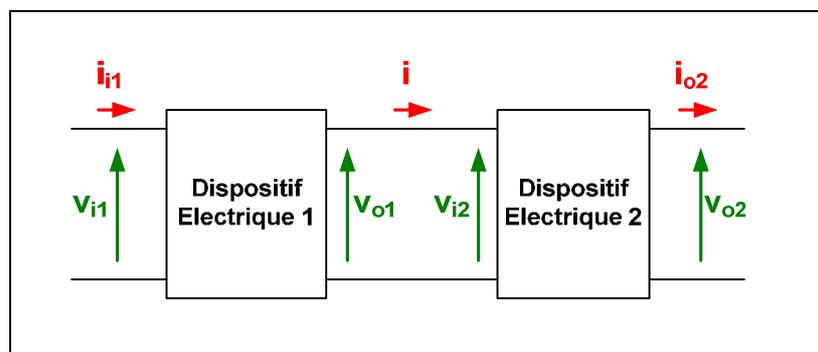


Figure 5-15 : Mise en cascade de deux dispositifs électriques.

La stabilité de chaque dispositif étant assurée au point de fonctionnement, il est alors possible, après linéarisation autour du point d'équilibre et transformation de Laplace, de modéliser les deux dispositifs électriques sous une forme quadripôle :

$$\begin{bmatrix} \tilde{v}_{o1}(s) \\ \tilde{i}_{i1}(s) \end{bmatrix} = \begin{bmatrix} T_{v1}(s) & Z_{out1}(s) \\ \frac{1}{Z_{in1}(s)} & -T_{c1}(s) \end{bmatrix} \begin{bmatrix} \tilde{v}_{i1}(s) \\ -\tilde{i}(s) \end{bmatrix} \text{ et} \quad \text{Eq 5-10}$$

$$\begin{bmatrix} \tilde{v}_{o2}(s) \\ \tilde{i}(s) \end{bmatrix} = \begin{bmatrix} T_{v2}(s) & Z_{out2}(s) \\ \frac{1}{Z_{in2}(s)} & -T_{c2}(s) \end{bmatrix} \begin{bmatrix} \tilde{v}_{o1}(s) \\ -\tilde{i}_{o2}(s) \end{bmatrix}$$

Où les impédances sont définies comme suit :

$Z_{in1}(s)$ représente l'impédance d'entrée du dispositif électrique 1 :

$$Z_{in1}(s) = \left. \frac{\tilde{v}_{i1}(s)}{\tilde{i}_{i1}(s)} \right|_{\tilde{i}(s)=0} \quad \text{Eq 5-11}$$

$Z_{out1}(s)$ représente l'impédance de sortie du dispositif électrique 1 :

$$Z_{out1}(s) = \left. \frac{\tilde{v}_{o1}(s)}{-\tilde{i}(s)} \right|_{\tilde{v}_{i1}(s)=0} \quad \text{Eq 5-12}$$

$Z_{in2}(s)$ représente l'impédance d'entrée du dispositif électrique 2 :

$$Z_{in2}(s) = \left. \frac{\tilde{v}_{i2}(s)}{\tilde{i}(s)} \right|_{\tilde{v}_{o2}(s)=0} \quad \text{Eq 5-13}$$

$Z_{out2}(s)$ représente l'impédance de sortie du dispositif électrique 2 :

$$Z_{out2}(s) = \left. \frac{\tilde{v}_{o2}(s)}{-\tilde{i}_{o2}(s)} \right|_{\tilde{v}_{i2}(s)=0} \quad \text{Eq 5-14}$$

$T_{v1}(s)$ et $T_{v2}(s)$ représentent les fonctions de transfert en tension :

$$T_{v1}(s) = \left. \frac{\tilde{v}_{o1}(s)}{\tilde{v}_{i1}(s)} \right|_{\tilde{i}(s)=0} \quad \text{et} \quad T_{v2}(s) = \left. \frac{\tilde{v}_{o2}(s)}{\tilde{v}_{i2}(s)} \right|_{\tilde{i}_{o2}(s)=0} \quad \text{Eq 5-15}$$

$T_{c1}(s)$ et $T_{c2}(s)$ représentent les fonctions de transfert en courant :

$$T_{c1}(s) = \left. \frac{\tilde{i}(s)}{\tilde{i}_{i1}(s)} \right|_{\tilde{v}_{i1}(s)=0} \quad \text{et} \quad T_{c2}(s) = \left. \frac{\tilde{i}_{o2}(s)}{\tilde{i}(s)} \right|_{\tilde{v}_{i2}(s)=0} \quad \text{Eq 5-16}$$

La mise en cascade des deux dispositifs est possible si la fonction de transfert $\tilde{v}_{o2}(s)/\tilde{v}_{i1}(s)$ est stable. Supposons que le courant de charge i_{o2} reste constant ($\tilde{i}_{o2}(s) = 0$), il vient alors :

$$\tilde{v}_{o1}(s) = T_{v1}(s) \cdot \tilde{v}_{i1}(s) - Z_{out1}(s) \cdot \tilde{i}(s) = T_{v1}(s) \cdot \tilde{v}_{i1}(s) - Z_{out1}(s) \cdot \frac{\tilde{v}_{o1}(s)}{Z_{in2}(s)} \quad \text{Eq 5-17}$$

D'où :

$$\frac{\tilde{v}_{o1}(s)}{\tilde{v}_{i1}(s)} = \frac{T_{v1}(s)}{1 + \frac{Z_{out1}(s)}{Z_{in2}(s)}} \quad \text{Eq 5-18}$$

Et

$$\frac{\tilde{v}_{o2}(s)}{\tilde{v}_{i1}(s)} = \frac{T_{v1}(s) \cdot T_{v2}(s)}{1 + \frac{Z_{out1}(s)}{Z_{in2}(s)}} \quad \text{Eq 5-19}$$

Nous posons :

$$D(s) = 1 + \frac{Z_{out1}(s)}{Z_{in2}(s)} \quad \text{Eq 5-20}$$

Puisque $T_{v1}(s)$ et $T_{v2}(s)$ sont des fonctions de transfert stables, une condition suffisante de stabilité est que $D(s)$ ne comporte pas de pôles instables. Afin d'étudier les pôles de $D(s)$, il existe plusieurs méthodes. L'une d'entre elles est celle du critère de Nyquist. Nous rappelons deux théorèmes relatifs au critère de Nyquist que nous appliquerons par la suite [IUN 2004] :

- Premier théorème : Le système en boucle fermée (ici $1/D(s)$) est stable si le nombre de tours dans le sens direct (ou horaire) que fait le tracé de Nyquist de la fonction transfert du système en boucle ouverte (ici $Z_{out1}(s)/Z_{in2}(s)$) autour du point critique (-1,0) est égal au nombre de pôles instables de $Z_{out1}(s)/Z_{in2}(s)$.
- Deuxième théorème : Lorsque le système en boucle ouverte (ici $Z_{out1}(s)/Z_{in2}(s)$) est stable, une condition nécessaire et suffisante pour que le système en boucle fermée (ici $1/D(s)$) soit stable est que le tracé de Nyquist de $Z_{out1}(s)/Z_{in2}(s)$ n'entoure pas le point critique (-1,0).

5.2.3 Application de la spectroscopie d'impédance – vérification de l'efficacité et compréhension de la solution proposée

Nous appliquerons la spectroscopie d'impédance au système présenté sur la Figure 5-5. Afin de vérifier l'efficacité de la solution de stabilisation proposée, nous appliquerons la spectroscopie d'impédance lorsqu'un découplage Feedback Classique est employé (voir la Figure 5-6) et lorsqu'un découplage du type Feedback Stabilisant est employé (voir la Figure 5-11).

Pour étudier la stabilité du bus DC il nous faut calculer l'impédance de sortie du bus DC $Z_{out1}(s)$, et l'impédance d'entrée $Z_{in2}(s)$ de l'ensemble Onduleur – MSAP dans les deux cas de découplage Feedback employés.

5.2.3.1 Calcul de l'impédance de sortie du bus DC

Nous devons déterminer :

$$Z_{out1}(s) = \left. \frac{\tilde{v}_{ch}(s)}{-\tilde{i}_{ch}(s)} \right|_{\tilde{E}(s)=0} \quad \text{Eq 5-21}$$

Pour ce faire, nous devons travailler sur les équations électriques suivantes :

$$E = R_{dc} \cdot i + L_{dc} \frac{di}{dt} + v_{ch} \quad \text{Eq 5-22}$$

$$C_{dc} \frac{dv_{ch}}{dt} = i - i_{ch} \quad \text{Eq 5-23}$$

Après linéarisation autour d'un point de fonctionnement et transformation de Laplace nous obtenons :

$$0 = R_{dc} \cdot \tilde{i}(s) + L_{dc} \cdot \tilde{i}(s) \cdot s + \tilde{v}_{ch}(s) \quad \text{Eq 5-24}$$

$$C_{dc} \cdot \tilde{v}_{ch}(s) \cdot s = \tilde{i}(s) - \tilde{i}_{ch}(s) \quad \text{Eq 5-25}$$

Nous obtenons l'impédance de sortie du bus DC suivante :

$$Z_{out1}(s) = \frac{R_{dc} + L_{dc} \cdot s}{L_{dc} \cdot C_{dc} \cdot s^2 + R_{dc} \cdot C_{dc} \cdot s + 1} \quad \text{Eq 5-26}$$

5.2.3.2 Calcul de l'impédance d'entrée de l'ensemble onduleur – MSAP avec un découplage de type Feedback Classique

Nous nous plaçons autour d'un point de fonctionnement et nous considérons de petites variations autour du point d'équilibre. Le système considéré possède quatre entrées (à savoir la tension continue d'alimentation de l'onduleur v_{ch} , la référence de vitesse Ω^* , la référence de la composante directe du courant i_d^* et le couple de charge Γ_{ch}) et deux sorties (à savoir la vitesse mécanique Ω et le courant d'entrée i_{ch} absorbé par l'ensemble Onduleur – MSAP). Le calcul de l'impédance d'entrée du système s'effectue en supposant constantes la référence de vitesse mécanique, la référence du courant d'axe d et le couple de charge. L'impédance d'entrée est alors donnée par :

$$Z_{in2}(s) = \left. \frac{\tilde{v}_{ch}(s)}{\tilde{i}_{ch}(s)} \right|_{\tilde{\Omega}^*(s)=0, \tilde{i}_d^*(s)=0, \tilde{\Gamma}_{ch}(s)=0} \quad \text{Eq 5-27}$$

où $\tilde{v}_{ch}(s)$ et $\tilde{i}_{ch}(s)$ sont les variations de la tension et du courant d'entrée de l'ensemble Onduleur-MSAP autour de son point de fonctionnement.

Pour déterminer $Z_{in2}(s)$, nous allons réaliser un bilan de puissance en supposant les pertes dans l'onduleur nulles:

$$v_{ch} \cdot i_{ch} = v_d \cdot i_d + v_q \cdot i_q \quad \text{Eq 5-28}$$

Avec

$$\begin{bmatrix} v_d \\ v_q \end{bmatrix} = G \begin{bmatrix} v_d^* \\ v_q^* \end{bmatrix} \quad \text{où } G = \frac{v_{ch}}{2 \cdot p_m} \quad \text{Eq 5-29}$$

Où G représente le gain de l'onduleur, p_m l'amplitude de la porteuse, v_d^* et v_q^* les tensions de commandes d'axes d et q (voir pour rappel le schéma de contrôle de la Figure 5-6). Pour de petites variations autour du point de fonctionnement et après transformation de Laplace, le modèle linéarisé conduit à :

$$\tilde{v}_{ch}(s).I_{ch0} + V_{ch0}.\tilde{i}_{ch}(s) = \tilde{v}_d(s).I_{d0} + V_{d0}.\tilde{i}_d(s) + \tilde{v}_q(s).I_{q0} + V_{q0}.\tilde{i}_q(s) \quad \text{Eq 5-30}$$

Et

$$\begin{bmatrix} \tilde{v}_d(s) \\ \tilde{v}_q(s) \end{bmatrix} = \frac{\tilde{v}_{ch}(s)}{2.p_m} \begin{bmatrix} V_{d0}^* \\ V_{q0}^* \end{bmatrix} + \frac{V_{ch0}}{2.p_m} \begin{bmatrix} \tilde{v}_d^*(s) \\ \tilde{v}_q^*(s) \end{bmatrix} \quad \text{Eq 5-31}$$

En utilisant les équations standards de la MSAP et en supposant que la constante de temps mécanique est beaucoup plus grande que la plus grande des constantes de temps électrique, nous négligeons alors les variations de vitesse dans la modélisation, le modèle linéarisé de la MSAP est dans ce cas :

$$\begin{bmatrix} \tilde{v}_d(s) \\ \tilde{v}_q(s) \end{bmatrix} = \underbrace{\begin{bmatrix} R_s + L_d.s & -\omega_0.L_q \\ \omega_0.L_d & R_s + L_q.s \end{bmatrix}}_{Z(s)} \begin{bmatrix} \tilde{i}_d(s) \\ \tilde{i}_q(s) \end{bmatrix} \quad \text{Eq 5-32}$$

Où $Z(s)$ représente la matrice impédance de la MSAP.

En combinant les relations Eq 5-30 et Eq 5-32, il est alors possible d'exprimer les variations des grandeurs d'entrée en fonction des variations des courants d'axe d et q de la machine :

$$\begin{aligned} \tilde{v}_{ch}(s).I_{ch0} + V_{ch0}.\tilde{i}_{ch}(s) &= V_1(s).\tilde{i}_d(s) + V_2(s).\tilde{i}_q(s) \\ \text{Avec } \begin{cases} V_1(s) = V_{d0} + I_{d0}.(R_s + L_d.s) + \omega_0.L_d.I_{q0} \\ V_2(s) = V_{q0} + I_{q0}.(R_s + L_q.s) - \omega_0.L_q.I_{d0} \end{cases} & \quad \text{Eq 5-33} \end{aligned}$$

A ce stade, il est nécessaire d'introduire la méthode de découplage choisie pour la régulation des courants d'axes d et q . Nous allons détailler les calculs dans le cas d'un découplage de type Feedback Classique, voir pour rappel le schéma de contrôle sur la Figure 5-6. Les tensions de commande d'axes d et q vérifient alors :

$$\begin{cases} \tilde{v}_d^*(s) = C_d(s).\left[\tilde{i}_d^*(s) - \tilde{i}_d(s)\right] - \frac{2.p_m.\omega_0.L_q}{V_{ch0}} \left[-I_{q0}.\frac{\tilde{v}_{ch}(s)}{V_{ch0}} + \tilde{i}_q(s)\right] \\ \tilde{v}_q^*(s) = C_q(s).\left[C_v(s).\left[\tilde{\Omega}_2^*(s) - \tilde{\Omega}(s)\right] - \tilde{i}_q(s)\right] + \frac{2.p_m.\omega_0.L_d}{V_{ch0}}.\tilde{i}_d(s) - \frac{2.p_m.\omega_0}{V_{ch0}^2}.\left[L_d.I_{d0} + \psi_f\right]\tilde{v}_{ch}(s) \end{cases} \quad \text{Eq 5-34}$$

Ici les références de vitesse et de courant d'axe d sont prises constantes (c'est-à-dire que leurs variations sont supposées nulles), d'où :

$$\begin{cases} \tilde{v}_d^*(s) = -C_d(s).\tilde{i}_d(s) - \frac{2.p_m.\omega_0.L_q}{V_{ch0}} \left[-I_{q0}.\frac{\tilde{v}_{ch}(s)}{V_{ch0}} + \tilde{i}_q(s)\right] \\ \tilde{v}_q^*(s) = -C_q(s).\left[\frac{C_v(s).p.\psi_f}{f + J.s} + 1\right].\tilde{i}_q(s) + \frac{2.p_m.\omega_0.L_d}{V_{ch0}}.\tilde{i}_d(s) - \frac{2.p_m.\omega_0}{V_{ch0}^2}.\left[L_d.I_{d0} + \psi_f\right]\tilde{v}_{ch}(s) \end{cases} \quad \text{Eq 5-35}$$

Nous pouvons maintenant établir les équations des courants d'axe d et q en utilisant les équations Eq 5-31, Eq 5-32 et Eq 5-35, il vient alors :

$$\begin{bmatrix} \tilde{i}_d(s) \\ \tilde{i}_q(s) \end{bmatrix} = \begin{bmatrix} \frac{1}{R_s + L_d \cdot s} & 0 \\ 0 & \frac{1}{R_s + L_q \cdot s} \end{bmatrix} \left\{ \begin{aligned} & \left(\frac{1}{2 \cdot p_m} \begin{bmatrix} V_{d0}^* \\ V_{q0}^* \end{bmatrix} + \begin{bmatrix} \frac{\omega_0}{V_{ch0}} \cdot L_q \cdot I_{q0} \\ -\frac{\omega_0}{V_{ch0}} \cdot L_d \cdot I_{d0} - \frac{\omega_0}{V_{ch0}} \cdot \psi_f \end{bmatrix} \right) \cdot \tilde{v}_{ch}(s) \\ & + \frac{V_{ch0}}{2 \cdot p_m} \begin{bmatrix} -C_d(s) \cdot \tilde{i}_d(s) \\ -C_q(s) \cdot \left[\frac{C_v(s) \cdot p \cdot \psi_f}{f + J \cdot s} + 1 \right] \cdot \tilde{i}_q(s) \end{bmatrix} \end{aligned} \right\} \quad \text{Eq 5-36}$$

Qui se réécrit sous la forme :

$$\begin{cases} \tilde{i}_d(s) = H(s) \cdot \tilde{v}_{ch} \\ \tilde{i}_q(s) = K(s) \cdot \tilde{v}_{ch} \end{cases}$$

$$\text{Avec } \begin{cases} H(s) = \frac{2 \cdot p_m}{2 \cdot p_m \cdot [R_s + L_d \cdot s] + V_{ch0} \cdot C_d(s)} \cdot \left[\frac{V_{d0}^*}{2 \cdot p_m} + \frac{\omega_0}{V_{ch0}} \cdot L_q \cdot I_{q0} \right] \\ K(s) = \frac{2 \cdot p_m}{2 \cdot p_m \cdot [R_s + L_q \cdot s] + V_{ch0} \cdot C_q(s)} \cdot \left[\frac{V_{q0}^*}{2 \cdot p_m} - \frac{\omega_0}{V_{ch0}} \cdot L_d \cdot I_{d0} - \frac{\omega_0}{V_{ch0}} \cdot \psi_f \right] \cdot \left[\frac{C_v(s) \cdot p \cdot \psi_f}{f + J \cdot s} + 1 \right] \end{cases} \quad \text{Eq 5-37}$$

En combinant Eq 5-33 et Eq 5-37, nous pouvons alors déterminer $Z_{in2}(s)$:

$$Z_{in2}(s) = -\frac{V_{ch0}}{I_{ch0} - V_1(s) \cdot H(s) - V_2(s) \cdot K(s)} \quad \text{Eq 5-38}$$

5.2.3.3 Calcul de l'impédance d'entrée de l'ensemble onduleur – MSAP avec un découplage de type Feedback Stabilisant

Pour déterminer $Z_{in2}(s)$ en prenant en compte le découplage du type Feedback Stabilisant (voir pour rappel le schéma de contrôle sur la Figure 5-11), la même démarche établie dans la partie précédente va être réutilisée, seules quelques équations vont changer.

L'emploi du découplage Feedback Stabilisant a pour conséquence de considérer dans l'équation Eq 5-35 les variations de v_{ch} nulles, cette équation devient alors :

$$\begin{cases} \tilde{v}_d^*(s) = -C_d(s) \cdot \tilde{i}_d(s) - \frac{2 \cdot p_m \cdot \omega_0 \cdot L_q}{V_{ch0}} \cdot \tilde{i}_q(s) \\ \tilde{v}_q^*(s) = -C_q(s) \cdot \left[\frac{C_v(s) \cdot p \cdot \psi_f}{f + J \cdot s} + 1 \right] \cdot \tilde{i}_q(s) + \frac{2 \cdot p_m \cdot \omega_0 \cdot L_d}{V_{ch0}} \cdot \tilde{i}_d(s) \end{cases} \quad \text{Eq 5-39}$$

Les expressions de $H(s)$ et de $K(s)$ deviennent alors :

$$\left\{ \begin{array}{l} H(s) = \frac{2 \cdot p_m}{2 \cdot p_m [R_s + L_d \cdot s] + V_{ch0} \cdot C_d(s)} \cdot \frac{V_{d0}^*}{2 \cdot p_m} \\ K(s) = \frac{2 \cdot p_m}{2 \cdot p_m [R_s + L_g \cdot s] + V_{ch0} \cdot C_g(s)} \cdot \left[\frac{C_v(s) \cdot p \cdot \psi_f}{f + J \cdot s} + 1 \right] \cdot \frac{V_{q0}^*}{2 \cdot p_m} \end{array} \right. \quad \text{Eq 5-40}$$

Nous pouvons alors déterminer $Z_{in2}(s)$.

5.2.3.4 Analyse de la stabilité dans les deux cas de découplage

Nous avons représenté sur la Figure 5-16 le tracé de Nyquist de $Z_{out1}(s)/Z_{in2}(s)$ lorsqu'un découplage de type Feedback Classique est employé. Pour déterminer si le système considéré, c'est-à-dire l'association Bus DC – Onduleur + MSAP, est stable nous devons analyser le tracé de Nyquist $Z_{out1}(s)/Z_{in2}(s)$. Le tracé entoure deux fois dans le sens horaire le point critique (-1,0). D'après le premier théorème énoncé dans la partie 5.2.2, le système considéré sera stable si le nombre de tours est égal au nombre de pôles instables de $Z_{out1}(s)/Z_{in2}(s)$. Or les pôles de $Z_{out1}(s)/Z_{in2}(s)$ sont tous stables d'après l'étude menée sous Matlab, ils sont tous à partie réelle négative (la commande *zpk* permet de déterminer sous formes de fraction rationnelle gain, pôles et zéros de $Z_{out1}(s)/Z_{in2}(s)$, et la commande *zpkdata* permet d'obtenir entre autre les pôles de $Z_{out1}(s)/Z_{in2}(s)$, voir la Figure 5-16). Par conséquent, le système considéré est instable, cela correspond bien au résultat de simulation obtenu sous SABER dans la partie 5.1.5.2.

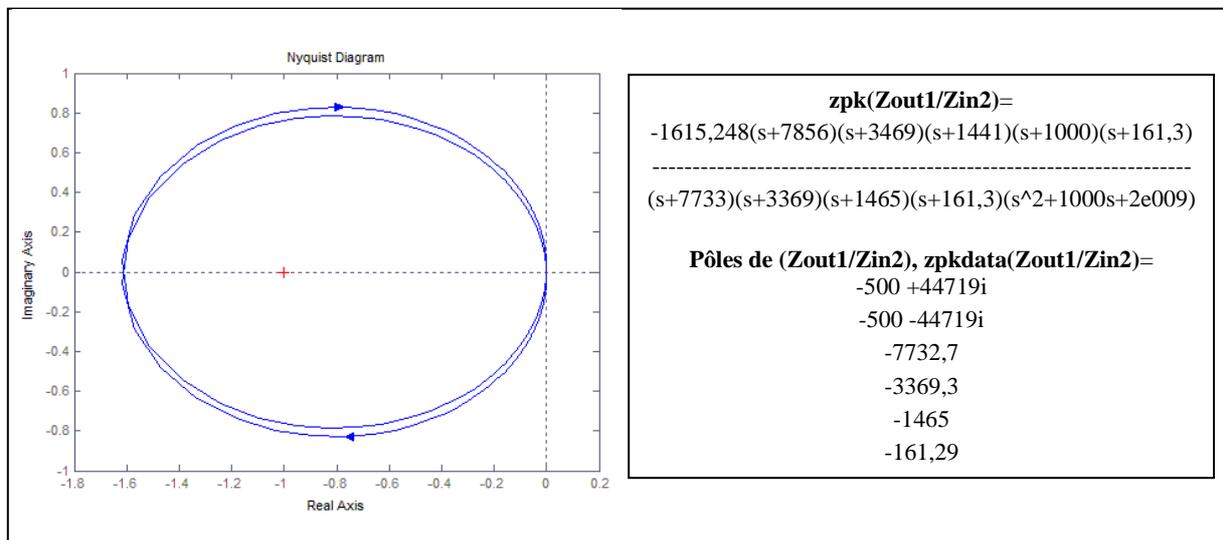


Figure 5-16 : Tracé de Nyquist à gauche de Z_{out1}/Z_{in2} en utilisant un Découplage Feedback Classique, Exploitation des résultats sous Matlab à droite.

Nous avons représenté sur la Figure 5-17 le tracé de Nyquist de $Z_{out1}(s)/Z_{in2}(s)$ lorsqu'un découplage de type Feedback Stabilisant est employé. Pour déterminer si le système considéré est stable, c'est-à-dire l'association Bus DC – Onduleur + MSAP, nous devons analyser le tracé de Nyquist $Z_{out1}(s)/Z_{in2}(s)$. Comme nous pouvons le constater le tracé n'entoure pas le point critique (-1,0), par conséquent le système considéré est stable. Ce résultat de prédiction est en accord avec le résultat de simulation obtenu sous Saber dans la partie 5.2.1.

Ce résultat peut par ailleurs s'expliquer en s'intéressant aux équations de $H(s)$ et $K(s)$ dans les deux cas de découplage.

Nous faisons remarquer que lorsque le découplage Feedback Classique est employé, seul $K(s)$ comporte deux termes négatifs, $-\frac{\omega_0}{V_{ch0}}.L_d.I_{d0}$ et $-\frac{\omega_0}{V_{ch0}}.\psi_f$, qui vont engendrer l'instabilité observée

sur le bus DC. En effet, comme nous avons $\tilde{i}_q(s) = K(s).\tilde{v}_{ch}$, le fait d'avoir ces termes négatifs va favoriser le comportement néfaste du sous-ensemble Onduleur+MSAP vu par le bus DC comme étant une résistance négative. Lorsqu'une variation positive de v_{ch} va se produire, une variation négative de i_q sera observée et inversement.

En revanche, si nous considérons un découplage Feedback Stabilisant, les termes négatifs de $K(s)$ n'existent plus. Par conséquent, le sous-ensemble Onduleur+MSAP ne se comporte plus comme une résistance négative vis-à-vis du bus DC, mais comme une résistance positive.

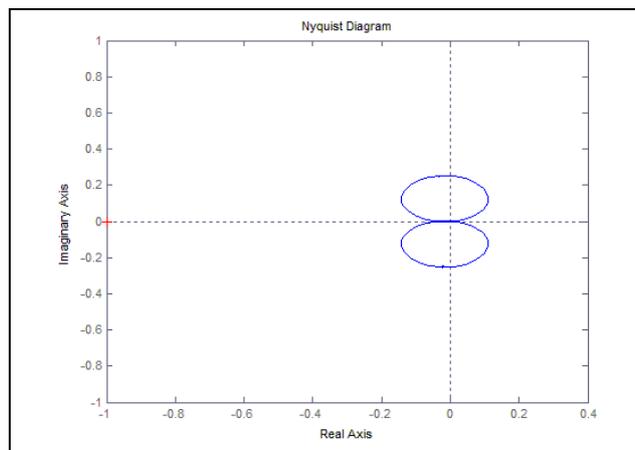


Figure 5-17 : Tracé de Nyquist de Z_{out2}/Z_{in1} en utilisant un Découplage Feedback Stabilisant.

5.3 Conclusion

Dans la première partie de ce chapitre, nous avons rappelé la problématique liée à la stabilité d'un bus continu en environnement sévère. Nous avons montré en simulation que la perte de capacité liée au comportement en environnement sévère (haute température et haute tension) du condensateur chargé de filtrer le mode différentiel était la cause de l'instabilité observée du bus continu, puisque la condition locale de stabilité n'était plus respectée. Nous avons également montré la neutralité de l'onduleur JFET SiC vis-à-vis de la condition locale de stabilité.

Puis, dans la seconde partie, nous avons présenté une solution de stabilisation désignée par « Découplage Feedback Stabilisant ». Cette solution, simple à mettre en œuvre, est basée sur le schéma de contrôle de la MSAP intégrant un découplage FeedBack que nous qualifions de « Classique ». Elle a la particularité de considérer au niveau du découplage Feedback non pas la mesure instantanée de la tension à l'entrée de l'onduleur, mais sa valeur moyenne obtenue pour le point de fonctionnement considéré. Cette particularité permet de rendre stable le bus continu même si la condition locale de stabilité n'est pas respectée. Par ailleurs, nous avons montré que cette solution de stabilisation reste dans certaines conditions une solution de découplage des courants d'axes d et q , et qu'elle permet de nous affranchir d'un capteur de tension.

Nous avons aussi vérifié l'efficacité de la solution proposée et montré le mécanisme de stabilisation lié à cette solution en utilisant un outil, la spectroscopie d'impédance.

Pour finir, nous souhaitons indiquer que des études par simulation restent à réaliser. Nous devons déterminer les limites en termes de puissance maximum délivrable par le bus continu lorsque

la solution de stabilisation proposée est employée. Par ailleurs, pour valider les résultats de simulation présentés et à venir, des essais sur banc réel restent à faire.

CONCLUSION GENERALE

Les travaux qui ont été présentés dans ce manuscrit ont été réalisés dans le cadre d'un projet, le projet SEFORA. Ce projet a pour objectif principal de repousser dans le domaine de l'aéronautique, les limites en température des actionneurs électromécaniques fonctionnant en environnement sévère, c'est à dire pour des températures de l'ordre de 150°C avec des fonctionnements intermittents à 200°C.

Pour contribuer à la réussite du projet SEFORA, nous avons entrepris différents travaux sur la chaîne d'entraînement électrique haute température considérée, ici un ensemble Bus DC – Onduleur – Actionneur électromécanique.

Pour ce faire, au chapitre 1 nous avons établi un état de l'art sur les matériaux semi-conducteurs susceptibles de répondre aux besoins du projet SEFORA pour l'élaboration de l'onduleur. Nous avons mis en avant le carbure de silicium (SiC), nous avons comparé et montré la supériorité de ce matériau semi-conducteur par rapport au silicium (Si) en termes de tenue en tension, de résistance à l'état passant, de performance en commutation et de possibilité à travailler dans des environnements thermiquement sévères. Nous avons montré que des efforts par les fabricants de wafer en carbure en silicium avaient été réalisés pour rendre viable la filière du carbure de silicium industriellement parlant.

Nous avons aussi comparé et étudié les composants en carbure de silicium commercialisés et à l'étude. Nous avons montré que le composant le plus adéquat et le plus mature pour le projet SEFORA était le JFET deux canaux en carbure de silicium réalisé par la société SiCED (SiCED étant le centre de recherche de la société Infineon).

Puis au chapitre 2, nous avons présenté différents bancs de caractérisation que nous avons réalisés et utilisés pour étudier les comportements statique et dynamique du JFET retenu.

Concernant les caractérisations statiques, elles ont été obtenues sur une plage de température importante allant de -40°C jusqu'à +180°C. Nous avons relevé les caractéristiques statiques directe et inverse du JFET, montré les limites de la diode D_{gs} en polarisation inverse et directe, et étudié l'évolution en fonction de la température de certains paramètres issus de ces caractérisations comme le courant de saturation I_{ds_sat} , la tension de seuil V_{T0} , la tension d'apparition du phénomène de punch-through $V_{br,gs}$ et la résistance à l'état passant R_{on} . Ces dernières études ont été réalisées sur quatre échantillons JFET et les résultats ont montré une faible dispersion d'une puce JFET à l'autre, ce qui est encourageant pour sa future mise sur le marché.

Concernant les caractérisations dynamiques, elles ont été réalisées uniquement pour une température ambiante égale à 27°C. Nous avons montré les mécanismes de commutation du JFET SiC d'une part en mode roue libre et d'autre part en mode transistor. Nous avons mis en évidence que la tension grille-source V_{gs} , le courant drain-source I_{ds} et le courant de grille I_g étaient perturbés lorsque la tension drain-source V_{ds} variait. Nous avons montré en particulier lors de l'étude des commutations du JFET en mode roue libre que ces perturbations étaient dues à des couplages capacitifs, qu'il fallait considérer de façon sérieuse les perturbations sur la tension de commande grille-source V_{gs} dues à la capacité de contre-réaction C_{gd} . En effet, à la mise en conduction du JFET, nous avons observé sur V_{gs} une perturbation négative susceptible de pouvoir faire travailler la grille du JFET en régime punch-through. Au blocage du JFET, une perturbation positive était observée sur V_{gs} , perturbation susceptible de provoquer une remise en conduction du JFET. Pour terminer sur l'aspect caractérisation dynamique du JFET, nous avons montré que, lors du blocage de la diode drain-source D_{ds} interne au JFET fonctionnant en mode roue libre, le pic de courant observé au niveau du courant drain-source I_{ds} était purement capacitif pour une température ambiante de 27°C.

Ensuite, au chapitre 3, nous avons contribué à la réalisation et la validation d'un modèle représentant les comportements statique et dynamique du JFET SiC deux canaux de SiCED pour une température ambiante égale à 27°C.

Nous avons montré que la modélisation du comportement statique et en particulier du canal latéral n'était pas évidente à cause de son asymétrie. Nous avons montré que la mauvaise prise en compte de cette asymétrie conduisait à une erreur de précision de modélisation des courants de saturation.

En ce qui concerne la partie modélisation du comportement dynamique, une structure à trois capacités de transition a été proposée, et nous avons montré que cette dernière permet de décrire parfaitement le comportement dynamique observé expérimentalement. Nous rappelons que cette structure se base sur les travaux de thèse de Rami Mousa [MOU 2009] auxquels nous avons apporté une simplification de modélisation au niveau des charges d'espace situées entre grille et drain.

Pour finir sur l'aspect modélisation, nous avons aussi développé une première version de modèle du phénomène de punch-through. Ce modèle représentatif du comportement observé expérimentalement a été réalisé simplement par l'intermédiaire d'une droite et n'est valable que pour une température de jonction donnée.

Après, au chapitre 4, nous avons rappelé la problématique qui porte sur la minimisation de l'Interaction Puissance Commande (désignée aussi sous le diminutif IPC) au sein d'un onduleur de tension à base de JFET SiC. En particulier, concernant le JFET fonctionnant en roue libre, il faut considérer d'une part un problème de punch-through lors de la phase de mise en conduction et d'autre part un problème de remise en conduction lors de la phase de blocage.

Afin de minimiser les effets de l'IPC, nous avons présenté des solutions, dont une a été proposée par le GREEN et deux autres sont issues de la littérature. Ces solutions sont en pratique des circuits électriques qui se situent entre l'étage de sortie du driver et la grille du JFET, c'est pourquoi nous les avons désignés par circuits d'attaque de grille. Ces solutions ont été étudiées, comparées et optimisées par simulation et par l'expérience sur un bras d'onduleur de tension fonctionnant sur deux commutations d'affilées (méthode du double pulse). De ces essais, il ressort que l'impédance de grille (R_G, l_G) joue un rôle important vis-à-vis de l'IPC. Nous avons montré que l'IPC diminue lorsque cette impédance diminue. Par conséquent, si l'impédance de grille n'est pas minimisée, cela entraîne d'une part le surdimensionnement des circuits d'attaque de grille pour minimiser l'IPC et d'autre part l'augmentation des pertes par commutation. Nous avons aussi montré que sur les trois solutions étudiées, seules deux ont été retenues pour leur utilité vis-à-vis de la minimisation de l'IPC, et donc de la sécurisation du JFET. L'une des solutions retenues est celle que nous avons proposée.

Après cette phase de sélection parmi les solutions étudiées, nous avons procédé à une phase de validation expérimentale des solutions retenues sur un banc comportant un pont en H commandé en MLI. Ce banc a permis de les éprouver lorsque le JFET était soumis à des commutations répétées. Ces résultats ont permis de montrer que ces solutions permettaient aux JFET de fonctionner en sécurité pour la tension de bus testée, ici 270V DC. Une analyse complémentaire de ces résultats a montré que notre solution permettait d'obtenir des pertes totales (commutation + conduction) plus faibles comparées à l'autre solution retenue. Ce constat est certainement lié à un auto-échauffement supplémentaire provenant de la grille, car le phénomène de punch-through en commutation n'est pas minimisé avec cette autre solution retenue.

Enfin, dans le dernier chapitre de ce manuscrit, nous avons rappelé la problématique liée à la stabilité d'un bus continu en environnement sévère. Nous avons montré en simulation que la perte de capacité liée au comportement en environnement sévère (haute température et haute tension) du condensateur chargé de filtrer le mode différentiel était la cause de l'instabilité observée du bus continu, puisque la condition locale de stabilité n'était plus respectée.

Pour pallier à ce problème d'instabilité réseau en environnement sévère, nous avons présenté une solution de stabilisation désignée par « Découplage Feedback Stabilisant ». Cette solution, simple à mettre en œuvre, est basée sur le schéma de contrôle de la MSAP intégrant un découplage Feedback tout à fait classique. Elle a la particularité de considérer au niveau du découplage Feedback non pas la mesure instantanée de la tension à l'entrée de l'onduleur, mais sa valeur moyenne obtenue pour le point de fonctionnement considéré. Cette particularité permet de rendre stable le bus continu même si la condition locale de stabilité n'est pas respectée. Par ailleurs, nous avons montré que cette solution de stabilisation reste dans certaines conditions une solution de découplage des courants d'axes d et q , et qu'elle permet de nous affranchir d'un capteur de tension.

Nous avons aussi vérifié l'efficacité de la solution proposée et montré le mécanisme de stabilisation lié à cette solution en utilisant un outil, la spectroscopie d'impédance.

Pour terminer cette conclusion, nous souhaitons proposer des perspectives liées aux travaux de thèse présentés :

Concernant l'aspect caractérisation du JFET SiC deux canaux de SiCED, les caractérisations statique et dynamique présentées au chapitre 2 doivent être réalisées sur une plage de température plus importante, allant de -55°C à $+250^{\circ}\text{C}$.

Il faudrait regarder entre autres, la tenue en tension du composant pour les températures négatives, puisque cette dernière diminue lorsque la température diminue.

Il faudrait aussi évaluer la capacité des paramètres du JFET que nous avons étudiés (I_{ds_sat} , V_{T0} , $V_{br,gs}$ et R_{on}) à être ou non des paramètres thermosensibles d'une part, et des paramètres thermosensibles exploitables d'autre part, en vue de les utiliser en tant qu'indicateur thermique de défaut ou encore comme capteur de température.

Enfin, il faudrait étudier à 250°C le pic de courant observé lorsque le JFET fonctionnant en mode roue libre se bloque. Cette étude permettrait d'établir si le pic de courant comporte une part importante de courant de recouvrement.

Concernant l'aspect modélisation du JFET SiC deux canaux de SiCED, il faut intégrer un modèle physique qui prend en compte le régime triode. La résistance série de la diode drain-source D_{ds} doit être prise en compte afin d'obtenir une caractéristique statique en polarisation inverse du JFET représentative. Il faut améliorer le modèle représentant le phénomène de punch-through et le remplacer par un modèle physique ayant une dépendance avec la température de jonction. L'auto-échauffement doit être intégré dans le modèle.

Enfin, les comportements statique et dynamique doivent être validés sur une plage de température de jonction allant de -55°C à $+250^{\circ}\text{C}$.

Concernant l'aspect minimisation de l'IPC et poursuite de la validation des solutions retenues, des essais doivent être effectués avec une tension de bus continu supérieure ou égale à 540V DC et dans un environnement avoisinant 200°C ambiant. Car il est important de rappeler que l'IPC est liée à l'impédance de grille (R_G , l_G), à C_{gd} et aux dV_{ds}/dt qui dépendent entre autres de la valeur de tension de bus DC à commuter.

Par ailleurs, lorsque nous avons étudié les trois circuits d'attaque de grille, nous n'avons pas insisté sur des résultats concernant les forts dV_{ds}/dt relevés, de l'ordre de $15\text{kV}/\mu\text{s}$. Une problématique liée à ces forts dV_{ds}/dt concerne la dégradation des isolants de la machine électrique qui sera alimentée à l'aide d'un onduleur de tension à base de JFET SiC. Il serait intéressant de trouver des solutions pour diminuer les fronts de tension appliqués à la machine électrique ; l'emploi d'un onduleur multi-niveau serait envisageable pour répondre à cette problématique.

Enfin, concernant l'aspect stabilité du bus continu en environnement sévère, une étude par simulation doit être menée afin de déterminer les limites en termes de puissance maximum délivrable par le bus continu lorsque la solution de stabilisation proposée est employée.

Par ailleurs, pour valider les résultats de simulation présentés et à venir, des essais sur banc réel restent à faire.

PUBLICATIONS

Revue Internationale :

O. Berry, Y. Hamieh, S. Raël, F. Meibody-Tabar, S. Vieillard, D. Bergogne, H. Morel, « Minimization of drain-to-gate interaction in a SiC JFET inverter using an external gate-source capacitor », In *Materials Science Forum*, 2010, vol. 645-648, pp. 957-960.

Conférences Internationales :

O. Berry, Y. Hamieh, S. Raël, F. Meibody-Tabar, S. Vieillard, D. Bergogne, H. Morel, « Minimization of drain-to-gate interaction in a SiC JFET inverter using an external gate-source capacitor », In *ICSCRM International conference on Silicon Carbide and Related Materials*, 2009.

D. Bergogne, D. Risaletto, F. Dubois, A. Hammoud, H. Morel, P. Bevilacqua, B. Allard, O. Berry, F. Meibody-Tabar, S. Raël, R. Meuret, S. Dhokkar, « Normally-On SiC JFETs in Power Converters: Gate Driver and Safe Operation », In *CIPS International Conference on Integrated Power Electronics Systems*, VDE VERLAG GMBH, Berlin-Offenbach, 2010, 6p.

R. Meuret, O. Berry, F. Dubois, Y. Hamieh, S. Raël, F. Meibody-Tabar, D. Bergogne, S. Dhokkar, H. Morel, « SIC INVERTER OPTIMIZATION FOR HIGH TEMPERATURE APPLICATIONS », In *ICAS 2010 International Congress of the Aeronautical Sciences*, 2010.

Conférences Nationales :

F. Nierlich, S. Vieillard, O. Berry, Y. Hamieh, S. Raël, H. Morel, J. Jacques, N. Ziegler, « ACTIONNEUR ELECTRIQUES "CHAUDS" POUR APPLICATIONS HAUTE TEMPERATURE », In *EF'2009 Electronique du Futur*, 2009. ISBN 978-2-913923-30-0

Y. Hamieh, D. Tournier, D. Bergogne, H. Morel, O. Berry, S. Raël, F. Meibody-Tabar, S. Dhokkar, R. Meuret, « Modélisation multiphysique d'un canal de JFET asymétrique, applications aux JFET SiC (INFINEON) », In *EPF 2010 Electronique de Puissance du Futur*, 2010, 6p.

BIBLIOGRAPHIE

- [@AFR] Site du laboratoire de l'armée de l'air américaine, l'AFRL (2011), <http://www.wpafb.af.mil/AFRL/>.
- [@AGI] Site du fabricant Agilent Technologies, données techniques de l'alimentation HP 4142B (2010), <http://www.home.agilent.com/agilent/techSupport.jsp?pid=542694&pageMode=MN&cc=US&lc=eng>.
- [@AMP] Site du laboratoire Ampère (2010), <http://www.ampere-lyon.fr>.
- [@AST] Site du Pôle ASTech (2010), <http://www.pole-astech.org>.
- [@AVX] Site du fabricant AVX (2010), <http://www.avx.com>.
- [@BER] Site du fabricant Bergquist (2010), <http://www.bergquistcompany.com/>.
- [@CRE] Site de la société Cree Research Inc (2010), <http://www.cree.com>.
- [@DGA] Site de la DGA (2010), <http://www.defense.gouv.fr/dga>.
- [@DOW] Site de la société Dow Corning (2010), <http://www.dowcorning.com/content/compsemi>.
- [@GRE] Site du laboratoire GREEN (2010), <http://www.green.u-nancy.fr>.
- [@HIS] Site de la société Hispano-Suiza (2010), <http://www.hispano-suiza-sa.com>.
- [@INF-a] Site de la société Infineon (2010), <http://www.infineon.com>.
- [@INF-b] Contribution diffusée sur le site d'Infineon (2010), C. Miesner, R. Rupp, H. Kapels, M. Krach, I. Zverev, « thinQ!TM Silicon Carbide Schottky Diodes: An SMPS Circuit Designer's Dream Comes True! », http://www.infineon.com/dgdl/WhitePaper_SiC.pdf?folderId=db3a304412b407950112b417aac523d9&fileId=db3a304412b407950112b417ab0623da.
- [@IXY] Site de la société IXYS (2010), <http://www.ixys.com/>.
- [@KEY] Site du fabricant Keystone (2010), <http://www.keyelco.com/>.
- [@LEC] Site du fabricant Lecroy (2009), données techniques de la sonde de courant CP031, <http://www.lecroy.com/options/productdetails.aspx?modelid=1131&categoryid=3&groupid=7>.
- [@MES] Site de la société Messier-Bugatti (2010), <http://www.messier-bugatti.com>.
- [@MIC] Site de la société Microsemi (2010), <http://www.microsemi.com>.
- [@NIP] Site de la société Nippon Steel (2010), <http://www.nsc.co.jp>.
- [@NOR] Site de la société Norstel AB (2010), <http://www.norstel.com>.
- [@OME] Site de la société OMERIN (2010), <http://www.groupe-omerin.com/FR/index.php4>.

- [@POW] Site de la société Powerex (2011), <http://www.pwr.com/TechnicalDocument.aspx?id=966>.
- [@PRE] Site du fabricant PRESIDIO COMPONENTS INC. (2010), <http://www.presidiocomponents.com/home/index.htm>.
- [@ROH] Site de la société Rohm (2010), <http://www.rohm.com/products/sic>.
- [@ROT] Site du fabricant Roth Elektronik (2010), <http://www.roth-elektronik.de/>.
- [@SAF-a] Site du Groupe SAFRAN (2010), <http://www.safran-group.com>.
- [@SAF-b] Site du Magazine du Groupe SAFRAN (2010), http://www.le-webmag.com/article.php3?id_article=204&lang.
- [@SAT] Site du laboratoire SATIE (2010), <http://www.satie.ens-cachan.fr>.
- [@SEM-1] Site de la société Semisouth (2010), <http://www.semisouth.com>.
- [@SEM-2] Site du Magazine Semiconductor-Today (2010), http://www.semiconductor-today.com/news_items/NEWS_2007/NOV_07/TRANSIC_071107.htm
- [@SEM-3] Site de la société Semelab (2011), <http://www.semelab.com/>.
- [@SIC-1] Site de la société SiCED (2010), <http://www.siced.com>.
- [@SIC-2] Site de la société SiCrystal AG (2010), <http://www.sicrystal.de>.
- [@STM] Site de la société STMicroelectronics (2010), <http://www.st.com>.
- [@TEK-a] Site du fabricant Tektronix partie traceurs (2010), <http://www2.tek.com/cmswpt/psfinder.lotr?cn=curve+tracers&lc=EN>.
- [@TEK-b] Site du fabricant Tektronix, fichier d'information destiné aux utilisateurs de sonde de mesure, nom du fichier : abcs_of_probes_tektronix.pdf (2010), <http://www2.tek.com/cmswpt/tidetails.lotr?cs=pri&ci=2329&lc=EN>.
- [@TRA] Site de la société TranSIC (2010), <http://www.transic.com/>.
- [@TYC] Site du fabricant Tyco Electronics (2010), <http://www.tycoelectronics.com/default.aspx>.
- [@TES] Site du fournisseur Test Equipment connection, data sheet de l'alimentation HP 4142B (2010), <http://www.testequipmentconnection.com/specs/HP%204142B%20TECHNICAL%20DATA.PDF>.
- [@VER] Site du fabricant Vero Technologies Ltd (2010), <http://www.verotl.com/>.
- [ACH 1893] E. G. Acheson, « Production of artificial crystalline carbonaceous materials », USA, Patent, US492767, 28/02/1893.

- [AGA 1997] A. K. Agarwal, J. B. Casady, L. B. Rowland, S. Seshadri, R. R. Siergie, W. F. Valek, C. D. Brandt, « 700-V Asymmetrical 4H-SiC Gate Turn-Off Thyristors (GTO's) », In *IEEE ELECTRON DEVICE LETTERS*, 1997, vol. 18, n°11, pp. 518-520.
- [AGA-a 2006] A. Agarwal, S. Krishnaswami, J. Richmond, C. Capell, S. H. Ryu, J. Palmour, B. Geil, D. Katsis, C. Scozzie, R. Stahlbush, « Influence of Basal Plane Dislocation Induced Stacking Faults on the Current Gain in SiC BJTs », In *Materials Science Forum*, 2006, vol. 527-529, pp. 1409-1412.
- [AGA-b 2006] A. Agarwal, S. H. Ryu, « Status of SiC Power Devices and Manufacturing Issues », In *CS MANTECH International Conference on Compound Semiconductor Manufacturing Technology*, 2006, pp. 215-218.
- [AGA-a 2007] A. Agarwal, « A Case for High Temperature, High Voltage SiC Bipolar Devices », In *Materials Science Forum*, 2007, vol. 556-557, pp. 687-692.
- [AGA-b 2007] A. Agarwal, H. Fatima, S. Haney, S. H. Ryu, « A New Degradation Mechanism in High-Voltage SiC Power MOSFETs », In *IEEE ELECTRON DEVICE LETTERS*, 2007, vol. 28, n°7, pp. 587-589.
- [AGA 2010] A. Agarwal, Q. (J.) Zhang, R. Callanan, C. Capell, A. Burk, M. O'Loughlin, J. Palmour, V. Temple, R. Stahlbush, J. Caldwell, H. O'Brien, C. Scozzie, « 9 kV, 1 cm² SiC Gate Turn-Off Thyristors », In *Materials Science Forum*, 2010, vol. 645-648, pp. 1017-1020.
- [ALE 2001] P. Alexandrov, J. H. Zhao, W. Wright, M. Pan, M. Weiner, « Demonstration of 140A, 800V 4H-SiC *pin*/Schottky barrier diodes with multi-step junction termination extension structures », In *IET Electronics Letters*, 2001, vol. 37, n°18, pp. 1139-1140.
- [ARN 1992] J. Arnould, P. Merle, « Dispositifs de l'électronique de puissance. Volume 1 », Paris : Hermès, 1992, 482p, ISBN 2-86601-306-9.
- [AVR 2005] M. Avram, G. Brezeanu, A. Avram, O. Neagoe, M. Brezeanu, C. Iliescu, C. Codreanu, C. Voitincu, « CONTRIBUTIONS TO DEVELOPMENT OF HIGH POWER SiC - IGBT », In *Proceedings of International Semiconductor Conference*, IEEE, 2005, vol. 2, pp. 365-368.
- [BAL-1 1982] B. J. Baliga, « Semiconductors for high-voltage, vertical channel field-effect transistors », In *Journal of Applied Physics*, 1982, vol. 53, n°3, pp. 1759-1764.
- [BAL-1-a 1984] B. J. Baliga, B. Tech., « High-Voltage device termination techniques. A comparative review. », In B. Jayant Baliga & Dan Y. Chen (eds), *Power Transistors : Device Design and Applications*, New-York : IEEE, 1984, pp. 376-382, ISBN : 0-87942-181-9.
- [BAL-1-b 1984] B. J. Baliga, « The Pinch Rectifier : A Low-Forward-Drop High-Speed Power Diode », In *IEEE ELECTRON DEVICE LETTERS*, 1984, vol. 5, n°6, pp. 194-196.
- [BAL-1-c 1984] B. J. Baliga, Dan Y. Chen., « Introduction », In B. Jayant Baliga & Dan Y. Chen (eds), *Power Transistors : Device Design and Applications*, New-York : IEEE, 1984, pp. 376-382, ISBN : 0-87942-181-9.

- [BAL-1-d 1984] B. J. Baliga, « High-Voltage Junction-Gate Field-Effect Transistor with Recessed Gates », In B. Jayant Baliga & Dan Y. Chen (eds), *Power Transistors : Device Design and Applications*, New-York : IEEE, 1984, pp. 292-302, ISBN : 0-87942-181-9.
- [BAL-1 1987] B. J. Baliga, « MODERN POWER DEVICES », John Wiley & Sons Inc, 1987, 476p, ISBN 0-471-81986-7.
- [BAL-1 1989] B. J. Baliga, « Power Semiconductor Device Figure of Merit for High-Frequency Applications », In *IEEE ELECTRON DEVICE LETTERS*, 1989, vol. 10, n°10, pp. 455-457.
- [BAL-1 2005] B. J. Baliga, « Silicon Carbide Power Devices », World Scientific, 2005, 503p, ISBN 981-256-605-8.
- [BAL-2 2005] S. Balachandran, T. P. Chow, A. Agarwal, C. Scozzie, K. A. Jones, « 4kV 4H-SiC Epitaxial Emitter Bipolar Junction Transistors », In *ISPSD International Symposium on Power Semiconductor Devices & IC's*, IEEE, 2005.
- [BAL-2 2007] S. Balachandran, C. Li, P. A. Losee, I. B. Bhat, T. P. Chow, « 6kV 4H-SiC BJTs with Specific On-resistance Below the Unipolar Limit using a Selectively Grown Base Contact Process », In *ISPSD International Symposium on Power Semiconductor Devices & IC's*, IEEE, 2007, pp. 293-296.
- [BER-1 2005] D. Bergogne, P. Bevilacqua, S. M'Rad, D. Planson, H. Morel, B. Allard, O. Brevet, « 300°C operating junction temperature inverter leg investigations », In *EPE European Conference on Power Electronics and Applications*, 2005.
- [BER-1-a 2008] D. Bergogne, H. Morel, D. Planson, D. Tournier, P. Bevilacqua, B. Allard, R. Meuret, S. Vieillard, S. Raël, F. Meibody-Tabar, « Towards an Airborne High Temperature SiC Inverter », In *PESC Power Electronics Specialists Conference*, IEEE, 2008, pp. 3178-3183.
- [BER-1-b 2008] D. Bergogne, D. Tournier, R. Mousa, M. S. Koor, D. Planson, H. Morel, B. Allard, « SiC JFET for high temperature power switches », In *CIPS International Conference on Integrated Power Electronics Systems*, VDE VERLAG GMBH, Berlin-Offenbach, 2008, 4p.
- [BER-1 2010] D. Bergogne, D. Risaletto, F. Dubois, A. Hammoud, H. Morel, P. Bevilacqua, B. Allard, O. Berry, F. Meibody-Tabar, S. Raël, R. Meuret, S. Dhokkar, « Normally-On SiC JFETs in Power Converters: Gate Driver and Safe Operation », In *CIPS International Conference on Integrated Power Electronics Systems*, VDE VERLAG GMBH, Berlin-Offenbach, 2010, 6p.
- [BER-2 1824] J. J. Berzelius, « Untersuchungen über die Flusfspathsäure und deren merkwürdigften Verbindungen », In *Annalen der Physik und Chemie*, 1824, vol. 1, pp. 169-230.
- [BER-3 2009] M. Berkani, S. Lefebvre, N. Boughrara, Z. Khatir, J. C. Faugières, P. Friedrichs, A. Haddouche « Estimation of SiC JFET temperature during short-circuit operations », In *Microelectronics Reliability*, 2009, vol. 49, pp. 1358-1362.

- [BER-3 2010] M. Bouarroudj-Berkani, L. Dupont, « Fatigue des composants électroniques de puissance : Physique de défaillance », *Techniques de l'ingénieur*, 2010, article D3126, 21p.
- [BER-4 2009] O. Berry, Y. Hamieh, S. Raël, F. Meibody-Tabar, S. Vieillard, D. Bergogne, H. Morel, « Minimization of drain-to-gate interaction in a SiC JFET inverter using an external gate-source capacitor », In *ICSCRM International conference on Silicon Carbide and Related Materials*, 2009.
- [BER-4 2010] O. Berry, Y. Hamieh, S. Raël, F. Meibody-Tabar, S. Vieillard, D. Bergogne, H. Morel, « Minimization of drain-to-gate interaction in a SiC JFET inverter using an external gate-source capacitor », In *Materials Science Forum*, 2010, vol. 645-648, pp. 957-960.
- [BER-5 2010] B. Bernoux, « Caractérisation de MOSFETs de puissance cyclés en avalanche pour des applications automobiles micro-hybrides », Thèse en Génie des Matériaux Technologies et Composants de l'Electronique, 31/03/2010, laboratoire LAAS, INSA de Toulouse.
- [BJO 2006] F. Björk, J. Hancock, M. Treu, R. Rupp, T. Reimann, « 2nd Generation 600V SiC Schottky diodes Use Merged pn/Schottky Structure for Surge Overload Protection », In *APEC'06 Applied Power Electronics Conference and Exposition*, IEEE, 2006, pp. 170-173.
- [BOU 2009] N. Boughrara, S. Moumen, S. Lefebvre, Z. Khatir, P. Friedrichs, J. C. Faugières, « Robustness of SiC JFET in Short-Circuit Modes », In *IEEE ELECTRON DEVICE LETTERS*, 2009, vol. 30, n°1, pp. 51-53.
- [BR0-a 2007] P. Brosselard, X. Jordà, M. Vellvehi, A. Pérez-Thomas, P. Godignon, J. Millán « 1.2kV Rectifiers Thermal Behaviour: comparison between Si PiN, 4H-SiC Schottky and JBS diodes », In *EPE European Conference on Power Electronics and Applications*, 2007.
- [BR0-b 2007] P. Brosselard, X. Jordà, M. Vellvehi, P. Godignon, J. Millán, J. P. Bergman, B. Lambert, « High temperature behaviour of 3.5kV 4H-SiC JBS diodes », In *ISPSD International Symposium on Power Semiconductor Devices & IC's*, IEEE, 2007, pp. 285-288.
- [BUR 2009] R. Burgos, Z. Chen, D. Boroyevich, F. Wang, « Design Considerations of a Fast 0-Ω Gate-Drive Circuit for 1.2 kV SiC JFET Devices in Phase-Leg Configuration », In *ECCE Energy Conversion Congress and Exposition*, IEEE, 2009, pp. 2293-2300.
- [BUT 2009] C. Buttay, D. Planson, B. Allard, D. Bergogne, P. Bevilacqua, C. Joubert, M. Lazar, C. Martin, H. Morel, D. Tournier, C. Raynaud, « State of the art of High Temperature Power Electronics », In *International Conference MicroTherm'2009 Microtechnology and Thermal Problems in Electronics*, 2009.
- [CAM-1 1998] J. Camassel, S. Contreras, J.L. Robert, « Matériaux semi-conducteur à grand gap : SiC », *Techniques de l'ingénieur*, 1998, article E1990, 12p.
- [CAM-2 2002] S. V. Campen, A. Ezis, J. Zingaro, G. Storaska, R. C. Clarke, K. Elliott, « 100A and 3.1kV 4H-SiC GTO Thyristors », In *Proceedings of IEEE Lester Eastman Conference on High Performance Devices*, IEEE, 2002, pp. 58-64.

- [DIE 2002] D. Stephani, « Prospects of SiC Power Devices From the State of the Art to Future Trends », In *International Power Electronics Conference*, 2002.
- [DIM 2006] Elena Ivanova DIMITROVA - FREY, « Analyse et modélisation du JFET de puissance en carbure de silicium en régime statique », Thèse Génie Electrique, 10/10/2006, laboratoire Ampère (anciennement CEGELY), INSA de Lyon.
- [ELP 2010] R. Elpelt, P. Friedrichs, J. Biela, « Fast switching with SiC VJFETs – influence of the device topology », In *Materials Science Forum*, 2010, vol. 645-648, pp. 933-936.
- [FRI 2000] P. Friedrichs, H. Mitlehner, R. Kaltschmidt, U. Weinert, W. Bartsch, C. Hecht, K. O. Dohnke, B. Weis, D. Stephani, « Static and Dynamic Characteristics of 4H-SiC JFETs Designed for different Blocking Categories », In *Materials Science Forum*, 2000, vol. 338-342, pp. 1243-1246.
- [FRI 2001] P. Friedrichs, H. Mitlehner, R. Schörner, K. O. Dohnke, R. Elpelt, D. Stephani, « The vertical silicon carbide JFET – a fast and low solid state power switching device », In *EPE European Conference on Power Electronics and Applications*, 2001.
- [FRI 2002] P. Friedrichs, H. Mitlehner, R. Schörner, K. O. Dohnke, R. Elpelt, D. Stephani, « Application-Oriented Unipolar Switching SiC Devices », In *Materials Science Forum*, 2002, vol. 389-393, pp. 1185-1190.
- [FRI-a 2003] P. Friedrichs, H. Mitlehner, R. Schörner, K. O. Dohnke, D. Stephani, « High-Voltage Modular Switch Based on SiC VJFETs – First Results for a Fast 4,5kV/1,2Ω Configuration », In *Materials Science Forum*, 2003, vol. 433-436, pp. 793-796.
- [FRI-b 2003] P. Friedrichs, H. Mitlehner, R. Schörner, K. O. Dohnke, R. Elpelt, D. Stephani, « Stacked high voltage switch based on SiC VJFETs », In *ISPSD International Symposium on Power Semiconductor Devices & IC's*, IEEE, 2003, pp. 139-142.
- [FRI 2005] P. Friedrichs, R. Rupp, « Silicon Carbide Power Devices – Current Developments and Potential Applications », In *EPE European Conference on Power Electronics and Applications*, 2005.
- [FRI-a 2006] P. Friedrichs, « SiC Power Devices – Recent and Upcoming Developments », In *ISIE International Symposium on Industrial Electronics*, IEEE, 2006, pp. 993-997.
- [FRI-b 2006] P. Friedrichs, D. Stephani, « Unipolar SiC power devices and elevated temperature », In *Microelectronic Engineering*, 2006, vol. 83, pp. 181-184.
- [FRI 2007] P. Friedrichs, R. Elpelt, « Layout considerations for improving the on-state performance of vertical SiC switching devices », In *PESC Power Electronics Specialists Conference*, IEEE, 2007, pp. 987-990.
- [FRI-a 2008] P. Friedrichs, « Synergies gained from smart combinations of silicon carbide power devices with silicon components », In *IECON Annual Conference of the IEEE Industrial Electronics Society*, IEEE, 2008, pp. 2891-2896.

- [FRI-b 2008] P. Friedrichs, « Silicon Carbide power semiconductors – new opportunities for high efficiency », In *ICIEA International Conference on Industrial Electronics and Applications*, IEEE, 2008, pp. 1770-1774.
- [GAO 2006] Y. Gao, A. Q. Huang, S. Krishnaswami, J. Richmond, A. K. Agarwal, « Comparison of Static and Switching Characteristics of 1200V 4H-SiC BJT and 1200V Si-IGBT », In *IAS Industry Applications Conference*, IEEE, 2006, vol.1, pp. 325-329.
- [GUR 2008] M. Gurfinkel, H. D. Xiong, K. P. Cheung, J. S. Suehle, J. B. Bernstein, Y. Shapira, A. J. Lelis, D. Habersat, N. Goldsman, « Characterization of Transient Gate Oxide Trapping in SiC MOSFETs Using Fast *I-V* Techniques », In *IEEE TRANSACTIONS ON ELECTRON DEVICE*, 2008, vol. 55, n°8, pp. 2004-2012.
- [HAM 2010] Y. Hamieh, D. Tournier, D. Bergogne, H. Morel, O. Berry, S. Raël, F. Meibody-Tabar, S. Dhokkar, R. Meuret, « Modélisation multiphysique d'un canal de JFET asymétrique, applications aux JFET SiC (INFINEON) », In *EPF 2010 Electronique de Puissance du Futur*, 2010, 6p.
- [HAM 2011] Y. Hamieh, « Caractérisation et modélisation du transistor JFET en SiC à haute température », Thèse en Génie Electrique, 11/05/2011, laboratoire Ampère, INSA de Lyon.
- [HEF 2004] A. Hefner, T. McNutt, A. Akuffo, R. Singh, C. Ellenwood, D. Berning, M. K. Das, J. J. Sumakeris, R. Stahlbush, « Characterization of SiC PiN Diode Forward Bias Degradation », In *IAS Industry Applications Conference*, IEEE, 2004, vol.2, pp. 1252-1260.
- [HUA 2001] A. Q. Huang, B. Zhang, « The Future of Bipolar Power Transistors », In *IEEE Electron Device*, 2001, vol. 48, n°11.
- [HUL 2006] B. A. Hull, M. K. Das, J. T. Richmond, J. J. Sumakeris, R. Leonard, J. W. Palmour, S. Leslie, « A 180 Amp/4.5kV 4H-SiC PiN Diode for High Current Power Modules », In *ISPSD International Symposium on Power Semiconductor Devices & IC's*, IEEE, 2006.
- [ISH 2010] K. Ishikawa, K. Ogawa, N. Kameshiro, H. Onose, M. Nagasu, « Inverter Loss Reduction Using 3kV SiC-JBS Diode and High-speed Drive Circuit », In *Materials Science Forum*, 2010, vol. 645-648, pp. 1127-1130.
- [IUN 2004] C. Iung, « Régulation », In *Cours ENSEM 1ère année*, 2004.
- [JOH 1965] E. O. Johnson, « Physical Limitations on Frequency and Power Parameters of Transistors », In *RCA REVIEW*, 1965, vol. 26, pp. 163-177.
- [JOR 2005] X. Jordà, D. Tournier, M. Vellvehi, A. Pérez, P. Godignon, J. Millá « Comparative Evaluation of High Current SiC Schottky Diodes and Si PN Junction Diodes », In *Electron Devices*, IEEE, 2005, pp. 87-90.
- [KEY 1972] R. W. Keyes, « Figure of Merit for Semiconductors for High-Speed Switches », In *PROCEEDINGS OF THE IEEE*, 1972, vol. 60, n°2, pp. 225-225.

- [KRI 2005] S. Krishnaswami, M. Das, B. Hull, S. H. Ryu, J. Scofield, A. Agarwal, J. Palmour, « Gate Oxide Reliability of 4H-SiC MOS Devices », In *43rd Annual International Reliability Physics Symposium*, IEEE, 2005, pp. 592-593.
- [KRI 2006] S. Krishnaswami, A. Agarwal, J. Richmond, C. Capell, S. H. Ryu, J. Palmour, B. Geil, D. Katsis, C. Scozzie, « High Temperature Characterization of 4H-SiC Bipolar Junction Transistors », In *Materials Science Forum*, 2006, vol. 527-529, pp. 1437-1440.
- [LAI 2009] R. Lai, F. Wang, P. Ning, D. Zhang, D. Jiang, R. Burgos, D. Boroyevich, K. J. Karimi, V. D. Immanuel, “Development of a 10 kW High Power Density Three-Phase AC-DC-AC Converter Using SiC Devices”, In *EPE European Conference on Power Electronics and Applications*, 2009.
- [LEC 1994] J. Leclercq, « Electronique de puissance, Eléments de technologie », *Techniques de l'ingénieur*, 1994, article D3220, 22p.
- [LEE 2007] H. S. Lee, M. Domeij, C. M. Zetterling, M. Östling, F. Allerstam, E. Ö. Sveinbjörnsson, « 1200-V 5.2-mΩ·cm² 4H-SiC BJTs With a High Common-Emitter Current Gain », In *IEEE ELECTRON DEVICE LETTERS*, 2007, vol. 28, n°11, pp. 1007-1009.
- [LEF 2004] S. Lefebvre, F. Miserey, « Composants à semi-conducteur pour l'électronique de puissance », Paris : Tec & Doc Lavoisier, 2004, 428p, ISBN 2-7430-0719-2.
- [LEF 2005] S. Lefebvre, Z. Khatir, F. Saint-Eve, « Experimental Behavior of Single-Chip IGBT and COOLMOS Devices Under Repetitive Short-Circuit Conditions », In *IEEE TRANSACTIONS ON ELECTRON DEVICE*, 2005, vol. 52, n°2, pp. 276-283.
- [LEL 1955] J. A. Lely, « Darstellung von Einkristallen von Silizium Karbid und Beherrschung von Art und Menge der eingebauten Verunreinigungen », In *Ber. Deut. Keram. Ges.*, 1955, vol. 32, pp. 229-236.
- [LET 1999] P. Leturcq, « Physique des semi-conducteurs de puissance », *Techniques de l'ingénieur*, 1999, article D3102, 32p.
- [LET 2001] P. Leturcq, « Semi-conducteurs de puissance unipolaires et mixtes (partie 1) », *Techniques de l'ingénieur*, 2001, article D3108, 20p.
- [LI 2000] X. Li, K. Tone, L. Cao, P. Alexandrov, L. Furstin, J. H. Zhao, « Theoretical and Experimental Study of 4H-SiC Junction Edge Termination », In *Materials Science Forum*, 2000, vol. 338-342, pp. 1375-1378.
- [LIU 2007] P. Liutanakul, « STABILITÉ DES RÉSEAUX EMBARQUÉS Interaction Puissance – Structure – Commande », Thèse en Génie Electrique, 25/01/2007, laboratoire GREEN, INPL.
- [LIU 2010] P. Liutanakul, A. B. Awan, S. Pierfederici, B. Nahid-Mobarakeh, F. Meibody-Tabar, “Linear Stabilization of a DC Bus Supplying a Constant Power Load: A General Design Approach”, In *IEEE TRANSACTIONS ON POWER ELECTRONICS*, Vol.25, N°2, 2010.

- [MAG 2010] P. Magne, B. Nahid-Mobarakeh, S. Pierfederici, « DC-Link Voltage Large Signal Stabilization and Transient Control Using a Virtual Capacitor », In *IAS Industry Applications Conference*, IEEE, 2010.
- [MAG 2012] P. Magne, « Contribution à l'étude de la stabilité et à la stabilisation des réseaux DC à récupération d'énergie », Thèse en Génie Electrique, 30/04/2012, laboratoire GREEN, Université de Lorraine.
- [MCN 2007] T. McNutt, A. Hefner, A. Mantooh, D. Berning, S. H. Ryu, « Silicon carbide power MOSFET model and parameter extraction sequence », In *PESC Power Electronics Specialists Conference*, IEEE, 2003, vol. 1, pp. 217-226.
- [MEU 2010] R. Meuret, O. Berry, F. Dubois, Y. Hamieh, S. Raël, F. Meibody-Tabar, D. Bergogne, S. Dhokkar, H. Morel, « SIC INVERTER OPTIMIZATION FOR HIGH TEMPERATURE APPLICATIONS », In *ICAS 2010 International Congress of the Aeronautical Sciences*, 2010.
- [MID 1976] R. D. Middlebrook, « Input filter considerations in design and application of switching regulators », In *IAS Industry Applications Conference*, IEEE, 1976, pp. 366-382.
- [MIH 2005] A. P. Mihaila, F. Udrea, S. J. Rashid, P. Godignon, J. Millan, « SiC JUNCTION FETs – A STATE OF THE ART REVIEW », In *International Semiconductor Conference*, IEEE, 2005, pp. 349-352.
- [MIN 2003] K. Mino, S. Herold, J. W. Kolar, « A Gate Drive Circuit for Silicon Carbide JFET », In *IECON Conference*, IEEE, 2003, pp. 1162-1166.
- [MOI 1905] H. Moissan, « Etude du siliciure de carbone de la météorite de Cañon Diablo », *Compte-rendu des Séances de l'Académie des Sciences, Paris*, 1905, vol. T140, pp. 405-406.
- [MOU 2007] R. Mousa, D. Planson, H. Morel, C. Raynaud, « High temperature characterization of SiC-JFET and modelling », In *EPE European Conference on Power Electronics and Applications*, 2007.
- [MOU 2008] R. Mousa, D. Planson, H. Morel, B. Allard, C. Raynaud, « Modeling and High Temperature Characterization of SiC-JFET », In *PESC Power Electronics Specialists Conference*, IEEE, 2008, pp. 3111-3117.
- [MOU 2009] R. Mousa, « Caractérisation, modélisation et intégration de JFET de puissance en carbure de silicium dans des convertisseurs haute température et haute tension », Thèse en Génie Electrique, 25/06/2009, laboratoire Ampère, INSA de Lyon.
- [MUN 2000] S. Munk-Nielsen, L. N. Tutelea, Ulrik Jaeger, « Simulation with Ideal Switch Models Combined with Measured Loss Data Provides a Good Estimate of Power Loss », In *IAS Industry Applications Conference*, IEEE, 2000.
- [NAL 2002] F. Nallet, « SiC pour l'électronique de puissance du futur », *Techniques de l'ingénieur*, 2002, article RE3, 11p.

- [NEU 1994] P. G. Neudeck, J. A. Powell, « Performance Limiting Micropipe Defects in Silicon Carbide Wafers », In *IEEE ELECTRON DEVICE LETTERS*, 1994, vol. 15, n°2, pp. 63-65.
- [NIE 2009] F. Nierlich, S. Vieillard, O. Berry, Y. Hamieh, S. Raël, H. Morel, J. Jacques, N. Ziegler, « ACTIONNEUR ELECTRIQUES "CHAUDS" POUR APPLICATIONS HAUTE TEMPERATURE », In *EF'2009 Electronique du Futur*, 2009. ISBN 978-2-913923-30-0
- [PIE 2005] S. Pierfederici, R. Meuret, F. Meibody-Tabar, B. Davat, « Contribution à l'étude de la stabilité des systèmes distribués. Application aux réseaux de bord d'avions », In *J3eA Journal sur l'enseignement des sciences et technologies de l'information et des systèmes*, Vol.4, Hors-Série N°1, 2005.
- [RAG 1996] R. Raghunathan, B. J. Baliga, « EBIC investigation of edge termination techniques for silicon carbide power devices. », In *ISPSD International Symposium on Power Semiconductor Devices & IC's*, IEEE, 1996, pp. 111-114.
- [RAM 1947] L. S. Ramsdell, « Studies on silicon carbide », In *American Mineralogist*, 1947, vol. 32, pp.64-82.
- [RAY 2007] C. Raynaud, « Propriétés physiques et électroniques du carbure de silicium (SiC) », *Techniques de l'ingénieur*, 2007, article D3119, 14p.
- [RIC 2009] J. Richmond, S. Leslie, B. Hull, M. Das, A. Agarwal, J. Palmour, « Roadmap for Megawatt Class Power Switch Modules Utilizing Large Area Silicon Carbide MOSFETs and JBS Diodes », In *ECCE Energy Conversion Congress and Exposition*, IEEE, 2009, pp. 106-111.
- [RIS 2007] D. Risaletto, « Caractérisation électrique en commutation de diodes haute tension en carbure de silicium », Thèse en Génie Electrique, 14/05/2007, laboratoire Ampère, INSA de Lyon.
- [RIT 2010] A. Ritenour, D. C. Sheridan, V. Bondarenko, J. B. Casady, « Performance of 15mm² 1200V Normally-Off SiC VJFETs with 120 A Saturation Current », In *Materials Science Forum*, 2010, vol. 645-648, pp. 937-940.
- [ROB 2010] R. Robutel, C. Martin, H. Morel, C. Buttay, D. Bergogne, N. Gazel, « Design of High Temperature EMI Input Filter for 2kW HVDC-fed Inverter », In *HiTEC International Conference & Exhibition on High Temperature Electronics*, 2010, pp. 236-243.
- [ROC 2007] J. F. Roche, « Définition d'un dissipateur thermique en milieu industriel », *Techniques de l'ingénieur*, 2007, article D3117, 16p.
- [ROD 2005] R. P. Rodriguez, « Planar Edge Terminations and Related Manufacturing Process Technology for High Power 4H-SiC Diodes », A Thesis submitted to the Faculty of Sciences, Physics Department, Bellaterra october 2005, Universitat Autònoma de Barcelona.
- [ROU-1 1907] H. J. Round, « A note on Carborundum », In *Electrical World*, 1907, vol. 19, pp. 309-312.

- [ROU-2 2005] S. Round, M. Heldwein, J. Kolar, I. Hofsjager, P. Friedrichs, « A SiC JFET Driver for a 5kW, 150kHz Three-Phase PWM Converter », In *IAS Industry Applications Conference*, IEEE, 2005, vol.1, pp. 410-416.
- [RUP 2003] R. Rupp, I. Zverev, « SiC Power Devices: How to be Competitive towards Si-Based Solutions? », In *Materials Science Forum*, 2003, vol. 433-436, pp. 805-812.
- [RUP 2006] R. Rupp, M. Treu, S. Voss, F. Björk, T. Reimann, « 2nd Generation SiC Schottky diodes: A new benchmark in SiC device ruggedness. », In *ISPSD International Symposium on Power Semiconductor Devices & IC's*, IEEE, 2006.
- [RUP 2010] R. Rupp, F. Björk, G. Deboy, M. Holz, M. Treu, J. Hilsenbeck, R. Otremba, H. Zeichen, « A new generation of SiC Schottky diodes with improved thermal management and reduced capacitive losses », In *Materials Science Forum*, 2010, vol. 645-648, pp. 885-888.
- [RYU 2001] S. H. Ryu, A. K. Agarwal, R. Singh, J. W. Palmour, « 3100 V, Asymmetrical, Gate Turn-Off (GTO) Thyristors in 4H-SiC », In *IEEE Electron Device Letters*, 2001, vol. 22, n°3, pp. 127-129.
- [RYU 2004-a] S. H. Ryu, A. Agarwal, S. Krishnaswami, J. Richmond, J. Palmour, « Development of 10kV 4H-SiC Power DMOSFETs », In *Materials Science Forum*, 2004, vol. 457-460, pp. 1385-1388.
- [RYU 2004-b] S. H. Ryu, S. Krishnaswami, M. O'Loughlin, J. Richmond, A. Agarwal, J. Palmour, A. R. Hefner, « 10-kV, 123mΩ.cm² 4H-SiC Power DMOSFETs », In *IEEE Electron Device Letters*, 2004, vol. 25, n°8, pp. 556-558.
- [RYU 2006] S. H. Ryu, S. Krishnaswami, B. Hull, J. Richmond, A. Agarwal, A. Hefner, « 10kV, 5A 4H-SiC Power DMOSFET », In *ISPSD International Symposium on Power Semiconductor Devices & IC's*, IEEE, 2006.
- [RYU 2010] S. Ryu, B. Hull, S. Dhar, L. Cheng, Q. Zhang, J. Richmond, M. Das, A. Agarwal, J. Palmour, A. Lelis, B. Geil, C. Scozzie, « Performance, Reliability, and Robustness of 4H-SiC Power DMOSFETs », In *Materials Science Forum*, 2010, vol. 645-648, pp. 969-974.
- [SAK 2000] N. S. Saks, A. K. Agarwal, « Hall mobility and free electron density at the SiC/SiO₂ interface in 4H-SiC », In *APPLIED PHYSICS LETTERS*, 2000, vol. 77, n°20, pp. 3281-3283.
- [SHI 1968] H. Shichman, D. A. Hodges, « Modeling and Simulation of Insulated-Gate Field-Effect Transistor Switching Circuits », In *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, IEEE, 1968, Vol. SC-3, N°3, pp.285-289.
- [SHU 1995] W. T. Shugg, « Handbook of Electrical and Electronic Insulating Materials », IEEE Press, 2nd Edition, 1995, 608p, ISBN 0-7803-1030-6.
- [SIN 2002] R. Singh, J. A. J. Cooper, M. R. Melloch, T. P. Chow, J. W. Palmour, « SiC Power Schottky and PiN diodes », In *IEEE Transactions on Electron Devices*, 2002, vol. 49, n°4, pp. 665-672.

- [SIN 2006] R. Singh, « HIGH POWER SiC PIN RECTIFIERS », In M. Shur, S. Rumyantsev, M. Levinshtein (eds), *SiC MATERIALS AND DEVICES Volume I*, World Scientific, 2006, pp. 163-194, ISBN : 981-256-835-2.
- [STA 2006] R. Stahlbush, K. X. Liu, M. E. Twigg, « Effects of Dislocations and Stacking Faults on the Reliability of 4H-SiC PiN Diodes », In *44th Annual International Reliability Physics Symposium*, IEEE, 2006, pp. 90-94.
- [SUG 2001] Y. Sugawara, D. Takayama, K. Asano, R. Singh, J. Palmour, T. Hayashi, « 12 – 19kV 4H-SiC pin Diodes with Low Power Loss », In *ISPSD International Symposium on Power Semiconductor Devices & IC's*, IEEE, 2001, pp. 27-30.
- [SUG 2004] Y. Sugawara, D. Takayama, K. Asano, A. Agarwal, S. Ryu, J. Palmour, S. Ogata, « 12.7kV Ultra High Voltage SiC Commutated Gate Turn-off Thyristor: SICGT », In *ISPSD International Symposium on Power Semiconductor Devices & IC's*, IEEE, 2004, pp. 365-368.
- [SUG 2006] Y. Sugawara, « Advances in SiC GTO development and its applications », In *Materials Science Forum*, 2006, vol. 527-529, pp. 1391-1396.
- [SUM 2006] J. J. Sumakeris, J. P. Bergman, M. K. Das, C. Hallin, B. A. Hull, E. Janzén, H. Lendenmann, M. J. O'Loughlin, M. J. Paisley, S. Ha, M. Skowronski, J. W. Palmour, C. H. Carter, « Techniques for Minimizing the Basal Plane Dislocation Density in SiC Epilayers to Reduce V_F Drift in SiC Bipolar Power Devices », In *Materials Science Forum*, 2006, vol. 527-529, pp. 141-146.
- [SZE 1981] S. M. Sze, « Physics of Semiconductor Devices », John Wiley & Sons, 2nd Edition, 1981, 880p, ISBN 0-471-09837-X.
- [TAI 1978] Y. M. Tairov, V. F. Tsvetkov, « Investigation of growth processes of ingots of silicon carbide single crystals », In *Journal of Crystal Growth*, 1978, vol. 43, p. 209-212.
- [TOU 2003] D. Tournier, P. Godignon, J. Montserrat, D. Planson, C. Raynaud, J. P. Chante, J. F. de Palma, F. Sarrus, « A 4H-SiC Power-Density VJFET as Controlled Current Limiter », In *IEEE Transactions on Industry Applications*, 2003, vol. 39, n°5, pp. 1508-1513.
- [TOU-a 2007] D. Tournier, « Composants de puissance en SiC, Technologie », *Techniques de l'ingénieur*, 2007, article D3120, 14p.
- [TOU-b 2007] D. Tournier, « Composants de puissance en SiC, Applications », *Techniques de l'ingénieur*, 2007, article D3122, 9p.
- [TRE 2007] M. Treu, R. Rupp, P. Blaschitz, K. Rüschemschmidt, Th. Sekinger, P. Friedrichs, R. Elpelt, D. Peters, « Strategic considerations for unipolar SiC switch options: JFET vs. MOSFET », In *IAS Industry Applications Conference*, IEEE, 2007.
- [WU 2004] J. Wu, L. Fursin, Y. Li, P. Alexandrov, J. H. Zhao, « 4,308V, 20.9mΩ.cm² 4H-SiC MPS Diodes Based on a 30μm Drift Layer », In *Materials Science Forum*, 2004, vol. 457-460, pp. 1109-1112.

- [YAM 1984] K. Yamagochi, H. Kodera, « Optimum Design of Triode-Like JFET's by Two-Dimensional Computer Simulation », In B. Jayant Baliga & Dan Y. Chen (eds), *Power Transistors : Device Design and Applications*, New-York : IEEE, 1984, pp. 303-311, ISBN : 0-87942-181-9.
- [ZHA-1 2002] J. H. Zhao, P. Alexandrov, L. Fursin, Z. C. Feng, M. Weiner, « High performance 1500V 4H-SiC junction barrier Schottky diodes », In *ELECTONICS LETTERS*, IEEE, 2002, vol. 38, n°22, pp. 1389-1390.
- [ZHA-1 2003] J. H. Zhao, P. Alexandrov, X. Li, « Demonstration of the first 10-kV 4H-SiC Schottky barrier diodes », In *IEEE Electron Device Letters*, 2003, vol. 24, n°6, pp. 402-404.
- [ZHA-1 2004] J. H. Zhao, P. Alexandrov, J. Zhang, X. Li, « Fabrication and Characterization of 11-kV Normally Off 4H-SiC Trenched-and-Implanted Vertical Junction FET », In *IEEE Electron Device Letters*, 2004, vol. 25, n°7, pp. 474-476.
- [ZHA-2-a 2004] J. Zhang, J. H. Zhao, P. Alexandrov, T. Burke, « Demonstration of first 9.2 kV 4H-SiC bipolar junction transistor », In *ELECTONICS LETTERS*, IEEE, 2004, vol. 40, n°21, pp. 1381-1382.
- [ZHA-2-b 2004] J. Zhang, P. Alexandrov, J. H. Zhao, « A 500V, Very High Current Gain ($\beta=1517$) 4H-SiC Bipolar Darlington Transistor », In *Materials Science Forum*, 2004, vol. 457-460, pp. 1165-1168.
- [ZHA-2 2005] J. Zhang, P. Alexandrov, J. H. Zhao, T. Burke, « 1677V, 5.7m Ω .cm² 4H-SiC BJTs », In *IEEE Electron Device Letters*, 2005, vol. 26, n°3, pp. 188-190.
- [ZHA-3 2005] Q. Zhang, H. R. Chang, M. Gomez, C. Bui, E. Hanna, J. A. Higgins, T. Isaacs-Smith, J. R. Williams, « 10kV Trench Gate IGBTs on 4H-SiC », In *ISPSD International Symposium on Power Semiconductor Devices & IC's*, IEEE, 2005.
- [ZHA-3 2006] Q. Zhang, C. Jonas, S. H. Ryu, A. Agarwal, J. Palmour, « Design and Fabrications of High Voltage IGBTs on 4H-SiC », In *ISPSD International Symposium on Power Semiconductor Devices & IC's*, IEEE, 2006.
- [ZHA-3 2007] Q. Zhang, C. Jonas, B. Heath, M. Das, S. H. Ryu, A. Agarwal, J. Palmour, « 9 kV 4H-SiC IGBTs with 88m Ω .cm² of R_{diff, on} », In *Materials Science Forum*, 2007, vol. 556-557, pp. 771-774.
- [ZHA-3 2010] Q. (J.) Zhang, R. Callanan, A. Agarwal, A. Burk, M. O'Loughlin, J. Palmour, C. Scozzie, « 10 kV, 10 A Bipolar Junction Transistors and Darlington Transistors on 4H-SiC », In *Materials Science Forum*, 2010, vol. 645-648, pp. 1025-1028.
- [ZHU 2005] L. Zhu, S. Balachandran, T. P. Chow, « Comparison of High-Voltage 4H-SiC Insulated- Gate Bipolar Transistor (IGBT) and MOS-Gated Bipolar Transistor (MGT) », In *Materials Science Forum*, 2005, vol. 483-485, pp. 917-920.

ANNEXE 1

DESCRIPTIF DU GENERATEUR SIMPLE IMPULSION AYANT SERVI A LA CARACTERISATION STATIQUE DES JFET SiC

Fonction du générateur simple impulsion

Générer une impulsion de commande d'une durée appropriée et calibrée par l'utilisateur afin de commander un interrupteur électronique de puissance (ici un IGBT) connecté en série avec le composant à caractériser (ici un JFET SiC). Ceci permettra d'obtenir la caractéristique statique du JFET en ayant minimisé le phénomène d'auto-échauffement. La particularité de cette carte concerne les durées d'impulsion que nous pouvons obtenir. Ces durées peuvent aller de quelques microsecondes à quelques millisecondes, ce que ne pouvait pas réaliser la plateforme dSPACE (carte DS1104) dont nous disposions (surtout concernant les impulsions de courtes durées).

Schéma de montage et chronogrammes

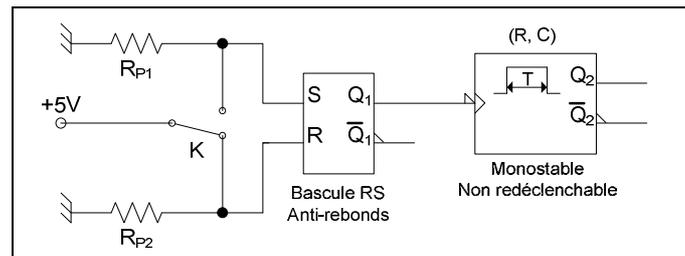


Figure A5-1 : Schéma du montage relatif au générateur simple impulsion

Sur le montage présenté Figure A5-1, nous avons utilisé une bascule RS pour éliminer le problème des rebonds causé par la mécanique de l'interrupteur K. De plus, pour générer une impulsion de durée T calibrée sur la sortie Q_2 , nous avons utilisé un monostable (CMOS 4538 de chez Philips) actif sur le front descendant de Q_1 et dit non-redéclenchable (l'impulsion sur la sortie Q_2 sera précisément d'une durée T même si des fronts descendants de Q_1 seront détectés pendant toute la durée de l'impulsion). La durée de l'impulsion est réglée par le couple (R, C) , où R représente un potentiomètre que nous appellerons P par la suite, et C désigne un condensateur de valeur fixe. Pour illustrer notre propos du paragraphe précédent, nous présentons Figure A5-2 les chronogrammes :

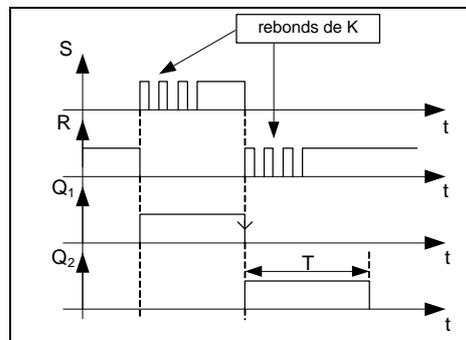


Figure A5-2 : Chronogrammes relatifs au générateur simple impulsion

Remarque : La tension d'alimentation du montage est de 5V, par conséquent le niveau logique '1' correspond à un niveau de tension de 5V.

Présentation de la carte de prototypage et de la carte finale

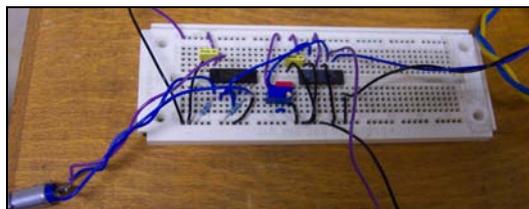


Figure A5-3 : Carte de prototypage réalisée en fils volants

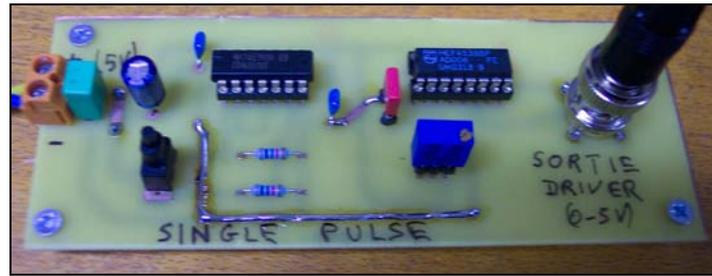


Figure A5-4 : Carte finale

Validation – Résultats

Préréglages du couple (P, C) effectués avec la carte de prototypage

Avec la carte de prototypage nous avons pu cibler un couple (P, C) pour obtenir une plage de réglage assez large au niveau de la durée de l'impulsion.

Avec le couple suivant ($P=47\text{k}\Omega$, $C=15\text{nF}$) on obtient la plage de réglage suivante :

$$T \in [38\mu\text{s}; 793.3\mu\text{s}]$$

Remarque :

Typiquement dans les articles, il est souvent mentionné que des impulsions d'une durée de $250\mu\text{s}$ environs sont utilisées pour minimiser l'effet de l'auto-échauffement afin d'obtenir les caractéristiques statiques des composants sous tests. La plage présentée ci-dessus permet donc de réaliser la durée mentionnée précédemment.

Validation des pré réglages sur la carte finale

Présentation de l'expérience:

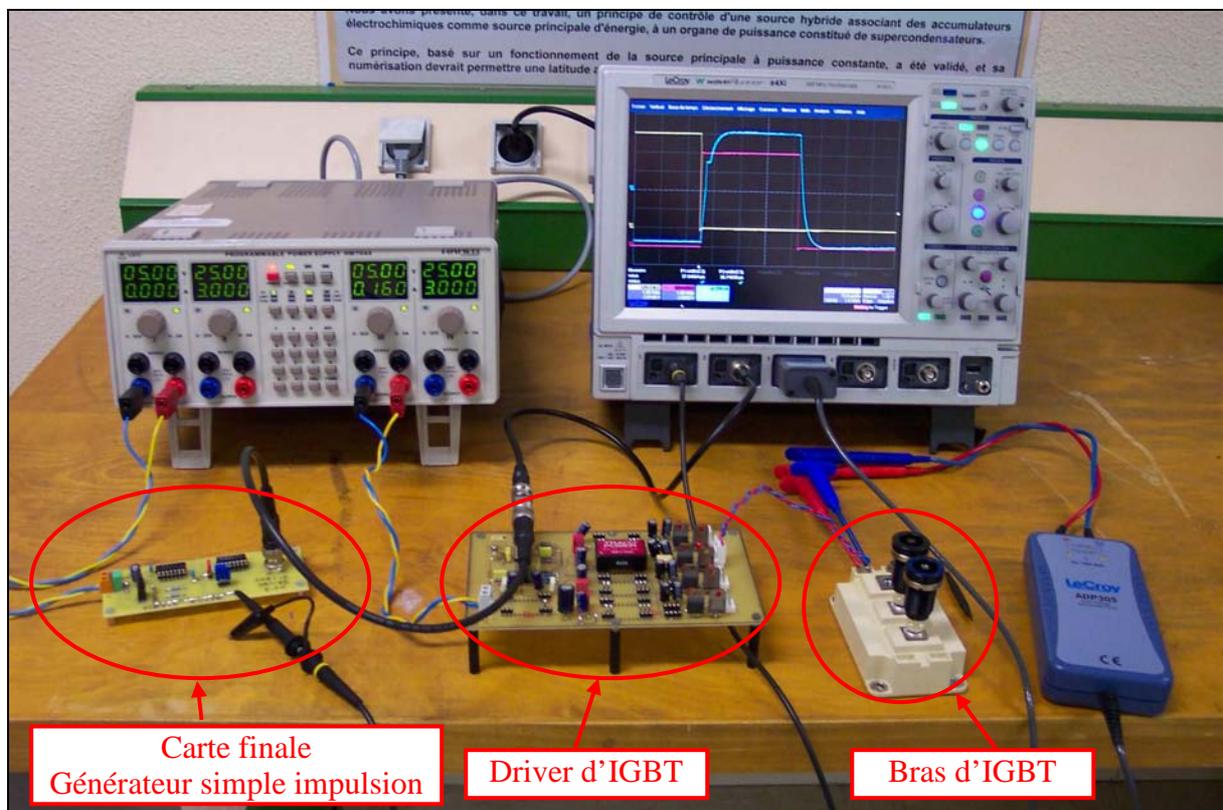


Figure A5-5 : Plateforme expérimentale, validation de la carte finale

Matériels utilisés :

- Générateur de tension DC HAMEG :
HM 7044, 4 sorties isolées 32V- 3A max
- Oscilloscope Lecroy :
Wave Runner 64Xi, 600MHz 10GS/s
- Sonde de tension passive Lecroy :
PP008, 500MHz 400V RMS
- Sonde de tension différentielle Lecroy :
ADP 305, 100MHz 1000V RMS
- Driver d'IGBT :
Tension d'entrée 5V, tension de sortie $\pm 15V$
- Bras d'IGBT Semikron :
SKM 200GB123D, calibre courant /tension à 25°C : 200A/1200V

Résultats:

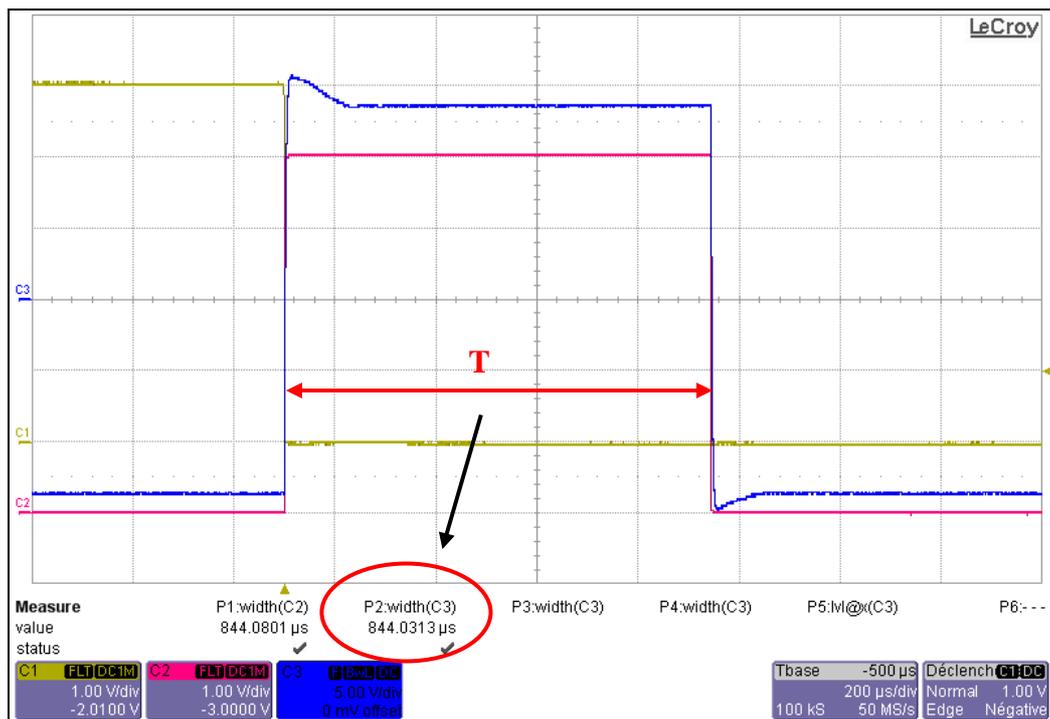


Figure A5-6 : Validation carte finale

Voie1 : Q_1
Voie2 : Q_2
Voie3 : Sortie driver

Le test de la carte finale est satisfaisant comme le montre la Figure A5-6. L'essai présenté ici est réalisé avec le couple suivant ($P=47k\Omega$, $C=15nF$). La plage de réglage concernant T que nous pouvons obtenir avec ce couple est :

$$T \in [36.7\mu s ; 844\mu s]$$

Nous retrouvons globalement la plage de réglage obtenue avec la carte de prototypage en fils volants.

ANNEXE 2

COMPARAISONS SIMULATION/EXPERIMENTATION DES RESULTATS DE COMMUTATION OBTENUS SUR UN BRAS

Nous rappelons ci-dessous le circuit qui a servi à l'étude des commutations du JFET SiC de SiCED en mode roue libre (le JFET J_{AH} sur la Figure A5-7). Ce circuit a aussi servi à l'identification des paramètres du modèle dynamique (modèle présenté au chapitre 3) ainsi qu'à la validation de ce modèle pour différents points de fonctionnement.

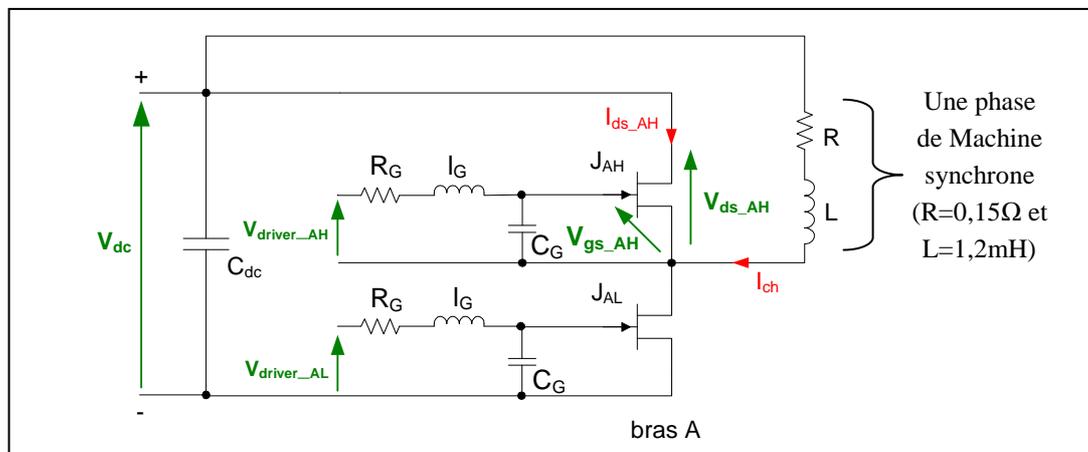


Figure A5-7 : Etude en commutation du JFET J_{AH} du bras A de l'onduleur triphasé présenté sur la Figure 2-35.

Les résultats présentés ici, ont été obtenus à température ambiante (25°C) avec le couple (R_G , C_G) = (15Ω, 20nF) et pour une inductance de câblage I_G de 1,31μH au niveau des câbles de commande.

Nous rappelons que les JFET qui ont été caractérisés et modélisés sont des JFET de type A ; autrement dit, ce sont des JFET 1200V-0,2Ω de surface active 2,4*2,4mm². La tension de seuil V_{T0} des composants étudiés et modélisés ici est de -24V, et la tension d'apparition du phénomène de punch-through vaut -36V à 25°C.

Dans les tableaux ci-dessous, nous avons synthétisé les mesures effectuées sur les courbes expérimentales et simulées. Les variations de tension (V_{ds} , V_{gs}) et de courant (I_{ds}) sont mesurées par rapport à 10-90% de la valeur commutée et les pics de tension sur V_{gs} (ΔV_{gs}) sont mesurés par rapport à la tension de blocage des drivers réglée à -26V. De plus, les temps morts effectifs sont de 500ns pour ces essais (mesurés par rapport à la tension de seuil V_{T0} égale à -24V).

Ces tableaux nous ont permis d'observer et comprendre le couplage capacitif entre la partie puissance et la partie commande du composant. Ces tableaux nous ont aussi permis de comparer et valider pour différents points de fonctionnement le modèle dynamique du JFET SiC présenté au chapitre 3.

Expérimentation				Simulation			
$\Delta V_{gs_AH_off}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{off}$	$\Delta V_{gs_AH_off}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{off}$
3,4 V	1760 V/μs	42 A/μs	-21,8 V/μs	3,7 V	1683 V/μs	20,2 A/μs	-22,7 V/μs
$\Delta V_{gs_AH_on}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{on}$	$\Delta V_{gs_AH_on}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{on}$
2,6 V	-830 V/μs	-22 A/μs	13,8 V/μs	3,3 V	-711 V/μs	-4,1 A/μs	14,4 V/μs
$I_{pic_AH_off}$				$I_{pic_AH_off}$			
1,39 A				1,32 A			

Tableau A 5-1 : $V_{dc}=200V$ et $I_{ch}=2A$.

Expérimentation				Simulation			
$\Delta V_{gs_AH_off}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{off}$	$\Delta V_{gs_AH_off}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{off}$
3,4 V	1730 V/ μ s	56 A/ μ s	-26,9 V/ μ s	3,8 V	1644 V/ μ s	28,7 A/ μ s	-22 V/ μ s
$\Delta V_{gs_AH_on}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{on}$	$\Delta V_{gs_AH_on}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{on}$
2,6 V	-990 V/ μ s	-40A/ μ s	21 V/ μ s	3,5 V	-979 V/ μ s	-9,7 A/ μ s	26,7 V/ μ s
<u>$I_{pic_AH_off}$</u>				<u>$I_{pic_AH_off}$</u>			
1,46 A				1,38 A			

Tableau A 5-2 : $V_{dc}=200V$ et $I_{ch}=4A$.

Expérimentation				Simulation			
$\Delta V_{gs_AH_off}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{off}$	$\Delta V_{gs_AH_off}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{off}$
3,4 V	1760 V/ μ s	68 A/ μ s	-27,3 V/ μ s	3,7 V	1575 V/ μ s	35 A/ μ s	-22,1 V/ μ s
$\Delta V_{gs_AH_on}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{on}$	$\Delta V_{gs_AH_on}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{on}$
2,6 V	-1110 V/ μ s	-58A/ μ s	18,8 V/ μ s	3,6 V	-1179 V/ μ s	-16 A/ μ s	20 V/ μ s
<u>$I_{pic_AH_off}$</u>				<u>$I_{pic_AH_off}$</u>			
1,32 A				1,37 A			

Tableau A 5-3 : $V_{dc}=200V$ et $I_{ch}=6A$.

Expérimentation				Simulation			
$\Delta V_{gs_AH_off}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{off}$	$\Delta V_{gs_AH_off}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{off}$
3,4 V	1710 V/ μ s	73 A/ μ s	-26,5 V/ μ s	3,6 V	1493 V/ μ s	39,8 A/ μ s	-22,4 V/ μ s
$\Delta V_{gs_AH_on}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{on}$	$\Delta V_{gs_AH_on}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{on}$
2,6 V	-1230 V/ μ s	-63A/ μ s	19,9 V/ μ s	3,6 V	-1309 V/ μ s	-22,3 A/ μ s	19,6 V/ μ s
<u>$I_{pic_AH_off}$</u>				<u>$I_{pic_AH_off}$</u>			
1,28 A				1,36 A			

Tableau A 5-4 : $V_{dc}=200V$ et $I_{ch}=8A$.

Expérimentation				Simulation			
$\Delta V_{gs_AH_off}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{off}$	$\Delta V_{gs_AH_off}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{off}$
1,7 V	640 V/ μ s	77 A/ μ s	-26,7 V/ μ s	1,4 V	581 V/ μ s	48 A/ μ s	-22 V/ μ s
$\Delta V_{gs_AH_on}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{on}$	$\Delta V_{gs_AH_on}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{on}$
1,4 V	-460 V/ μ s	-43 A/ μ s	18,3 V/ μ s	1,3 V	-414 V/ μ s	-46 A/ μ s	20,4 V/ μ s
I_{pic}_AH_off				I_{pic}_AH_off			
0,55 A				0,86 A			

Tableau A 5-5 : $I_{ch}=10A$ et $V_{dc}=50V$.

Expérimentation				Simulation			
$\Delta V_{gs_AH_off}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{off}$	$\Delta V_{gs_AH_off}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{off}$
2,3 V	1090 V/ μ s	75 A/ μ s	-28 V/ μ s	2,3 V	965 V/ μ s	46 A/ μ s	-21,6 V/ μ s
$\Delta V_{gs_AH_on}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{on}$	$\Delta V_{gs_AH_on}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{on}$
1,9 V	-850 V/ μ s	-42 A/ μ s	19,4 V/ μ s	2,2 V	-908 V/ μ s	-37 A/ μ s	20,1 V/ μ s
I_{pic}_AH_off				I_{pic}_AH_off			
0,95 A				1,06 A			

Tableau A 5-6 : $I_{ch}=10A$ et $V_{dc}=100V$.

Expérimentation				Simulation			
$\Delta V_{gs_AH_off}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{off}$	$\Delta V_{gs_AH_off}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{off}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{off}$
2,7 V	1380 V/ μ s	75 A/ μ s	-28,8 V/ μ s	3 V	1183 V/ μ s	45 A/ μ s	-22 V/ μ s
$\Delta V_{gs_AH_on}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{on}$	$\Delta V_{gs_AH_on}$	$\left. \frac{dV_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dI_{ds_AH}}{dt} \right _{on}$	$\left. \frac{dV_{gs_AH}}{dt} \right _{on}$
2,4 V	-1090 V/ μ s	-42,5 A/ μ s	22,6 V/ μ s	3 V	-1204 V/ μ s	-34 A/ μ s	20,2 V/ μ s
I_{pic}_AH_off				I_{pic}_AH_off			
1,15 A				1,2 A			

Tableau A 5-7 : $I_{ch}=10A$ et $V_{dc}=150V$.

ANNEXE 3

**DESCRIPTIF DU
GENERATEUR DOUBLE IMPULSION
AYANT SERVI A LA CARACTERISATION DYNAMIQUE
DES JFET**

Fonction du générateur double impulsion (ou « double pulse »)

Générer deux impulsions distinctes (chacune d'une durée appropriée) et distantes d'un intervalle de temps approprié, afin d'étudier sur un bras les commutations des JFET à la mise on et à la mise off tout en minimisant le phénomène d'auto-échauffement. La particularité de cette carte concerne la durée des impulsions que l'on peut obtenir, ces durées peuvent aller de quelques microsecondes à quelques millisecondes ce que ne pouvait pas réaliser la plateforme dSPACE (carte DS1104) dont nous disposons (surtout concernant les impulsions de courtes durées).

Schéma de montage et chronogrammes

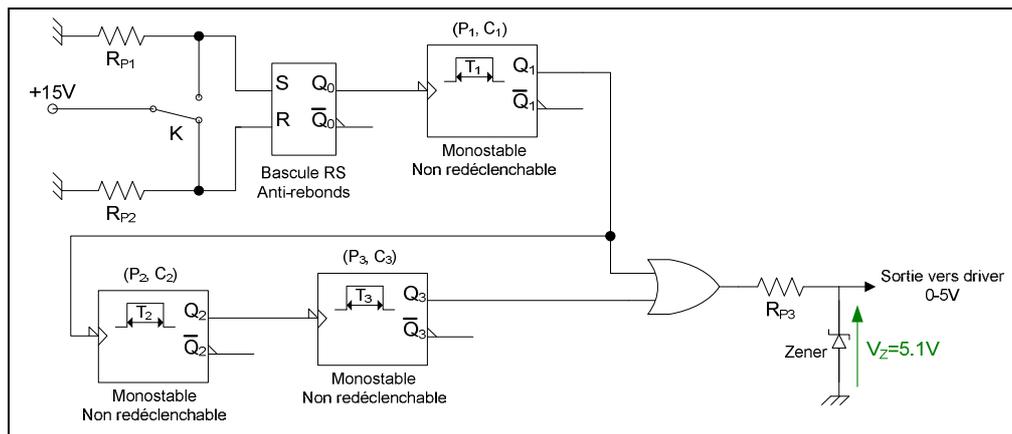


Figure A5-8 : Schéma du montage relatif au générateur double impulsion

Sur le montage présenté Figure A5-1, nous avons utilisé une bascule RS pour éliminer le problème des rebonds causé par la mécanique de l'interrupteur K. De plus, pour générer les deux impulsions distinctes (T_1 durée de la première impulsion, T_3 durée de la seconde impulsion, et T_2 durée de l'intervalle entre la première et la deuxième impulsion), nous avons utilisé trois monostables (CMOS 4538 de chez Philips) actifs au front descendant et dit non-redéclenchables. Les durées T_1 , T_2 , et T_3 sont réglées respectivement par les couples (P_1, C_1) , (P_2, C_2) , (P_3, C_3) . P_x est un potentiomètre et C est un condensateur de valeur fixe.

Pour illustrer notre propos du paragraphe précédent, nous présentons Figure A5-2 les chronogrammes :

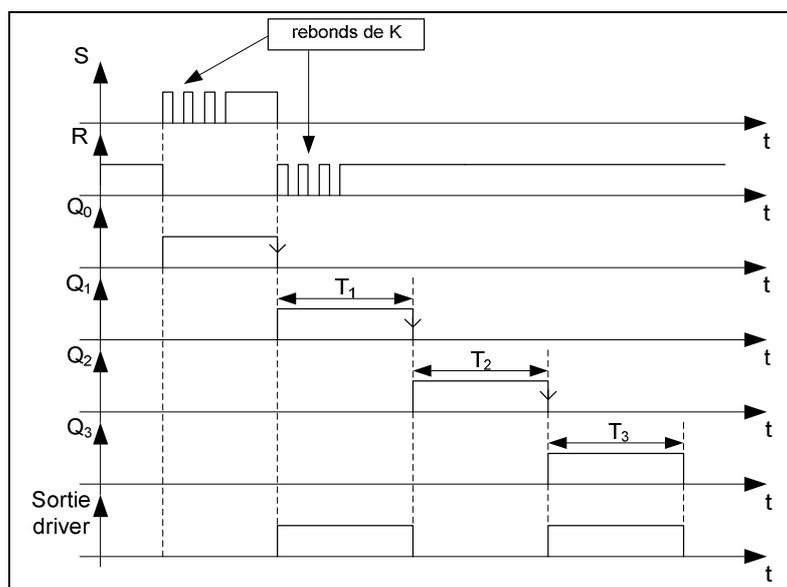


Figure A5-9 : Chronogrammes relatifs au générateur double impulsion

Présentation de la carte de prototypage et de la carte finale

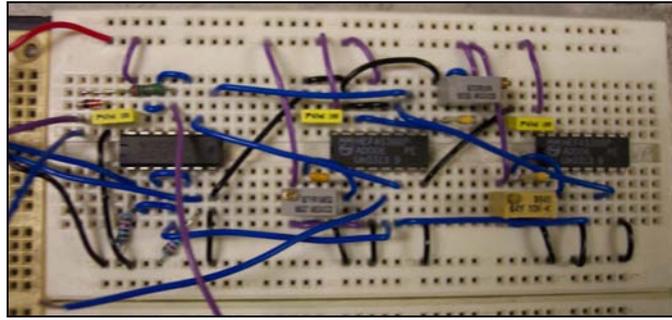


Figure A5-10 : Carte de prototypage réalisée en fils volants

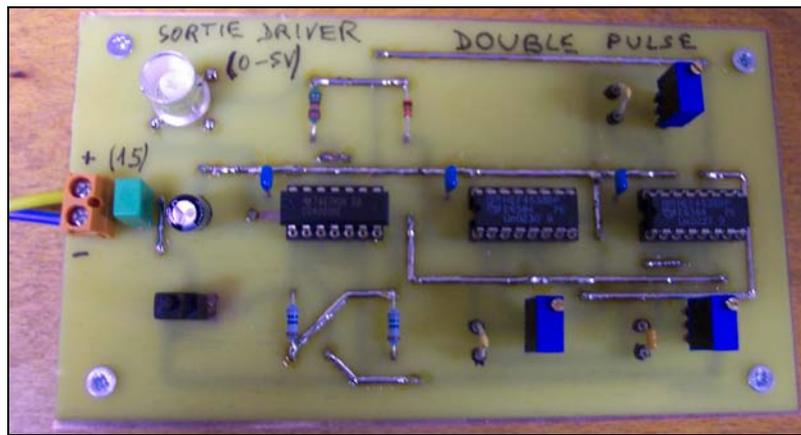


Figure A5-11 : Carte finale

Validation – Résultats

Préréglages des couples (P_1, C_1) , (P_2, C_2) , (P_3, C_3) effectués avec la carte de prototypage

Avec la carte de prototypage nous avons pu cibler un couple (P, C) pour chaque temps, voici les résultats :

- $(P_1=1M\Omega, C_1=200pF)$ on obtient la plage de réglage suivante :
$$T1 \in [2.2\mu s ; 145.5\mu s]$$
- $(P_2=47k\Omega, C_2=650pF)$ on obtient la plage de réglage suivante :
$$T2 \in [1.79\mu s ; 36.2\mu s]$$
- $(P_3=50k\Omega, C_3=650pF)$ on obtient la plage de réglage suivante :
$$T3 \in [2.1\mu s ; 34.8\mu s]$$

Remarque :

Les temps ont été calibrés en fonction des essais effectués à Hispano-Suiza.

Voici la plage ou le réglage utilisé pour chacun des temps :

- $T1 \in [3.5\mu s ; 110\mu s]$
- $T2 = 10\mu s$
- $T3 = 10\mu s$

Validation des préréglages sur la carte finale

Présentation de l'expérience:

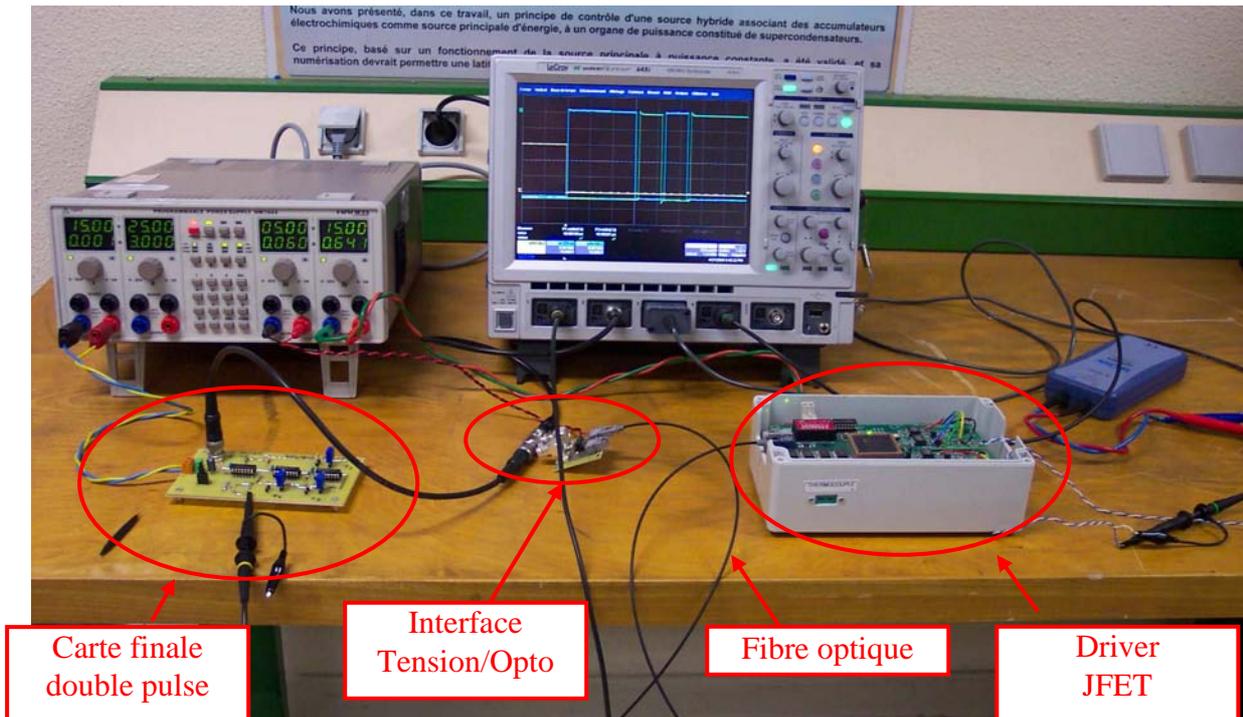


Figure A5-12 : Plateforme expérimentale, validation de la carte finale

Matériels utilisés :

- Générateur de tension DC HAMEG :
HM 7044, 4 sorties isolées 32V- 3A max
- Oscilloscope Lecroy :
Wave Runner 64Xi, 600MHz 10GS/s
- Sonde de tension passive Lecroy :
PP008, 500MHz 400V RMS
- Sonde de tension différentielle Lecroy :
ADP 305, 100MHz 1000V RMS
- Interface Tension/Opto, TEXAS INSTRUMENTS :
SN75451BP, alimentation 5V
- Driver JFET réalisé par le laboratoire Ampère :
Signal d'entrée : fibre optique, 2 tensions de sorties réglables de 0 à -40V isolées pour commander 2 JFET sur un bras

Résultats:

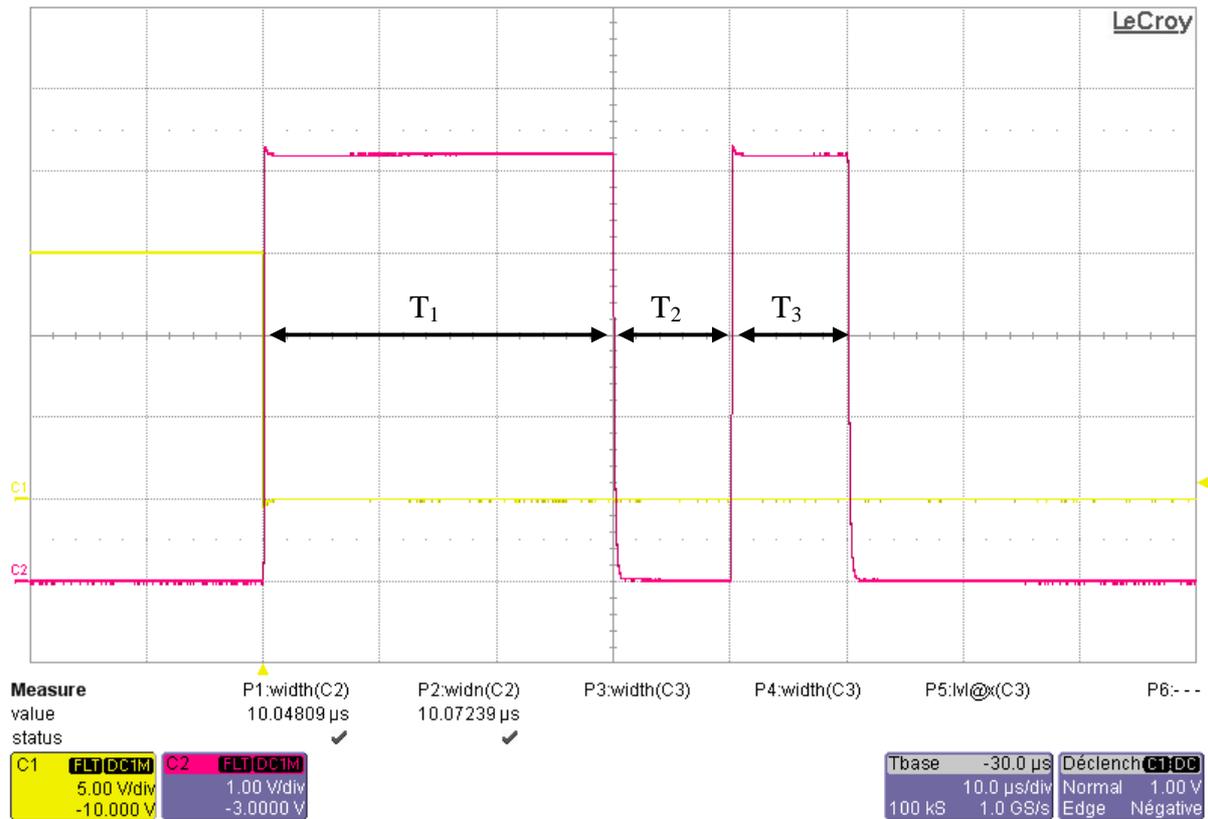


Figure A5-13 : Validation carte finale seule

Voie1 : Q_0 (Sonde passive)

Voie2 : Sortie driver (Sonde passive)

Le test de la carte finale est satisfaisant comme le montre la Figure A5-6. L'essai présenté ici est réalisé avec les couples suivant : ($P_1=1\text{M}\Omega$, $C_1=200\text{pF}$), ($P_2=50\text{k}\Omega$, $C_2=680\text{pF}$), et ($P_3=50\text{k}\Omega$, $C_3=680\text{pF}$). La plage de réglage qu'on peut obtenir avec chaque couple est :

- ($P_1=1\text{M}\Omega$, $C_1=200\text{pF}$) on obtient la plage de réglage suivante :

$$T_1 \in [1.72\mu\text{s}; 123.5\mu\text{s}]$$
- ($P_2=50\text{k}\Omega$, $C_2=650\text{pF}$) on obtient la plage de réglage suivante :

$$T_2 \in [1.95\mu\text{s}; 34.9\mu\text{s}]$$
- ($P_3=50\text{k}\Omega$, $C_3=650\text{pF}$) on obtient la plage de réglage suivante :

$$T_3 \in [1.94\mu\text{s}; 35.8\mu\text{s}]$$

Nous retrouvons globalement la plage de réglage obtenue avec la carte de prototypage en fils volants.

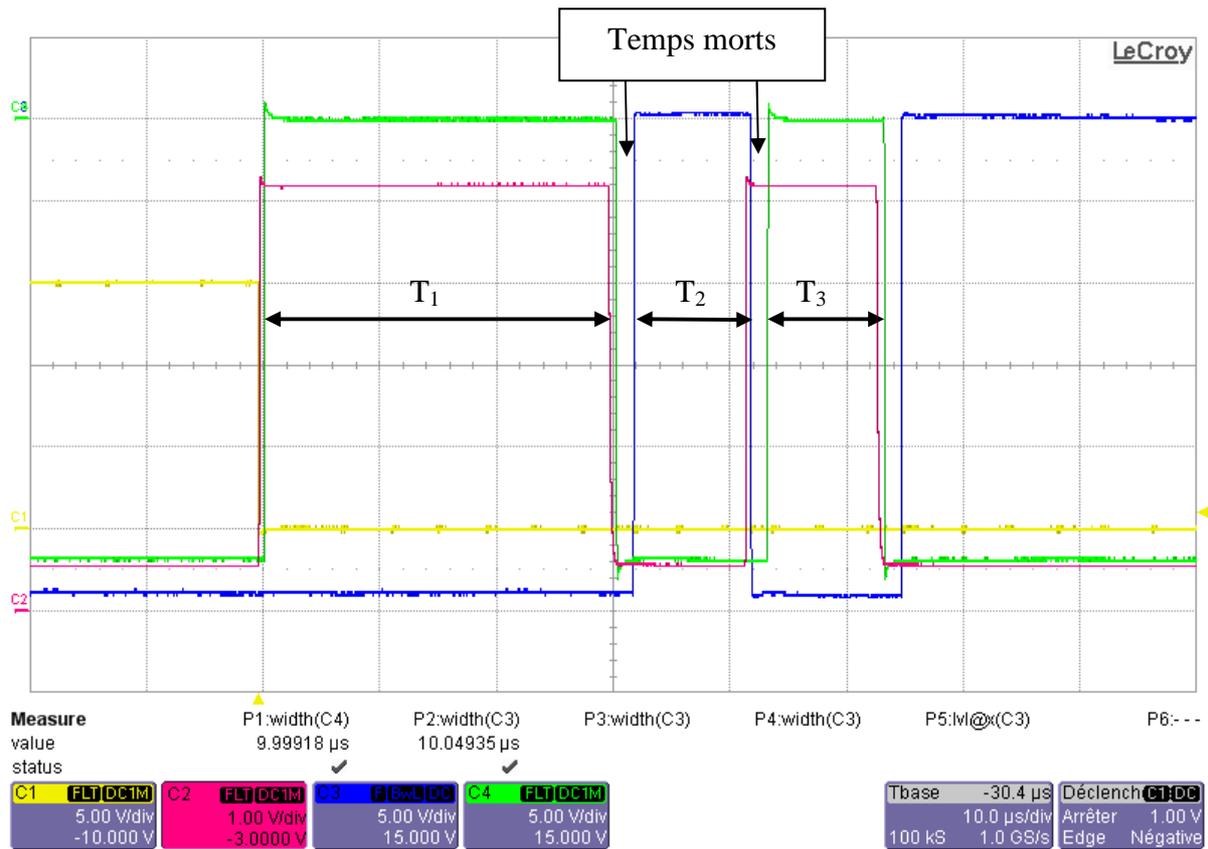


Figure A5-14 : Validation carte finale avec un driver JFET

Voie1 : Q_0 (Sonde passive)

Voie2 : Sortie driver carte double pulse (Sonde passive)

Voie3 : Sortie driver froid JFET Bas (Sonde différentielle)

Voie4 : Sortie driver froid JFET Haut (Sonde passive)

Les oscillogrammes présentés Figure A5-14 permettent de valider le fonctionnement de la carte double pulse.

ANNEXE 4

MODELE STANDARD DU CANAL JFET

—

MODELE STATIQUE EN POLARISATION DIRECTE

Elaboration du modèle standard du canal JFET

La modélisation consiste à exprimer le courant de canal que nous appellerons I_{ds} en fonction de la tension grille-source V_{gs} et de la tension de drain-source V_{ds} . La modélisation sera établie pour une tension drain-source V_{ds} positive.

Nous rappelons que le modèle standard du JFET s'applique à un canal long symétrique comme celui représenté sur la Figure A5-1. Par ailleurs, nous considérons que le dopage des couches P et le dopage de la couche N sont homogènes. Par ailleurs nous négligerons les résistances de contacts de grille, de drain et de source.

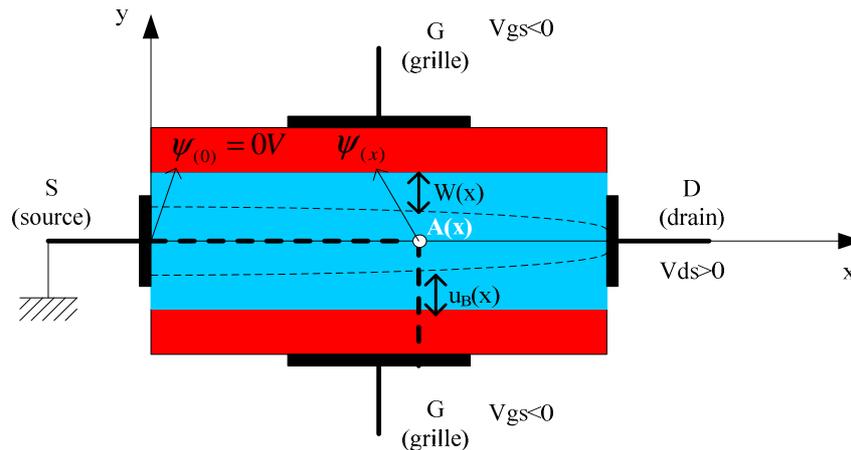


Figure A5-15: Calcul des potentiels sur la ligne pointillée SA(x)G en fonction de $w(x)$.

Pour effectuer la modélisation, nous allons exprimer tout d'abord l'extension $w(x)$ de chacune des zones de charge d'espace en fonction de la tension $u_B(x)$ localement supportée. Pour ce faire, nous considérerons que les répartitions de champ et de potentiel dans la zone de charge d'espace restent unidimensionnelles selon la direction normale au plan de ces jonctions et que ces jonctions soient abruptes fortement dissymétriques [LET 1999].

$$w(x) = \sqrt{\frac{2\epsilon_{SiC} u_B(x)}{qN_D}} \quad \text{Eq A5-1}$$

Nous pouvons exprimer la tension localement supportée $u_B(x)$ en fonction des différences de potentiel se trouvant sur la ligne en pointillée noire SA(x)G (voir Figure A5-1).

Sur la ligne délimitée par les points G et A(x) se trouve une des deux jonctions abruptes fortement dissymétriques polarisée en inverse, la différence de potentiel d'une telle jonction s'exprime dans ce cas par [LET 1999] :

$$V_G - V_A(x) = V_{bi} - u_B(x) \quad \text{Eq A5-2}$$

Où si l'on considère une jonction à part entière, V_G représente le potentiel d'anode, $V_A(x)$ le potentiel de cathode à l'abscisse x , et V_{bi} représente la tension de diffusion de la jonction.

Cette tension de diffusion se calcule à l'équilibre thermodynamique, et elle est définie comme suit [LET 1999] :

$$V_{bi} = u_T \ln\left(\frac{N_A N_D}{n_i^2}\right) \quad \text{Eq A5-3}$$

N_A représente la densité d'accepteurs ou d'impuretés dopantes de la région P et N_D représente la densité de donneurs ou d'impuretés dopantes de la région N . On parle de façon plus courante de densité de dopage de la région P ou de la région N . L'unité d'usage pour ces densités (ou concentrations) est le cm^{-3} .

n_i représente la concentration intrinsèque qu'aurait chaque type de porteur (trous et électrons) dans un cristal idéalement pur, strictement neutre électriquement et dans les conditions d'équilibre thermodynamique (loi d'action de masse). La concentration intrinsèque varie en fonction de la température suivant la loi du type [LET 1999, RAY 2007] :

$$n_i = \sqrt{N_C N_V} e^{\left(\frac{-E_G}{2k_B T}\right)} \quad \text{Eq A5-4}$$

E_G et k_B ont déjà été définies dans le Tableau 3-2 du chapitre 3.

N_C : représente la densité d'état permis dans la bande de conduction pour le SIC-4H.

N_V : représente la densité d'état permis dans la bande de valence pour le SIC-4H.

En utilisant les expressions Eq A5-3 et Eq A5-4 ainsi que la définition du potentiel de bande interdite U_G (définition se trouvant dans le Tableau 3-2 du chapitre 3), la tension de diffusion devient finalement :

$$V_{bi} = U_G(T) - u_T \ln\left(\frac{N_C N_V}{N_A N_D}\right) \quad \text{Eq A5-5}$$

Sur la ligne délimitée par les points S et $A(x)$ nous définissons le potentiel local $\psi(x)$. La différence de potentiel entre le point $A(x)$ et S s'écrit :

$$V_A(x) - V_S = \psi(x) - \psi(0) \quad \text{Eq A5-6}$$

Si on exprime Eq A5-2 et Eq A5-6 en fonction de V_{gs} nous obtenons alors :

$$V_{gs} = V_G - V_A(x) + V_A(x) - V_S = V_{bi} - u_B(x) + \psi(x) - \psi(0) \quad \text{Eq A5-7}$$

La tension localement supportée $u_B(x)$ s'écrit :

$$u_B(x) = V_{bi} - V_{gs} + \psi(x) - \psi(0) \quad \text{Eq A5-8}$$

En utilisant Eq A5-8 et en choisissant $\psi(0) = 0V$, l'expression de l'extension $w(x)$ devient :

$$w(x) = \sqrt{\frac{2\mathcal{E}_{SIC}(V_{bi} - V_{gs} + \psi(x))}{qN_D}} \quad \text{Eq A5-9}$$

Il faut maintenant relier l'équation Eq A5-9 avec le courant circulant dans le canal. Ici le courant dans le canal est un courant d'électrons, nous pouvons alors déterminer le vecteur densité de courant d'électrons \vec{J}_n par l'équation de dérive-diffusion [LET 1999] suivante :

$$\vec{J}_n = -q\mu_n(n\overrightarrow{\text{grad}}(\psi) + u_T\overrightarrow{\text{grad}}(n)) \quad \text{Eq A5-10}$$

Or dans le canal du JFET nous supposons avoir la neutralité électrique ainsi qu'un dopage uniforme, d'où :

$$n = N_D \text{ et } \overrightarrow{\text{grad}}(n) = \vec{0} \quad \text{Eq A5-11}$$

L'équation Eq A5-10 devient :

$$\overrightarrow{Jn} = -q\mu_n N_D \overrightarrow{\text{grad}}(\psi) \quad \text{Eq A5-12}$$

μ_n représente la mobilité des électrons dans le canal que nous considérons constante et indépendante du champ électrique (C'est une hypothèse qui va nous permettre d'effectuer les calculs mais qui n'est pas vraie en réalité [RAY 2007]).

Nous considérons que la distribution de courant est uniforme dans la direction du canal (suivant l'axe des abscisses x), l'équation Eq A5-12 devient alors :

$$-\frac{Ids}{S_{CH}(x)} = -q\mu_n N_D \frac{d\psi}{dx} \quad \text{Eq A5-13}$$

Du fait de l'orientation de l'axe des abscisses x , la composante du vecteur densité de courant suivant x est négative, mais Ids est le courant entrant par le drain et donc de signe contraire, d'où le signe moins dans l'équation Eq A5-13.

$S_{CH}(x)$ représente la section du canal à l'abscisse x , elle est définie par :

$$S_{CH}(x) = 2(a - w(x))Z \quad \text{Eq A5-14}$$

L'expression du courant dans le canal est finalement :

$$Ids = 2q\mu_n N_D Z (a - w(x)) \frac{d\psi}{dx} \quad \text{Eq A5-15}$$

Nous pouvons réécrire l'équation Eq A5-15 de la façon suivante :

$$Ids \cdot dx = 2q\mu_n N_D Z (a - w(x)) d\psi \quad \text{Eq A5-16}$$

Nous remplaçons l'extension $w(x)$ par son expression Eq A5-9 dans l'équation Eq A5-16 et nous obtenons :

$$Ids \cdot dx = 2q\mu_n N_D Z \left(a - \sqrt{\frac{2\epsilon_{SIC}(V_{bi} - V_{gs} + \psi(x))}{qN_D}} \right) d\psi \quad \text{Eq A5-17}$$

Pour obtenir la relation entre le courant drain-source Ids et la tension de drain-source Vds il suffit d'intégrer le membre de gauche de l'équation Eq A5-17 de $x=0$ à $x=L$ et d'intégrer le membre de droite de cette même équation de $\psi=0$ à $\psi=Vds$. Le résultat final ainsi obtenu est le suivant :

$$Ids = \frac{2q\mu_n N_D a Z}{L} \left[Vds - \frac{2}{3} \sqrt{\frac{2\epsilon_{SIC}}{qN_D a^2}} \left(\sqrt{(V_{bi} - V_{gs} + Vds)^3} - \sqrt{(V_{bi} - V_{gs})^3} \right) \right] \quad \text{Eq A5-18}$$

L'étude de cette équation montre différents régimes de fonctionnement, c'est ce qui va être développé dans la partie qui suit.

Différents régimes de fonctionnement

Deux régimes de fonctionnement caractérisent le JFET en polarisation directe ($V_{ds} > 0$), un régime linéaire et un régime saturé. Le changement de régime se produit lorsque le canal coté drain commence à se pincer. Nous allons déterminer dans cette partie la condition de pincement du canal, puis ensuite nous montrerons la limite de validité en régime saturé du modèle représenté par l'expression Eq A5-18. Cette limitation nous a conduits à bien distinguer les deux régimes de fonctionnement et à effectuer à partir de considérations physiques sur le courant de saturation un modèle en régime saturé. Par ailleurs nous nous intéresserons à l'annulation du courant de saturation, autrement dit à la condition qu'il faut respecter pour annuler le courant de saturation (ou bloquer le transistor).

La modélisation de chaque régime de fonctionnement sera synthétisée à la fin de cette partie.

Nous posons tout d'abord $R_{CH} = \frac{L}{2q\mu_n N_D a Z}$. R_{CH} représente la résistance du canal sans charge d'espace. L'équation Eq A5-18 devient :

$$I_{ds} = \frac{1}{R_{CH}} \left[V_{ds} - \frac{2}{3} \sqrt{\frac{2\epsilon_{SIC}}{qN_D a^2}} \left(\sqrt{(V_{bi} - V_{gs} + V_{ds})^3} - \sqrt{(V_{bi} - V_{gs})^3} \right) \right] \quad \text{Eq A5-19}$$

Pour déterminer la condition de pincement du canal et donc le début de la saturation du courant de drain-source I_{ds} , nous allons étudier les variations du courant I_{ds} par rapport à la tension de drain-source V_{ds} .

$$\frac{\partial I_{ds}}{\partial V_{ds}} = \frac{1}{R_{CH}} \left[1 - \sqrt{\frac{2\epsilon_{SIC}}{qN_D a^2}} \sqrt{(V_{bi} - V_{gs} + V_{ds})} \right] \quad \text{Eq A5-20}$$

La dérivée s'annule lorsque :

$$V_{bi} - V_{gs} + V_{ds} = \frac{qN_D a^2}{2\epsilon_{SIC}} \quad \text{Eq A5-21}$$

L'égalité Eq A5-21 lorsqu'elle est vérifiée permet d'obtenir le pincement du canal et donc le début de la saturation du courant drain-source I_{ds} . Le pincement du canal s'opère côté drain, et est dû à l'application d'une tension entre drain-source V_{ds} suffisante que nous appelons V_{ds}^{sat} . A partir de Eq A5-21, V_{ds}^{sat} est définie par :

$$V_{ds}^{sat} = \frac{qN_D a^2}{2\epsilon_{SIC}} - V_{bi} + V_{gs} \quad \text{Eq A5-22}$$

Nous posons $V_p = \frac{qN_D a^2}{2\epsilon_{SIC}}$. V_p représente la tension de pincement.

La condition de pincement du canal pour laquelle le courant de saturation apparaît peut s'écrire :

$$V_{bi} - V_{gs} + V_{ds} \geq V_p \quad \text{Eq A5-23}$$

Ou encore s'écrire :

$$V_{ds} \geq V_{ds}^{sat} \quad \text{Eq A5-24}$$

Le modèle du JFET canal symétrique représenté par l'équation Eq A5-18 est valable pour une tension drain-source V_{ds} inférieure ou égale à V_{ds}^{sat} . En effet pour une tension V_{ds} supérieure à V_{ds}^{sat} le modèle ne prend pas en compte la vitesse de saturation des électrons qui entraîne le phénomène de saturation du courant [DIM 2006]. Comme en pratique nous constatons un courant de saturation quasi constant lorsque la polarisation de drain est croissante et supérieure à V_{ds}^{sat} , la partie saturée de la caractéristique de sortie $I_{ds}=f(V_{ds},V_{gs})$ sera modélisée par un courant de saturation I_{ds}^{sat} constant calculé lorsque V_{ds} est égale à V_{ds}^{sat} .

L'étude de la partie saturée de la caractéristique de sortie est intéressante puisque nous allons introduire la tension de seuil V_{T0} (Voltage Turn-Off) qui permet d'annuler le courant de saturation, autrement dit de bloquer le transistor. Nous allons donc étudier le courant de saturation I_{ds}^{sat} . D'après la remarque faite au paragraphe précédent, le courant de saturation I_{ds}^{sat} vaut :

$$I_{ds}^{sat} = \frac{V_p}{3R_{CH}} \left[1 - 3 \frac{V_{bi} - V_{gs}}{V_p} + 2 \sqrt{\left(\frac{V_{bi} - V_{gs}}{V_p} \right)^3} \right] \quad \text{Eq A5-25}$$

L'expression Eq A5-25 montre l'évolution du courant de saturation en fonction de la tension grille-source V_{gs} . Le courant de saturation s'annule lorsque :

$$\frac{V_{bi} - V_{gs}}{V_p} = 1 \quad \text{Eq A5-26}$$

La condition de blocage du transistor s'écrit alors :

$$V_{gs} \leq V_{bi} - V_p \quad \text{Eq A5-27}$$

Nous posons $V_{T0} = V_{bi} - V_p$, V_{T0} représente la tension de seuil (ou de blocage) du transistor. Pour un transistor JFET à canal N, la tension de blocage est négative, par conséquent il faudra appliquer une tension grille-source V_{gs} négative et inférieure à V_{T0} pour bloquer le transistor.

Nous définissons par ailleurs la résistance à l'état passant R_{ds}^{on} qui correspond à l'inverse de la variation du courant de drain par rapport à la variation de la tension de drain, déterminée au début de la partie linéaire de la caractéristique de sortie pour une tension drain-source V_{ds} nulle et une tension grille-source V_{gs} nulle.

$$R_{ds}^{on} = \frac{1}{\frac{\partial I_{ds}}{\partial V_{ds}}(V_{ds} = 0, V_{gs} = 0)} = \frac{R_{CH}}{1 - \sqrt{\frac{V_{bi}}{V_p}}} \quad \text{Eq A5-28}$$

Synthèse de la modélisation

Nous synthétisons le comportement statique du JFET à canal long symétrique en polarisation directe ($V_{ds} \geq 0$) par l'intermédiaire du schéma algorithmique suivant :

$$I_{ds} = \begin{cases} \text{Si } V_{gs} \leq V_{T0} & 0 & \text{(canal ouvert)} \\ \text{Si } (V_{gs} > V_{T0}) \& (V_{ds} < V_{ds}^{sat}) & \frac{1}{R_{CH}} \left[V_{ds} - \frac{2}{3} \sqrt{\frac{2\epsilon_{SiC}}{qN_D a^2}} \left(\sqrt{(V_{bi} - V_{gs} + V_{ds})^3} - \sqrt{(V_{bi} - V_{gs})^3} \right) \right] & \text{(zone ohmique)} \\ \text{Si } (V_{gs} > V_{T0}) \& (V_{ds} \geq V_{ds}^{sat}) & \frac{V_p}{3R_{CH}} \left[1 - 3 \frac{V_{bi} - V_{gs}}{V_p} + 2 \sqrt{\left(\frac{V_{bi} - V_{gs}}{V_p} \right)^3} \right] & \text{(zone saturée)} \end{cases} \quad \text{Eq A5-29}$$

**AUTORISATION DE SOUTENANCE
DU DOCTORAT DE L'UNIVERSITE DE LORRAINE**

o0o

VU LES RAPPORTS ETABLIS PAR :

Monsieur LEFEBVRE Stéphane, Professeur, SATIE Cachan,
Monsieur SCHANEN Jean-Luc, Professeur, G2Elab-ENSE3/INP Grenoble, Saint
Martin d'Hères.

Le Président de l'Université de Lorraine, autorise :

Monsieur BERRY Olivier

à soutenir devant un jury de l'UNIVERSITE DE LORRAINE, une thèse intitulée :

"Contribution à l'étude d'un onduleur haute température à base de JFET en carbure de
silicium"

en vue de l'obtention du titre de :

DOCTEUR DE L'UNIVERSITE DE LORRAINE

Intitulé du doctorat : **"Génie Electrique"**

Fait à Vandoeuvre, le **22 juin 2012**

Le Président de l'Université de Lorraine,

Pierre MUTZENHARDT



Résumé en français

Contribution à l'Etude d'un Onduleur Haute Température à base de JFET en Carbure de Silicium.

L'aéronautique, dans ses efforts pour un avion plus vert, tend à devenir plus électrique. Cependant dans ce passage au plus électrique, quelques actionneurs de l'avion ainsi que leurs électroniques associées se heurtent à un verrou technologique lié à la haute température (200°C). Dans ce contexte, ce mémoire présente des travaux qui contribuent à lever ce verrou technologique. Nous avons montré que le convertisseur d'électronique de puissance, désigné par onduleur, a été conçu pour répondre à notre besoin avec le composant le plus fiable et le plus mature, le JFET deux canaux de la société Siced INFINEON en carbure de silicium (ou SiC). Pour mieux cerner le fonctionnement du JFET SiC deux canaux et valider ultérieurement son modèle, nous avons effectué des caractérisations électriques de ses comportements statique et dynamique sur une plage de température importante allant de -40°C à +180°C. Nous avons montré et décrit de façon fine, en particulier à 27°C, les phases de commutation du composant JFET en mettant en avant le rôle important des couplages capacitifs (C_{gd} , C_{ds} et C_{gs}). Un modèle représentant ses comportements statique et dynamique a été présenté et validé à 27°C. Nous avons ensuite minimisé les effets de l'Interaction Puissance Commande IPC due à C_{gd} au niveau du JFET fonctionnant en mode roue libre (phénomène de Punch-through à la mise en conduction et possible remise en conduction au blocage sont à considérer). Pour ce faire nous avons étudié et comparé trois circuits d'attaques de grille, et nous avons montré le rôle de l'impédance de grille (R_G , l_G) vis-à-vis de l' IPC et de l'optimisation des circuits d'attaque de grille. Enfin, nous avons présenté la problématique liée à la stabilité du bus continu à haute température (200°C) et à haute tension (540V). Une solution de stabilisation du bus DC simple et efficace a été présentée.

Résumé en anglais

Contribution to the study of a high temperature SiC JFET inverter.

The aircraft must become more electric in order to be greener. But in this transition to the more electric aircraft, some actuators and their associated electronics are facing a technological barrier related to the high temperature (200°C). In this context, this thesis presents works that contribute to raising the technological barrier. We showed that the power electronic converter, called inverter, was designed to meet our needs with the more reliable and mature component, the silicon carbide (or SiC) JFET with two-channel manufactured by Siced INFINEON. To better understand the way to work of the SiC JFET with two channels and subsequently validate its model, we performed electrical characterization of its static and dynamic behavior on a wide temperature range from -40°C to +180°C. We showed and described precisely, especially at 27°C, the phases of JFET switching; we highlighted the important role of capacitive coupling (C_{gd} , C_{ds} et C_{gs}). A model representing its static and dynamic behavior was presented and validated at 27°C. We then minimized the effects of the Drain-to-Gate Interaction DGI due to C_{gd} concerning the JFET operating in freewheeling mode (punch-through phenomenon at turn-on and a risk of a leg short-circuit at turn-off have to be considered). To do this, we studied and compared three specific gate circuits, and we showed the role of the gate impedance (R_G , l_G) to minimize the DGI and optimize the specific gate circuits. Finally, we presented the issue related to the stability of the DC bus at high temperature (200°C) and high voltage (540V). A simple and effectiveness solution of stabilizing the DC bus was presented.

Discipline

Génie électrique

Mots-clés

Haute Température, JFET SiC Deux Canaux, Modélisations Statique et Dynamique, Commutation, Architectures Driver, Stabilité réseau

GREEN – Groupe de Recherche en Electrotechnique et Electronique de Nancy

2 avenue de la Forêt de Haye
54516 Vandœuvre-lès-Nancy cedex
France