

N° d'ordre :

Université d'Aix-Marseille

Thèse

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITE D'AIX-MARSEILLE
Mention MICRO ET NANOELECTRONIQUE

Présentée et soutenue publiquement par

Jean-Marie JONQUERES

Equipe d'accueil : IM2NP-Mémoires

Ecole Doctorale : Sciences pour l'Ingénieur : Mécanique, Physique, Micro et
Nanoélectronique

Titre de la thèse :

Génération de Routage Contraint en Courant pour les Applications Analogiques Forts Courants



Soutenue le 14 décembre 2012 devant la commission d'examen :

Président	Pascal Masson	IM2NP - Polytech'Nice
Rapporteurs	Fabien Clermidy	LISAN / CEA-LETI
	Serge Bernard	ISyTest / LIRMM – NXP Semiconductors
Examineurs	Jean-Michel Portal	IM2NP
	Gilles Micolau	IM2NP
	Olivier Ginez	TIC et Economie – PACA - SGAR

REMERCIEMENTS

Même si sur la page de garde cette thèse n'a qu'un seul auteur, elle a en réalité été le fruit du travail de bien des gens. En écrivant des remerciements, on prend toujours le risque d'oublier quelqu'un. C'est pourquoi je tiens pour commencer à remercier toutes les personnes qui, d'une manière ou d'une autre, ont contribué à ce travail de thèse.

Il y a tout de même certaines personnes qui méritent des remerciements particuliers pour leur aide précieuse.

Tout d'abord, je remercie les chercheurs du laboratoire de l'IM2NP, et plus particulièrement mon directeur de thèse, Jean-Michel Portal, qui a été mon plus grand soutien et une source intarissable de motivation pendant ces quelques années. Merci à Frédéric Lalande, mon second directeur de thèse, pour son appui. Je tiens à remercier aussi Olivier Ginez et Gilles Micolau pour leur aide et leurs idées.

J'ai effectué une grande partie de la thèse au sein de Cadence Design System, à Sophia-Antipolis. Je remercie tous les employés pour leur accueil chaleureux, et particulièrement Anne Montagne pour sa bonne humeur et son enthousiasme. Un grand merci bien évidemment à Arnold Ginetti et Claire Nauts, mes superviseurs dans l'entreprise, pour leur aide et leur temps.

Un grand merci aux membres du jury, Pascal Masson, Fabien Clermidy, Serge Bernard, Jean-Michel Portal, Gilles Micolau et Olivier Ginez, qui ont donné de leur temps pour analyser mon manuscrit, ont posé de bonnes questions et m'ont donné de bons conseils.

Il ne faut pas oublier ma famille, en particulier mes parents, Brigitte et Jean-Luc, mon frère Jérôme, et bien entendu Stéphanie, qui m'ont supporté ces longues années pendant la réalisation de cette thèse. Mes amis ne sont pas en reste, et m'ont soutenu lors de mes passages à vide.

TABLE DES MATIERES DE LA THESE

Remerciements.....	3
Table des matières de la thèse.....	5
Liste des Acronymes et des Anglicismes	9
Liste des Figures	11
Introduction Générale	17
Chapitre 1 : Fiabilité et conception des applications à fort courant.....	21
Table des matières du chapitre	22
Introduction.....	23
I. Electromigration.....	24
I - 1. Un peu d’histoire	24
I - 2. Définition	25
I - 3. Problèmes liés à l’électromigration.....	27
I - 4. Impact matériel et structurel sur l’électromigration.....	29
II. Ecart de tension : Voltage drop	30
II - 1. La résistance carrée	30
II - 2. Définition du Voltage drop	30
II - 3. Influence et correction	31
III. Domaines d’application potentiellement concernés.....	31
IV. Présentation générale des circuits intégrés.....	32
V. Méthodologies de conception	33
V - 1. Introduction aux méthodes de conception	33
V - 2. Flot de conception numérique	35
V - 3. Flot de conception analogique (<i>Full-Custom</i>).....	38
VI. Constat sur les solutions actuelles	39
VI - 1. Approche industrielle actuelle.....	39

VI - 2. Solution proposée.....	40
VII. Conclusion	40
Chapitre 2 : Algorithmes de routage contraints en courant	41
Table des matières du chapitre	42
Introduction.....	43
I - 1. La phase de routage en Full-custom.....	43
I - 2. Définition du problème	44
I - 3. Approches précédentes.....	44
II. Généralités sur les Algorithmes	45
II - 1. Définition d'un algorithme	45
II - 2. Application des algorithmes à la microélectronique	46
III. Caractérisation du courant.....	47
III - 1. Récupération des données du courant.....	47
III - 2. Propagation et largeur correspondante	48
IV. Etude d'un algorithme Exhaustif.....	49
II - 1. Théorie	49
II - 2. Fonctionnement	50
II - 3. Limitations	53
V. Recherches statistiques de paramètres	54
V - 2. Méthodologie	54
V - 3. Résultats	56
VI. Conclusion	57
Chapitre 3 : Optimisation de la génération d'interconnexions sous contraintes en courant....	59
Table des matières du chapitre	60
Introduction.....	61
I. Retour sur les algorithmes	61
I - 1. La phase de routage et les algorithmes.....	61
I - 2. Définition du problème	62

II.	Etude d'un algorithme contraint en courant	62
II - 1.	Présentation.....	62
II - 2.	Fonctionnement	62
II - 3.	Points forts et points faibles	67
III.	Pistes d'amélioration.....	68
III - 1.	Etude du point de départ.....	68
III - 2.	Autres améliorations possibles.....	71
IV.	Algorithme <i>Divide & Conquer</i>	72
IV - 1.	Théorie	72
IV - 2.	Fonctionnement	73
IV - 3.	Points forts et points faibles	76
V.	Résultats	76
VI.	Conclusion	77
 Chapitre 4 : Correction du Current Crowding dans les interconnexions		79
	Table des matières du chapitre	80
	Introduction.....	81
I.	Définition du problème	82
II - 1.	<i>Current Crowding</i> : définition	82
II - 2.	Définition du problème.....	82
II.	Identification des cas et des domaines de variation.....	83
III - 1.	Identification des cas et des facteurs	83
III - 2.	Domaines de variation des facteurs	84
III.	Méthodologie	85
III - 1.	Choix d'une méthode de définition du support	85
III - 2.	Solveur de courant.....	87
III - 3.	Plans d'expérience (DoE)	88
IV.	Application à des cas d'école	90
IV - 1.	Type L.....	90
IV - 2.	Type T.....	93

V.	Résultats et intégration.....	96
V - 1.	Etude de la précision des modèles	96
V - 2.	Etude des effets sur les violations	97
V - 3.	Intégration	98
VI.	Conclusion	98
Chapitre 5 : Validation du flot général.....		101
	Table des matières du chapitre	102
	Introduction.....	103
I.	Retour sur les méthodes proposées	103
I - 1.	L'algorithme de routage Divide & Conquer.....	103
I - 2.	La correction du <i>current crowding</i>	104
II.	Exemple d'un flot utilisant les deux méthodes.....	104
III.	Application à des cas d'étude	106
III - 1.	Définition des cas.....	106
III - 2.	Routage sans utiliser les méthodes de prise en compte du courant	107
III - 3.	Routage avec prise en compte des courants.....	109
III - 4.	Correction du <i>current crowding</i>	112
IV.	Comparaison des résultats obtenus.....	115
V.	Conclusion	117
Conclusion générale.....		119
	Bibliographie de l'Auteur.....	123
	Références Bibliographiques.....	125

LISTE DES ACRONYMES ET DES ANGLICISMES

Å	Un ångström est une unité de longueur valant 0,1 nanomètre, soit 10–10 mètre.
Analyse of Variance	Analyse de la variance (ou étude des résidus).
ANOVA	Analyse de la variance (ou étude des résidus).
ASIC	<i>Application-Specific Integrated Circuit</i> . Circuit spécialisé, réalisé dans un but précis.
Center Point	Point central du plan d'expérience.
Cube Points	Points factoriels du plan d'expérience.
Current Crowding	Distribution non-homogène de la densité de courant dans un conducteur (ou semi-conducteur).
D&C	Méthode de "Diviser pour régner", qui consiste à séparer un problème en plusieurs sous-problèmes pour le résoudre.
Design of Experiment	Plan d'expérience.
Design Rules Check	Etape de Vérification des Règles de Dessin dans le flot de conception
DFM	Design For Manufacturing. Ensemble des règles utilisées afin de concevoir des circuits qui puissent être facilement fabriqués.
Divide & Conquer	Méthode de "Diviser pour régner", qui consiste à séparer un problème en plusieurs sous-problèmes pour le résoudre.
DoE	Plan d'expérience.
DRC	Etape de Vérification des Règles de Dessin dans le flot de conception
Electron Wind	Flux d'électrons.
EM	ElectroMigration.
Floorplanning	Etape du flot de conception.
Full-Custom	Méthode de conception, personnalisée au niveau des masques, pour des circuits spécifiques.
Global Routing	Etape du flot de conception. Analyse globale qui va assigner les ressources aux différents signaux.
Layout	Représentation "physique" d'un circuit intégré.
Logical Equivalence Checking	Etape du flot numérique. Vérification que la compilation correspond bien aux spécifications.
LVS	Etape du flot de conception. Vérification de la correspondance entre le dessin du circuit et son schéma.
Manhattan	Routage qui ne permet que des angles droits.
Mesh-Graph	Chevelu. Liaisons possibles entre les terminaux d'un fil.
MTTF	Mean Time To Failure. Estimation de la durée de vie moyenne avant défaillance.
R²	Coefficient de corrélation
RCX	Etape du flot de conception. Extraction des résistances et capacités parasites.
Schematics	Schéma électronique d'une cellule, d'un bloc ou d'un circuit intégré.
Sheet Resistance	Résistance carrée.
Standard-Cells	Cellules standards.

Star Points	Points axiaux du plan d'expérience.
Type-L	Un des cas analysés pour le current crowding : un simple angle droit.
Type-T	Un des cas analysés pour le current crowding : la ligne de métal se sépare en deux branches, formant un T.
Verilog	Langage de description matériel de circuits logiques en électronique.
VHDL	Langage de description de matériel destiné à représenter le comportement ainsi que l'architecture d'un système électronique numérique.
VLSI	Technologie de circuit intégré dont la densité d'intégration permet de supporter plus de 100 000 composants électroniques sur une même puce.
Voltage Drop	Ecart de tension : réduction de la tension entre la source et la charge à cause de la résistance le long de la ligne.
Widening	Méthode qui consiste à augmenter la taille des lignes de métal pour corriger des violations de densité de courant.
Wireless	Sans-fil.

LISTE DES FIGURES

Introduction

Figure 0.1 : Prévisions pour les largeurs de métal 1 (a), longueurs totales des interconnexions (b), densités maximales (c) et taux de défaillance maximal autorisé (d). Source : ITRS 2011 [ITRS-2011]

Chapitre 1

Figure 1.1 : Exemples d'interconnexions sur plusieurs niveaux.

Figure 1.2 : Exemples d'imperfections dans le réseau cristallin : emplacement vacant (a), substitutions par des atomes plus petits ou plus grand (b), inclusion d'impuretés (c).

Figure 1.3 : Deux forces agissent sur les ions métalliques : le flux d'électrons et le champ électrique. Lorsque la force liée au flux est grande, les atomes peuvent être emportés.

Figure 1.4 : Diffusion des atomes dans une piste de métal : vue au microscope (a) et schématique (b). Les atomes suivent les frontières entre les grains du métal.

Figure 1.5 : Exemples d'accumulations (à gauche) et de zones vides (à droite) dans des pistes de métal dues à l'électromigration.

Tableau 1.6 : Les différentes énergies d'activation observées pour l'électromigration pour les métaux utilisés dans les pistes des interconnexions.

Figure 1.7 : Différentes microstructures des pistes de métal : structure polycristalline (a), structure proche du bambou (b) et structure bambou (c).

Figure 1.8 : Une piste de résistance R traversée par un courant I implique une chute de tension $\Delta V = R \cdot I$ (loi d'Ohm).

Figure 1.9 : Exemples de configurations de courant pour les blocs logiques (a) ou analogiques (b).

Figure 1.10 : Exemple de circuit intégré ASIC. (FRICO, AMS 0.35 μ CMOS, A. Mekkaoui, Juin 2006)

Figure 1.11 : A gauche, description structurelle en VHDL et layout à base de standard-cell. A droite, schéma et layout full-custom.

Figure 1.12 : Un exemple simplifié de flot de conception pour les circuits numériques (avec utilisation de standard-cells). Les étapes en bleu sont automatisées, celles en jaunes sont réalisées par le concepteur.

Figure 1.13 : Les étapes de la phase de routage : a) Un résultat de la phase de placement avec les positions des blocs et des pins. b) Etape 1 : Routage global. c) Etape 2 : Routage détaillé.

Figure 1.14 : Les étapes du routage global : a) Découpage en régions rectangulaires. b) Assignment des signaux. c) Définition de pins aux frontières des régions.

Figure 1.15 : Un exemple simplifié de flot de conception pour les circuits analogiques (flot Full-Custom). On peut séparer le flot en trois parties : la réalisation et validation du schéma, la réalisation du layout, et la validation du circuit.

Chapitre 2

Figure 2.1 : Représentation du flot de l'algorithme d'Euclide, qui permet de trouver le plus grand commun diviseur (P.G.C.D.) de deux entiers.

Figure 2.2 : Exemple de vecteurs pour un fil composé de cinq terminaux : pour chaque terminal, un vecteur est créé pour son maximum et son minimum.

Figure 2.3 : Exemple de propagation des vecteurs lors de l'ajout d'un terminal à l'arbre de routage.

Figure 2.4: Fonctionnement « pseudo-code » de l'algorithme exhaustif.

Figure 2.5 : Exemples de topologies non recevables pour un fil composé de sept terminaux, qui présentent des boucles et des terminaux isolés.

Figure 2.6 : Topologies possibles parcourues par l'algorithme exhaustif pour un exemple simple composé de quatre terminaux.

Figure 2.7 : Nombre de possibilités à tester par l'algorithme exhaustif en fonction du nombre de terminaux, en supposant que le nombre de liaisons potentielles respecte l'équation 1.

Figure 2.8 : Exemples de configurations de placement des terminaux pour les expériences, pour sept terminaux : a) formation en étoile, b) deux « groupes », c) deux points excentrés.

Figure 2.9 : Tableau des simulations réalisées pour chaque configuration de terminaux pour les cas d'étude.

Figure 2.10 : Tableau représentant l'occupation des chemins et leur longueur pour les meilleures solutions pour une configuration de sept terminaux et un ensemble de distributions de courant (49 au total).

Figure 2.11 : Pourcentage d'occupation des chemins pour les meilleures solutions pour une configuration de sept terminaux et un ensemble de distributions de courant (49 au total).

Chapitre 3

Figure 3.1 : Exemple d'altération des largeurs de lignes lors de l'ajout d'un terminal à un routage. Une seule valeur du vecteur de courants a été gardée, pour ne pas surcharger l'affichage.

Figure 3.2 : Illustration graphique simplifiée des étapes principales de l'algorithme de planification pour un exemple avec sept terminaux. Les vecteurs de courant utilisés ne sont pas précisés pour ne pas alourdir l'affichage.

Figure 3.3 : Fonctionnement « pseudo-code » de l'algorithme de planification du réseau d'interconnexions. Les étapes correspondent à celles illustrées dans la figure 3.2.

Figure 3.4 : Résultat obtenu avec l'algorithme (a) et avec un arbre couvrant de poids minimal (b).

Figure 3.5 : Le routage détaillé pour l'exemple de la figure 3.2, avec les largeurs adaptées aux courants. Une seule valeur de courant est affichée, plutôt que des vecteurs, pour faciliter la lisibilité.

Figure 3.6 : Exemple de topologie générée par l'algorithme glouton présentant des points isolés (T1 et T4).

Figure 3.7 : Les topologies obtenues pour trois cas d'étude simples en utilisant l'algorithme glouton en prenant comme point de départ chaque terminal (en rouge).

Figure 3.8 : Les rangs et les aires obtenus pour chaque cas d'étude pour les meilleures et pires solutions des algorithmes exhaustif et glouton.

Figure 3.9 : Graphique de l'aire des interconnexions en fonction des topologies listées par l'algorithme exhaustif pour le cas de la figure 3.2, rangées par ordre croissant. En rouge sont affichées les solutions de l'algorithme glouton.

Figure 3.10 : Les résultats obtenus par l'algorithme glouton d'ordre 2 pour le temps d'exécution et l'aire des interconnexions par rapport à l'algorithme glouton (ordre 1), pour un nombre de terminaux qui varie de quatre à vingt.

Figure 3.11 : Exemple de flot pour la résolution d'un problème en utilisant la technique du « Diviser pour régner ».

Figure 3.12 : Illustration simplifiée des étapes principales de l'algorithme D&C pour un exemple avec seize terminaux. Les vecteurs de courant utilisés ne sont pas précisés pour ne pas alourdir l'affichage.

Figure 3.13 : Fonctionnement « pseudo-code » de l'algorithme Divide & Conquer. Les étapes correspondent à celles illustrées dans la figure 3.12.

Figure 3.14 : Le nombre de groupes et le nombre d'éléments dans chaque groupe généré par l'algorithme en fonction du nombre de terminaux.

Figure 3.15 : Les résultats obtenus par l'algorithme D&C pour le temps d'exécution et l'aire des interconnexions par rapport à l'algorithme glouton, pour un nombre de terminaux qui varie de quatre à vingt.

Chapitre 4

Figure 4.1 : Image thermique qui met en avant le phénomène de current crowding dans un angle de ligne métallique (source de l'image : Alenas Imaging).

Figure 4.2 : Distribution de la densité de courant dans trois exemples de virages : angle droit sans support (a), angle droit avec support (b) et angle à 45 ° (avec support, et retrait du coin externe) (c).

Figure 4.3 : Les deux configurations d'angles que l'on peut rencontrer dans les interconnexions : l'angle droit : type L (a) et la séparation en deux branches : type T (b).

Figure 4.4 : Extrait des règles de dessin pour la technologie 90 nanomètres utilisée.

Figure 4.5 : Principe de fonctionnement de la méthode : on choisit le modèle adapté en fonction des valeurs en entrée.

Figure 4.6 : Etapes de l'extraction de données pour une configuration : création de la ligne et résolution des courants dans le solveur (a), quadrillage de la ligne (b), extraction des densités (c).

Figure 4.7 : Liste des expériences à réaliser pour un plan factoriel complet à 3 facteurs.

Figure 4.8 : Tableau présentant les domaines de variation en courant, largeur de ligne et surface du support des 40 modèles pour le type L.

Figure 4.9 : Représentation du fonctionnement de la fonction de sélection de l'aire du support pour le cas de type L.

Figure 4.10 : Deux configurations de courant pour le type T : symétrie par rapport à la branche du milieu (a), ou continuation (b).

Figure 4.11 : Equivalence entre type T et type L : on peut utiliser deux modèles en L pour aider à la modélisation du type T symétrique.

Figure 4.12 : Equivalence entre type T et type L : on peut utiliser un modèle en L pour aider à la modélisation du type T « continuation ».

Figure 4.13 : Histogramme classant 100 tests aléatoires de type L en fonction de leur précision entre les résultats des modèles et ceux des simulations.

Figure 4.14 : Histogramme classant 100 tests aléatoires de type T en fonction de leur précision entre les résultats des modèles et ceux des simulations. En rouge les cas symétriques, en bleu les cas « continuation ».

Figure 4.15 : Proposition d'intégration d'un script utilisant les modèles dans le flot de conception, au niveau de la phase de DRC.

Chapitre 5

Figure 5.1 : Illustration des étapes principales de l'algorithme D&C pour un exemple avec seize terminaux.

Figure 5.2 : Représentation du fonctionnement de la fonction de sélection de l'aire du support pour le cas de type L.

Figure 5.3 : Exemple de modification du flot Full-Custom avec l'ajout de solutions pour les contraintes en courant : génération de topologie et correction du current crowding.

Figure 5.4 : Détails sur les configurations des cas d'écoles et sur les distributions de courant respectives.

Figure 5.5 : Représentation des deux configurations de terminaux.

Figure 5.6 : Largeurs fixées pour le routage en fonction du courant maximal dans les distributions de chaque cas d'étude.

Figure 5.7 : Routages des deux configurations sans utilisation de nos méthodes de conception. En rouge, les violations de densité de courant.

Figure 5.8 : Routages des deux configurations sans utilisation de nos méthodes de conception une fois toutes les violations corrigées.

Figure 5.9 : Topologies obtenues par l'algorithme Divide & Conquer pour les 4 cas d'étude. Les nombres correspondent aux largeurs recommandées pour chaque segment (en μm).

Figure 5.10 : Routages de la configuration A pour les deux distributions de courants, avec prise en compte des courants.

Figure 5.11 : Routages de la configuration B pour les deux distributions de courants, avec prise en compte des courants.

Figure 5.12 : En rouge, les coudes qui peuvent être corrigés en utilisant les modèles développés.

Figure 5.13 : Quatre exemples de correction du current crowding par l'ajout de support de taille optimisée.

Figure 5.14 : Routage final des 4 cas d'étude en appliquant les méthodes optimisées pour la conception contrainte en courant.

Figure 5.15 : Récapitulatif des aires obtenues pour les routages, avec les ratios, de chaque configuration.

Figure 5.16 : En bleu, les tailles surestimées pour les routages de référence, avec les tailles optimisées pour chaque segment.

Conclusion

Figure 6.1 : Exemple de cas de coude avec un terminal situé dans l'angle.

INTRODUCTION GENERALE

De nos jours, la microélectronique est une industrie intégrée dans presque toutes les branches d'activités. On trouve des dispositifs électroniques dans les téléphones mobiles, les ordinateurs, le multimédia, mais aussi dans les domaines médical, automobile, ou encore agroalimentaire.

L'industrie de la microélectronique se doit donc d'être en perpétuelle évolution afin de permettre de nouvelles possibilités et plus d'efficacité pour tous ces besoins. La miniaturisation des circuits intégrés est une des pierres angulaires de cette évolution. En miniaturisant, il est possible de réaliser des circuits plus denses, plus rapides et permettant de gérer des fonctions plus complexes (les circuits VLSI : *Very Large Scale Integrated circuits*). On crée des puces qui comportent plus de composants sur une surface réduite. On améliore ainsi à la fois les coûts de fabrication et la productivité.

Toutefois, cette miniaturisation ne s'effectue pas sans impact sur les contraintes de fabrication des circuits intégrés. De nombreux défis doivent être relevés à chaque diminution des tailles, que ce soit au sujet des méthodes de fabrication ou encore au niveau de la conception. Outre la réduction des composants actifs, les lignes métalliques qui forment les interconnexions suivent la même tendance.

Ces lignes forment un réseau dense d'étroites et fines bandes de métal conducteur, et servent à transporter le courant entre les différents éléments actifs des circuits. Avec les avancées technologiques et la miniaturisation, les dimensions des lignes de métal ont fortement diminué et le réseau d'interconnexions est devenu de plus en plus dense et complexe. Malgré cette réduction, la valeur de l'intensité du courant qui les traverse est conservée, voire augmentée, ce qui résulte en une augmentation de la densité du courant.

La figure **0.1** illustre l'évolution depuis 2005 et les prévisions jusqu'en 2020 pour le réseau d'interconnexions [ITRS-2011]. On observe que les largeurs des lignes vont en diminuant (**0.1.a**) tandis que les densités de courant ne cessent de croître (**0.1.c**). De plus, la longueur totale des interconnexions est en constante augmentation (**0.1.b**), ce qui correspond à la hausse de la complexité des circuits. En opposition, le taux de défaillance maximal autorisé diminue chaque année (**0.1.d**), imposant une fiabilité accrue, et donc la prise de mesures pour augmenter la durée de vie des circuits.

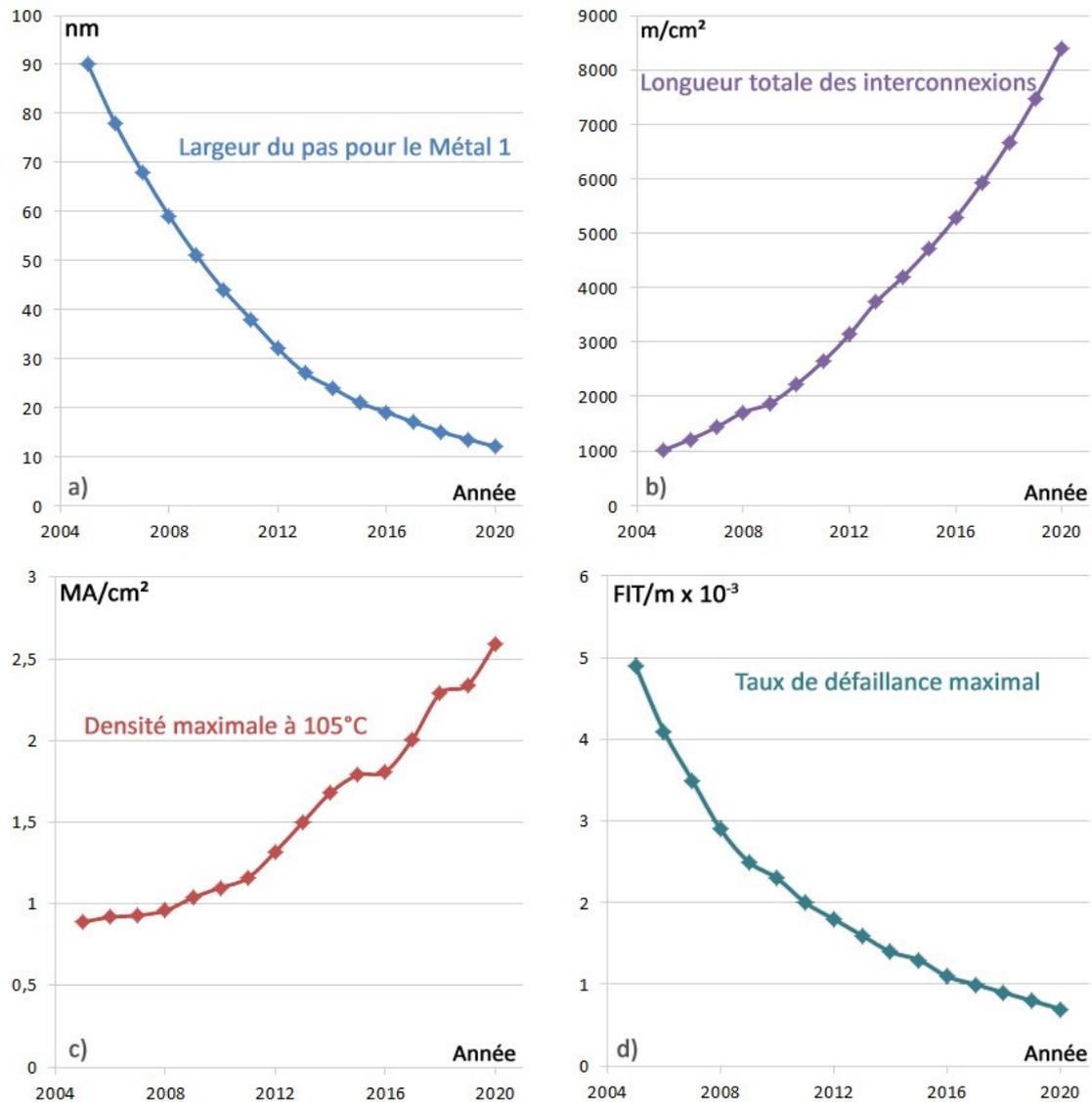


Figure 0.1 : Prévisions pour les largeurs de métal 1 (a), longueurs totales des interconnexions (b), densités maximales (c) et taux de défaillance maximal autorisé (d). Source : ITRS 2011 [ITRS-2011]

Pour les domaines qui sont amenés à utiliser des applications à forts courants, comme l'automobile, ou encore les circuits de charge des téléphones mobiles, il est important de prendre en compte les effets néfastes des très fortes densités de courant dans les lignes métalliques. Ces fortes densités peuvent conduire à des phénomènes comme l'électromigration, qui peut causer des dommages permanents dans les lignes métalliques, de chute de tension (*voltage drop*), qui impactent le comportement et les performances du circuit ou encore de surcharge électrique, pouvant parfois endommager tout ou une partie du circuit.

Avec la diminution des tailles des lignes de métal, l'augmentation des courants et des tensions d'alimentation de plus en plus faibles, ces phénomènes sont de plus en plus prépondérants. La conception des circuits doit donc être réalisée en prenant en compte ces contraintes, et en

adaptant la largeur des lignes métalliques au courant qui va les parcourir dès la phase de conception et ce de manière automatique.

Dans ce contexte, ce travail de thèse a eu comme objectif de développer des solutions pour la prise en compte des contraintes en courant lors de la phase de routage de blocs analogiques fort courants.

Dans le premier chapitre, le contexte du travail de thèse est posé. Pour commencer, des phénomènes liés aux courants, tels que l'électromigration et le *voltage drop*, sont présentés. Puis les domaines d'application concernés par les contraintes en courant sont abordés. Les flots de conception sont ensuite introduits de manière générale et finalement les méthodes actuelles pour la prise en compte des violations des densités de courant sont présentées.

Dans le deuxième chapitre, une approche algorithmique pour l'aide au routage est introduite. Dans un premier temps, une fois le contexte posé, la définition d'un algorithme est donnée, ainsi que l'intérêt d'utiliser un tel outil en microélectronique. La méthode de caractérisation du courant, indispensable pour que les algorithmes puissent fonctionner, est ensuite présentée. Un algorithme exhaustif de routage est ensuite étudié. Il permet de lister toutes les topologies possibles. Enfin, des recherches basées sur des statistiques de routage sont présentées. Ces recherches ont pour but de trouver des paramètres qui permettent de définir une bonne topologie de routage pour des contraintes en courant données.

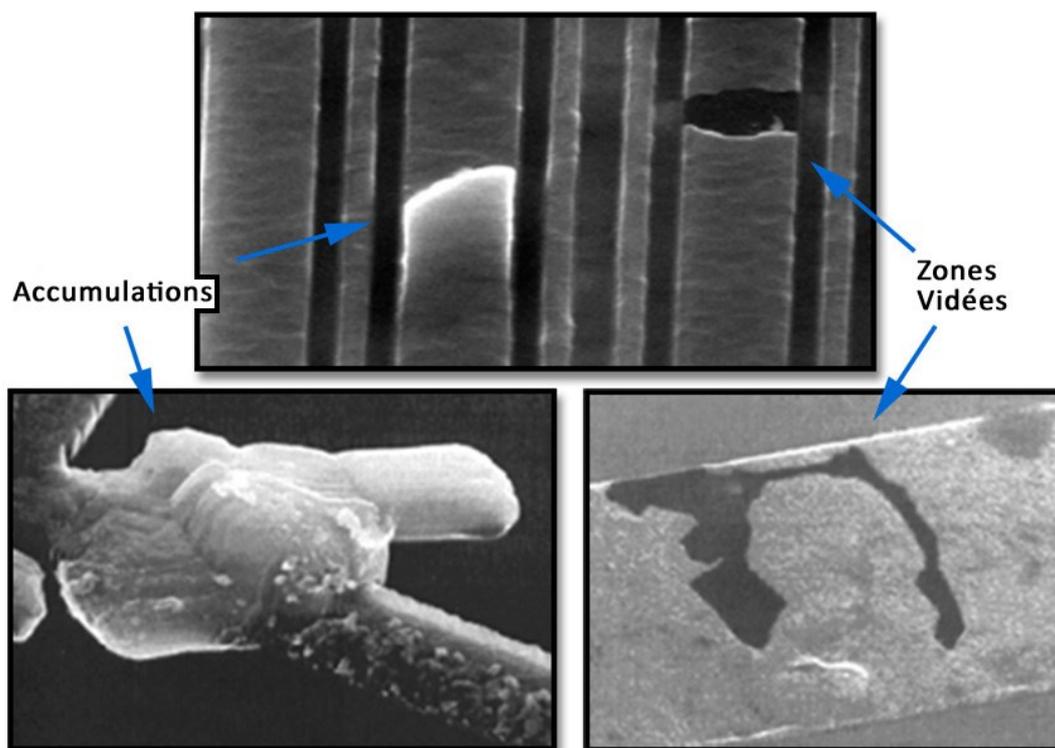
Le troisième chapitre se concentre quant à lui sur deux algorithmes de planification du routage contraints en courant. Tout d'abord, un algorithme « glouton », réalisé par G. Jerke et J. Liening, est étudié. Ses points forts et ses faiblesses sont mis en avant et une piste d'amélioration est proposée. Son étude est suivie par la présentation d'un algorithme « *Divide & Conquer* » original, basé sur une technique de séparation des terminaux en sous-ensembles et sur l'utilisation de solutions exhaustives. Finalement, un comparatif des résultats entre les deux algorithmes est présenté.

Le sujet du quatrième chapitre est l'étude d'une méthode de correction du *current crowding*, basée sur un ensemble de modèles mathématiques. Dans une première partie, le phénomène de *current crowding* est présenté et le problème est posé. Les cas dans lesquels survient cet effet sont ensuite définis, ainsi que les domaines de variation des facteurs géométriques et électriques. La troisième partie est consacrée au choix de la solution, et à la description de la méthodologie utilisée, à savoir la création d'une base de données de modèles, générés à l'aide de plans d'expérience et d'un solveur de courant. Dans la quatrième partie, la méthode est appliquée aux cas définis précédemment. Enfin, les résultats obtenus sont détaillés dans une dernière partie.

Le cinquième et dernier chapitre a pour but de proposer un nouveau flot de routage basé sur les solutions développées. Ce nouveau flot de routage est ensuite appliqué à des cas d'école, pour illustrer l'impact de son utilisation sur les interconnexions. Après un rapide retour sur l'algorithme *Divide & Conquer* et la correction du *current crowding*, le flot de conception utilisé est présenté. Les deux cas d'étude sont ensuite introduits. Tout d'abord, ils sont traités sans utiliser nos solutions de prise en compte des contraintes en courant, puis les méthodes sont appliquées, avec deux distributions de courants différentes pour chaque cas. Finalement, un comparatif des résultats entre le traitement sans et avec prise en compte du courant est exposé.

CHAPITRE 1

FIABILITE ET CONCEPTION DES APPLICATIONS A FORT COURANT



La diminution agressive des tailles et l'utilisation de nouveaux matériaux dans les interconnexions des circuits intégrés induisent de nombreuses contraintes et peuvent conduire à des problèmes de fiabilité. Dans ce chapitre, après une présentation des phénomènes d'électromigration et de *voltage drop*, les domaines d'application concernés par les contraintes en courant sont présentés. La définition d'un circuit intégré est rappelée. Les flots de conception sont ensuite introduits de manière générale et finalement les méthodes actuelles pour la prise en compte des violations des densités de courant sont présentées.

Table des matières du chapitre

Introduction.....	23
I. Electromigration.....	24
I - 1. Un peu d'histoire	24
I - 2. Définition	25
I - 3. Problèmes liés à l'électromigration.....	27
I - 4. Impact matériel et structurel sur l'électromigration.....	29
II. Ecart de tension : Voltage drop	30
II - 1. La résistance carrée	30
II - 2. Définition du Voltage drop	30
II - 3. Influence et correction	31
III. Domaines d'application potentiellement concernés.....	31
IV. Présentation générale des circuits intégrés.....	32
V. Méthodologies de conception	33
V - 1. Introduction aux méthodes de conception	33
V - 2. Flot de conception numérique	35
V - 3. Flot de conception analogique (<i>Full-Custom</i>).....	38
VI. Constat sur les solutions actuelles	39
VI - 1. Approche industrielle actuelle.....	39
VI - 2. Solution proposée.....	40
VII. Conclusion	40

Introduction

Les circuits intégrés modernes incluent un réseau dense d'étroites et fines bandes de métal conducteur, qui servent à transporter le courant entre les différents éléments actifs des circuits. Ces pistes métalliques, illustrées figure 1.1, sont appelées interconnexions. La fiabilité de ces interconnexions a été une des préoccupations majeures dans l'industrie de la microélectronique depuis l'avènement des circuits intégrés.

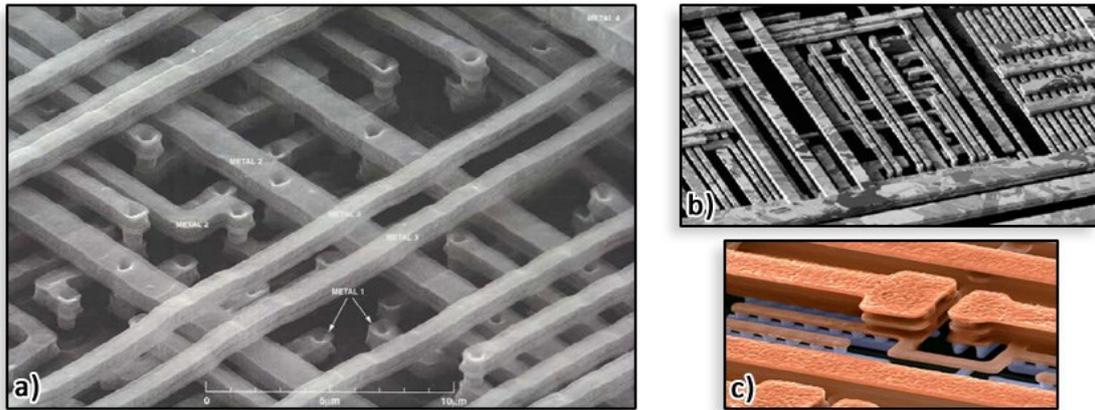


Figure 1.1 : Exemples d'interconnexions sur plusieurs niveaux.

Avec les avancées technologiques qui permettent d'atteindre des circuits plus denses, plus rapides et permettant de gérer des fonctions plus complexes (les circuits VLSI : *Very Large Scale Integrated circuits*) [Weste-1985], les dimensions des lignes de métal ont fortement diminué et le réseau d'interconnexions est devenu de plus en plus dense et complexe. Les lignes métalliques sont parfois amenées à transporter de très fortes densités de courant. Ces fortes densités peuvent conduire à un déplacement des atomes de métal, dû au flot d'électrons (en anglais, « electron wind », le vent d'électrons), qui peut causer des dommages permanents dans les lignes métalliques en générant des zones vides, ou au contraire des amas d'atomes dans des endroits spécifiques : c'est le phénomène d'électromigration.

Dans le domaine de l'industrie, certains secteurs nécessitent des circuits utilisant de forts courants. C'est le cas du secteur automobile, par exemple. Pour ces secteurs, les problèmes des contraintes en courant, et en particulier de l'électromigration sont cruciaux.

Dans ce chapitre, après une présentation des phénomènes d'électromigration et de *voltage drop*, les domaines d'application concernés par les contraintes en courant sont présentés. Les flots de conception sont ensuite introduits de manière générale et finalement les méthodes actuelles pour la prise en compte des violations des densités de courant sont présentées.

I. Electromigration

I - 1. Un peu d'histoire

Le phénomène d'électromigration est le déplacement de matière dans le métal dû au transfert dynamique entre les électrons et les atomes de métal [Lloyd-2002]. Découvert il y a plus d'un siècle, il n'est devenu une préoccupation que lorsque les conditions sévères nécessaires à la création des circuits intégrés ont fait ressortir ses effets néfastes. En effet, bien que l'électromigration existe potentiellement dès qu'un courant traverse une ligne de métal, les conditions nécessaires pour qu'elle devienne un problème n'ont pas été atteintes avant l'apparition des premiers circuits intégrés.

Dans les câbles électriques, comme ceux utilisés pour l'électricité des habitations, la densité de courant maximum est environ $10\,000\text{ A/cm}^2$, limite imposée par l'effet Joule. En effet, en excédant ce niveau de densité, la chaleur produite pourrait faire fondre les câbles métalliques. Par contre, même à une telle densité de courant, la force motrice des électrons entrant en collision avec les atomes de métal ne serait pas suffisante pour faire de l'électromigration un problème [Otten-2002].

C'est pourquoi, pendant près de cent ans, l'électromigration a été considérée comme un problème très intéressant en physique des matériaux, mais sans grand intérêt d'un point de vue industriel.

Tout cela a changé dans les années 60, avec l'apparition des premiers circuits intégrés. L'électromigration a été « redécouverte », entraînant de nouvelles contraintes. Dans les circuits intégrés, le courant est transporté par de fines lignes de métal, qui sont en contact direct avec des matériaux absorbant la chaleur. Ainsi, comme une grande quantité de la chaleur générée par les courants est évacuée dans la puce, ces lignes peuvent supporter des densités de courant bien plus élevées que les traditionnels câbles électriques. Ce qui représentait à l'époque près de 10^6 A/cm^2 avec un effet Joule minimal. Avec des densités de cet ordre, l'effet de l'électromigration devient significatif.

Les premiers circuits intégrés furent créés avec des lignes de métal qui mesuraient minimum $10\ \mu\text{m}$ de large, voire plus, ce qui est bien loin des standards actuels. Elles étaient excessivement fines, de l'ordre de $3000\ \text{Å}$. Elles étaient composées d'aluminium pur, un métal dont la température de fusion n'est pas très élevée, ce qui le prédispose à une diffusion de ses atomes à faible température. La finesse des pistes implique une finesse des grains du métal, et donc la présence de nombreuses frontières entre les grains, qui aide à une diffusion plus rapide.

Le fait que les circuits intégrés, supposés très fiables, cessaient de fonctionner après quelques semaines, a poussé les chercheurs à réaliser des études pour découvrir l'origine du problème. Grâce à des observations au microscope électronique à balayage, les défauts générés par l'électromigration purent être mis en évidence, et une contre-mesure fut prise : augmenter l'épaisseur des lignes de métal.

Depuis lors, l'électromigration a été un phénomène pris en compte systématiquement au niveau technologique. Outre l'épaisseur des pistes, leur composition fut modifiée pour les rendre moins sujettes aux effets de l'électromigration en ajoutant du cuivre à l'aluminium, par exemple. Mais les effets secondaires sont importants, notamment une augmentation de la résistance. Aujourd'hui, le cuivre a même totalement remplacé l'aluminium.

1 - 2. Définition

Comme dit précédemment, l'électromigration est due à l'échange dynamique entre les électrons du courant et les atomes du métal, qui diffusent. Dans cette partie, nous allons nous intéresser à la physique du phénomène.

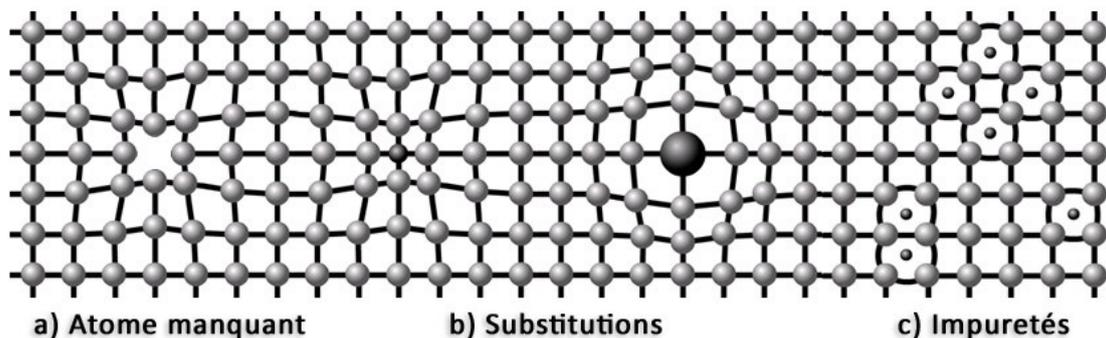


Figure 1.2 : Exemples d'imperfections dans le réseau cristallin : emplacement vacant (a), substitutions par des atomes plus petits ou plus grand (b), inclusion d'impuretés (c).

A une température autre que le zéro absolu, un réseau parfait d'atomes n'existe pas [Lifshitz-1966]. Les réseaux composant les pistes de métal présentent donc des emplacements vacants (des atomes manquants), des substitutions (autres atomes reliés), des impuretés, des frontières entre les cristaux d'orientations différentes (les grains du métal), des zones imparfaites (présentant des dislocations, par exemple). La figure 1.2 illustre certaines de ces imperfections. De plus, au-dessus de 0°K, a lieu le phénomène de vibration atomique. Ces vibrations (appelées phonons), causent le déplacement des atomes autour de leur position d'équilibre et perturbent ainsi le potentiel périodique, causant la diffusion des électrons.

La diffusion entraîne un changement de trajectoire de l'électron, changement accompagné d'une accélération. Et donc d'une force. En moyennant les forces pour l'ensemble des électrons,

on obtient une force de diffusion dans la même direction que le flot d'électrons, illustrée figure 1.3. Cette force, due à la collision des électrons sur les atomes de métal, est appelée l'échange d'énergie cinétique, ou encore « Electron Wind », littéralement le « Vent d'électrons » [Lienig-2006].

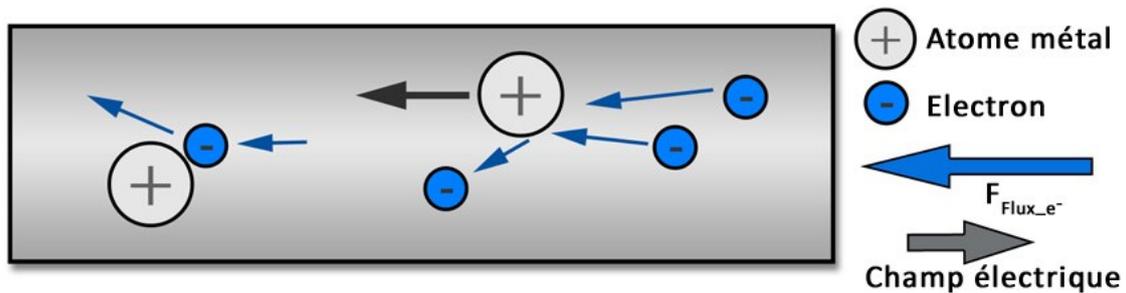


Figure 1.3 : Deux forces agissent sur les ions métalliques : le flux d'électrons et le champ électrique. Lorsque la force liée au flux est grande, les atomes peuvent être emportés.

Il faut que l'énergie cinétique soit suffisante pour obtenir des effets mesurables, de nombreux électrons doivent donc entrer en collision avec les atomes. Cela ne peut arriver que dans les métaux, qui permettent d'accélérer les électrons avec un champ électrique. Dans les semi-conducteurs, l'électromigration ne peut se produire faute de porteurs de charge en nombre suffisant. Toutefois, l'électromigration peut avoir lieu dans des semi-conducteurs fortement dopés, au point de réagir comme des métaux.

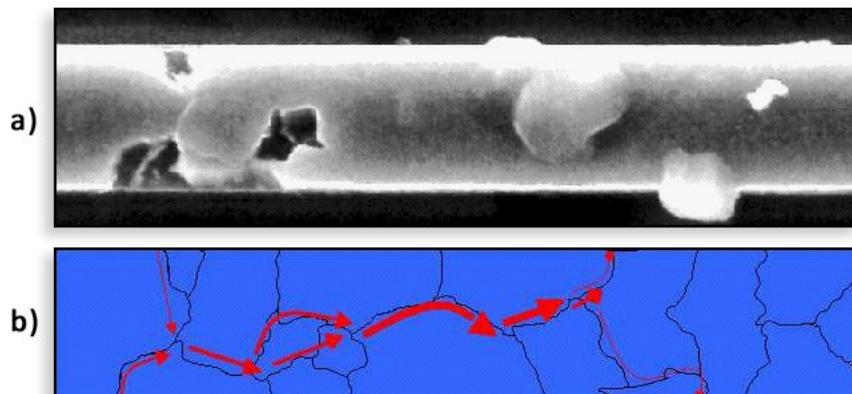


Figure 1.4 : Diffusion des atomes dans une piste de métal : vue au microscope (a) et schématique (b). Les atomes suivent les frontières entre les grains du métal.

L'importance de l'échange d'énergie cinétique en un point est proportionnelle à la distorsion du réseau cristallin en ce point. La distorsion est plus importante lorsqu'il y a un espace vacant proche, ou dans les zones proches des frontières des grains. C'est en ces endroits que la diffusion a lieu [Scorzoni-1991, Li-2004, Sabnis-1990, Hayashi-2003, Vaigar-2004]. En effet, pour que les

atomes se déplacent depuis leur position et diffusent, il faut un emplacement libre, puisqu'on ne peut avoir deux atomes à la même place au même moment. La figure 1.4 illustre un exemple : les atomes se diffusent le long des frontières des grains du métal, vidant certaines zones (à gauche) et en remplissant d'autres (à droite).

Le flux J_{atom} , induit par la force motrice du transfert cinétique, peut être calculé en utilisant une analogie avec l'équation d'Einstein pour la diffusion dans un champ de potentiel, ce qui donne l'équation suivante [Ho-1989] :

$$J_{atom} = \frac{DC}{kT} Z^* e \rho j \quad (1)$$

Avec J_{atom} le flux atomique, D le coefficient de diffusion ($D = D_0 e^{-E_a/kT}$), C la concentration d'atomes de diffusion, kT l'énergie thermique moyenne par atome, Z^* la charge effective, qui représente le signe et la magnitude de l'échange d'énergie cinétique, e la charge d'un électron, ρ la résistivité et j la densité de courant. Une observation importante de l'équation 1 est que le flux atomique est proportionnel à la densité de courant, au coefficient de diffusion et à la concentration d'atomes de diffusion.

La problématique de l'électromigration peut donc être résumée d'un point de vue phénoménologique de la manière suivante : Avec le courant, les électrons traversent les pistes de métal et entrent en collision avec les atomes de métal. Ces collisions produisent une force sur les atomes de métal dans la direction du flot d'électrons. L'effet de l'électromigration n'est significatif que pour des fortes densités de courant, et seulement dans les métaux. La magnitude de la force est proportionnelle à la densité de courant. Les applications à forts courants sont donc particulièrement concernées par ce phénomène.

I - 3. Problèmes liés à l'électromigration

La présence d'un flux atomique généré par l'électromigration n'est pas suffisante à elle seule pour poser un problème. Cette diffusion ne pose problème que lorsque le flux de matière est discontinu, c'est-à-dire lorsque la quantité d'atomes arrivant (respectivement quittant) une zone est supérieure à celle sortant (respectivement arrivant) de cette zone. Dans le premier cas, il peut résulter des accumulations d'atomes qui vont conduire à un court-circuit, voire à une rupture de la couche de passivation (Figure 1.5, partie gauche) [Young-1994, Lloyd-1984, Towner-1985, Doong-2003]. Dans le second cas, on peut observer la création de zones vides [Black-1969-2], qui vont entraîner une augmentation significative de la résistance de la piste, voire une ouverture de celle-ci (figure 1.5, à droite) [Lloyd-1991, Blech-1976, Clement-1995, Marieb-1995, Lloyd-1999-2, Arnaud-1998]. Malheureusement, dans les circuits typiques, il existe de nombreuses zones qui peuvent présenter ces caractéristiques (comme les vias et les contacts, par exemple).

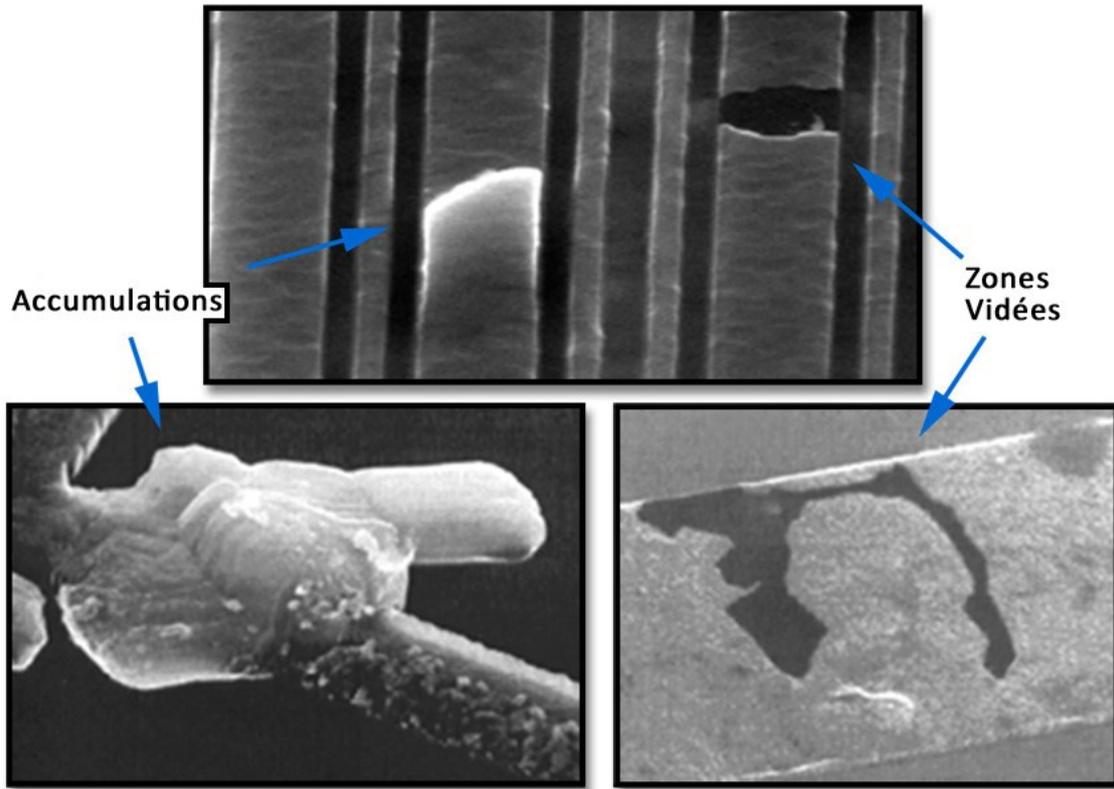


Figure 1.5 : Exemples d'accumulations (à gauche) et de zones vides (à droite) dans des pistes de métal dues à l'électromigration.

De l'équation 1, on a déduit que le flux est proportionnel à la densité de courant. On pourrait penser que les effets de l'électromigration suivent la même loi (linéaire selon le courant), mais ça n'est pas vraiment le cas. Traditionnellement, on a observé que les erreurs dues à l'électromigration suivaient une loi en $1/j^2$ plutôt que $1/j$. Un modèle empirique, la loi de Black, équation 2, a été proposé par Black en 1969 [Black-1969]. Il permet d'estimer la durée de vie moyenne avant défaillance (en anglais MTTF : Mean Time To Failure) :

$$MTTF = Aj^{-n}e^{E_a/kT} \quad (2)$$

Avec A une constante dépendante du procédé de fabrication, j la densité du courant, n un coefficient correcteur (valeur entre 1 et 2), E_a l'énergie d'activation (dépendante du matériau).

Outre la densité de courant, les équations montrent que l'électromigration est très sensible à la température [Harrison-1988, Li-1999, Brown-1998]. Ainsi, plus la température augmente, plus la densité maximale pour éviter l'électromigration est basse. Quand un courant traverse un conducteur, l'interaction des électrons avec les atomes produit une énergie thermique égale au produit du carré du courant et de la résistance (Rj^2). Le problème avec cet effet Joule n'est pas l'augmentation de température en elle-même, mais les gradients de températures qui en

résultent. En effet, des écarts de températures importants peuvent donc apparaître sur quelques microns. Comme l'électromigration est activée avec la température, ces gradients peuvent générer des divergences de flux.

I - 4. Impact matériel et structurel sur l'électromigration

Pour endiguer le problème de l'électromigration, des évolutions au niveau des matériaux ont vu le jour, comme le remplacement des métaux qui composent les interconnexions : par exemple l'utilisation du cuivre à la place de l'aluminium depuis 1998 [Havemann-2001, Hau-Riege-2004]. Ces changements ont diminué les problèmes d'électromigration mais ont introduit de nouveaux problèmes [Glasow-2003]. Pour de futures applications, l'utilisation d'interconnexions en nanotubes de carbone pourrait être envisagée [Ye-2003].

Outre les changements de matériaux, l'impact de la structure des pistes métalliques sur la durée de vie par rapport à l'électromigration a été largement étudié. Comme expliqué précédemment, les atomes diffusent plus facilement le long des frontières entre les grains de métal qu'à travers les réseaux. Le tableau 1.6 montre les énergies d'activation pour l'électromigration pour les métaux utilisés dans les interconnexions [Lloyd-1999]. Il montre clairement que la diffusion le long des frontières entre les grains est plus importante qu'à travers les cristaux.

Métal	Ea (eV)	
	Dans le réseau	Frontières des grains
Al	1,4	0,4 - 0,5
Al/Cu	1,2	0,6 - 0,7
Cu	1,3	1,2

Tableau 1.6 : Les différentes énergies d'activation observées pour l'électromigration pour les métaux utilisés dans les pistes des interconnexions [Lloyd-1999].

Dans les technologies microniques, les lignes d'interconnexions étaient relativement larges, et composées de nombreux grains (structures polycristallines, Figure 1.7.a). Les nombreuses frontières entre les grains étaient autant de passages simplifiés pour l'électromigration. Avec la réduction de la largeur des lignes d'interconnexions, suivant l'évolution des technologies, il a été constaté que les effets de l'électromigration étaient inversement proportionnels à la taille des grains. En diminuant les largeurs, l'impact de l'électromigration augmentait. Finalement, dans les technologies sub-microniques, les largeurs des lignes d'interconnexion et la taille des grains ont fini par devenir comparable, et la durée de vie a augmenté. L'explication est que la microstructure est devenue de type « bambou » [Vaidya-1980], illustrée figure 1.7.c, c'est-à-dire que les grains

occupent l'intégralité de la piste, leurs frontières sont donc plus ou moins perpendiculaires au flux d'électrons, et agissent comme des barrières contre la diffusion.



Figure 1.7 : Différentes microstructures des pistes de métal : structure polycristalline (a), structure proche du bambou (b) et structure bambou (c).

Malgré cette évolution technologique, l'électromigration est toujours un problème d'actualité. Outre les évolutions bénéfiques des procédés de fabrication, ce phénomène doit donc être abordé au niveau de la conception, en optimisant les méthodes de conception pour diminuer son influence.

II. Ecarts de tension : Voltage drop

II - 1. La résistance carrée

Avant de parler du phénomène de Voltage drop, il est utile de préciser comment est définie la résistance des lignes de métal des interconnexions. Pour calculer la résistance dans ces pistes, on utilise la résistance carrée (*sheet resistance*). Celle-ci est obtenue par le produit de la résistivité ρ du métal par l'épaisseur t de la ligne. Elle correspond à la résistance d'une unité de tronçon (une unité étant un carré de largeur et longueur égales). La résistance d'une ligne est obtenue comme indiqué par l'équation 3 :

$$R = \frac{\rho L}{tW} = R_s \frac{L}{W} \quad (3)$$

Avec R la résistance de la piste (Ohm), ρ la résistivité (Ohm.μm), t l'épaisseur de métal (μm), L la longueur de la piste (μm), W la largeur de la piste (μm) et R_s la résistance carrée (Ohm/sq).

II - 2. Définition du Voltage drop

Les écarts de tension (voltage drop ou IR drop) sont une réduction de la tension entre la source et la charge à cause de la résistance le long de la ligne (figure 1.8) [Lin-2001]. Cette réduction peut être modélisée simplement selon l'équation 4 :

$$\Delta V = IR_{\text{métal}} \frac{L}{W} \quad (4)$$

Avec ΔV l'écart de tension (μV), I le courant qui traverse la piste (μA), L la longueur de la piste (μm), W la largeur de la piste (μm), et $R_{\text{m\u00e9tal}}$ la r\u00e9sistance carr\u00e9e du m\u00e9tal (Ohm/sq).

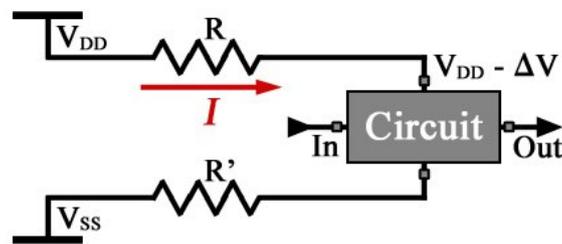


Figure 1.8 : Une piste de r\u00e9sistance R travers\u00e9e par un courant I implique une chute de tension $\Delta V = R \cdot I$ (loi d'Ohm).

II - 3. Influence et correction

Les \u00e9carts de tension influencent fortement les performances des signaux (temps de propagation et de commutation, int\u00e9grit\u00e9, bruit). Pour diminuer les effets d'\u00e9cart de tension, il faut r\u00e9duire soit la r\u00e9sistance des pistes (en influant sur la largeur et en tentant de diminuer au maximum la longueur des lignes sensibles), soit l'intensit\u00e9 du courant, ou encore en augmentant la tension.

III. Domaines d'application potentiellement concern\u00e9s

Les principaux domaines concern\u00e9s par ces contraintes sont les secteurs qui n\u00e9cessitent des circuits analogiques mettant en \u0153uvre de forts courants. Parmi eux, on retrouve principalement le secteur de l'automobile et le secteur mobile, en particulier les applications sans-fil (*wireless*) ou encore les circuits de charge des t\u00e9l\u00e9phones mobiles. Ils peuvent pr\u00e9senter des circuits qui mettent en \u0153uvre des densit\u00e9s de l'ordre de l'amp\u00e8re. Dans certains blocs full custom du secteur automobile, on peut m\u00eame avoir des interconnexions travers\u00e9es par des courants pouvant atteindre les 10 amp\u00e8res.

Une densit\u00e9 de courant excessive peut endommager les circuits, car elle renforce les risques de probl\u00e8mes li\u00e9s au courant, en particulier en permettant au ph\u00e9nom\u00e8ne d'\u00e9lectromigration de survenir.

Notre travail porte essentiellement sur des blocs analogiques. En effet, de par leur nature, les blocs analogiques sont plus sensibles aux variations que les blocs logiques. En effet, dans les blocs logiques, le courant circule dans les deux sens avec des pics lors de changement d'\u00e9tat des portes. Cette direction du courant non constante permet une r\u00e9g\u00e9n\u00e9ration face au probl\u00e8me de l'\u00e9lectromigration [Liew-1989, Maiz-1989, Hunter-1997, Banerjee-1997]. Par opposition, il circule

souvent dans le même sens dans les blocs analogiques avec de petites variations autour d'un courant de polarisation, comme illustré par la Figure 1.9.

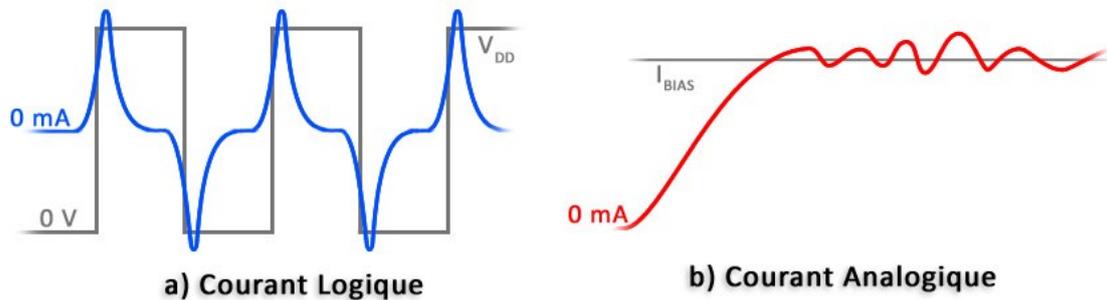


Figure 1.9 : Exemples de configurations de courant pour les blocs logiques (a) ou analogiques (b).

Les nombreux phénomènes, pouvant mener à des problèmes de fiabilité dans les interconnexions, doivent être étudiés pour avoir une vision complète des difficultés de conception qui peuvent survenir. Les sections suivantes se concentrent tout d'abord sur les contraintes liées aux densités de courant, et en particulier à l'électromigration et aux écarts de tension, qui sont au cœur des problèmes abordés dans cette thèse.

IV. Présentation générale des circuits intégrés

Avant de détailler les méthodes de conception des circuits intégrés, il est utile d'expliquer en quoi consiste un tel circuit. Le circuit intégré est un composant électronique qui permet la réalisation de fonctions électroniques plus ou moins complexes. Fabriqué à partir de matériaux semi-conducteurs, il intègre directement les composants habituels que l'on retrouve dans l'électronique, c'est-à-dire des transistors, des condensateurs, des inductances, des résistances, des diodes.

Un ASIC (*Application-Specific Integrated Circuit*) est un circuit spécialisé, réalisé dans un but précis [Piguet-1993]. En général, il regroupe un grand nombre de fonctionnalités uniques ou sur mesure, et est composé de nombreux blocs différents : numérique, analogique (basse fréquence et haute fréquence), mémoire, processeur, capteurs... On peut distinguer ces blocs dans la figure 1.10, qui montre un exemple d'ASIC datant de 2006.

Le développement d'un ASIC est couteux en temps et en ressources (fabrication des masques, développement qui peut prendre plusieurs mois). En contrepartie, c'est un produit totalement personnalisé, ce qui permet un contrôle total de ses spécifications. En raison du coût initial élevé, la production d'un ASIC est généralement réservée à de gros volumes.

Chaque bloc du circuit, qu'il soit analogique ou numérique, est composé d'une multitude d'éléments (transistors principalement) qui permettent la réalisation des fonctions. Ces

composants sont reliés entre eux par un réseau d'interconnexions de métal, réparties sur plusieurs niveaux, généralement entre 4 et 10 [ITRS-2011]. Ce sont ces lignes de métal qui permettent la circulation du courant électrique, et qui sont donc soumises aux contraintes liées au courant, comme l'électromigration et le voltage drop.

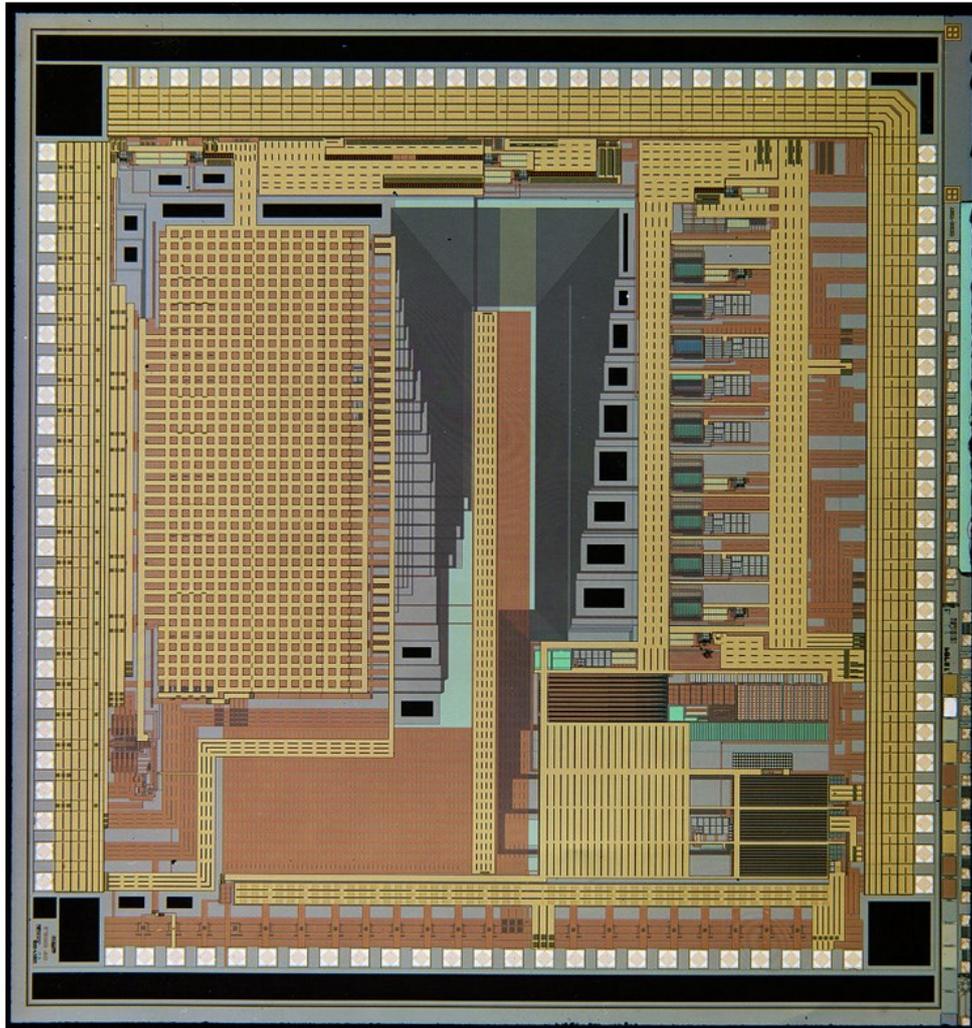


Figure 1.10 : Exemple de circuit intégré ASIC. (FRICO, AMS 0.35 μ CMOS, A. Mekkaoui, Juin 2006)

V. Méthodologies de conception

V - 1. Introduction aux méthodes de conception

La conception de circuits est un gros enjeu économique. Avec l'évolution exponentielle de la taille des circuits intégrés et des contraintes technologiques, il faut que les méthodes de conception évoluent en permanence. D'un point de vue économique, il est important d'avoir des méthodes efficaces et rapides. La thésaurisation, la réutilisation intensive des blocs,

l'automatisation, et la possibilité de valider par simulation avant la réalisation sont les clés de l'électronique moderne.

Aujourd'hui, on peut séparer en deux catégories les méthodes de conception, en fonction de la nature du bloc à concevoir. En effet, la conception d'un bloc numérique et celle d'un bloc analogique sont différentes. Malgré tout, les flots de conceptions ont beaucoup de points communs. Les étapes principales sont essentiellement les mêmes, ce sont les méthodes et les outils qui changent.

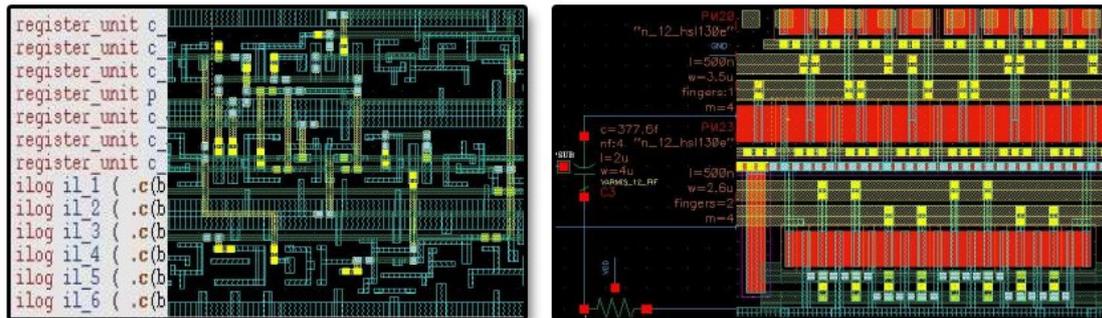


Figure 1.11 : A gauche, description structurelle en VHDL et layout à base de standard-cell. A droite, schéma et layout full-custom.

Pour commencer, la conception automatisée des circuits (figure 1.11 gauche) basée sur l'utilisation de bibliothèques de cellules logiques est effectuée à partir de descriptions comportementales ou structurelles (à l'aide de langages comme le VHDL ou le Verilog). Elle est utilisée pour la conception des blocs numériques et met en œuvre des étapes de conception standardisées. Elle est basée sur l'utilisation de cellules standards (*standard-cells*) [Djigbenou-2007]. Ces cellules sont des blocs standards qui correspondent à une fonction. Leurs caractéristiques sont préalablement établies pour tous les niveaux du flot de conception. Cela permet de gagner énormément de temps au moment de la conception, tout en garantissant une automatisation optimale.

Outre le gain de temps, un autre grand intérêt d'utiliser les *standard-cells* est la « fiabilité ». En effet, ces bibliothèques de cellules, fournies par un fondeur, ont été préalablement qualifiées pour une technologie donnée et ce pour un grand nombre de configurations possibles. Elles présentent donc bien moins de risques de défauts qu'un circuit conçu en *full-custom* qui, par définition et construction, est unique.

Pour les blocs qui nécessitent des performances extrêmement précises, comme les circuits analogiques, il existe la conception personnalisée « au niveau des masques » (*full-custom*), qui permet une réalisation de circuits spécifiques pour chaque cas (figure 1.11 droite) [Eriksson-2003].

Les circuits sont réalisés à la main par le concepteur, ce qui permet de personnaliser les éléments, de choisir les tailles des transistors, ou encore la définition des interconnexions. La réalisation de circuits en *full-custom* demande bien plus de temps, mais permet en échange d'obtenir des aires réduites, des performances précises. En revanche, la compétence des concepteurs doit être élevée, et les outils de conception automatiques sont beaucoup plus complexes à réaliser.

V - 2. Flot de conception numérique

Le flot de conception pour les blocs numériques peut varier d'une entreprise à l'autre, selon les outils utilisés et les besoins des circuits. Toutefois, les principales étapes se retrouvent dans tous les flots [Allan-2008, Vachoux-2006]. Le flot est fortement automatisé, la plupart des tâches étant réalisées par les outils. La figure 1.12 illustre ces étapes.

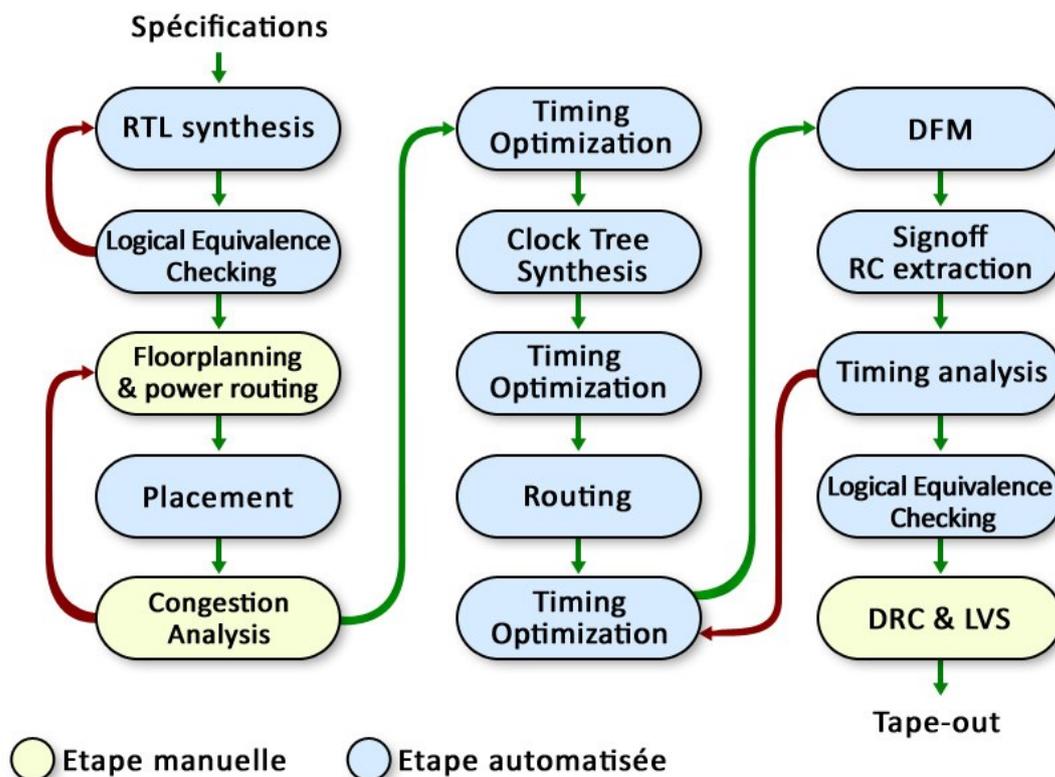


Figure 1.12 : Un exemple simplifié de flot de conception pour les circuits numériques (avec utilisation de standard-cells). Les étapes en bleu sont automatisées, celles en jaunes sont réalisées par le concepteur.

Une fois la spécification du circuit réalisée, en décrivant le comportement et la structure avec du VHDL ou du Verilog, l'étape de **synthèse logique** (*RTL synthesis*) compile la description fonctionnelle à l'aide d'un outil de synthèse et d'une bibliothèque de cellules logiques. Elle est

suivie d'une étape de vérification (**Logical Equivalence Checking**), qui va vérifier que la compilation correspond bien aux spécifications.

Viennent ensuite les étapes de **floorplanning** et de **placement**. Durant ces étapes, les divers blocs sont arrangés sur la surface de la puce dans le but de trouver la meilleure position pour chaque composant selon des contraintes telles que l'aire totale, la routabilité, la longueur des pistes, les performances, la densité de métal... Une **analyse de la congestion** permet de vérifier que le placement ne présente pas de congestions, des zones très denses en interconnexions, qui peuvent s'avérer impossibles à router.

Les étapes qui suivent sont la génération de l'**arbre d'horloge** et du **routage**. Le timing étant déterminant et intrinsèquement lié à l'horloge, la réalisation de l'arbre d'horloge est couplée à des **optimisations du timing**. La phase de routage nous intéresse particulièrement, puisque les interconnexions sont au cœur du sujet de la thèse.

La phase de routage se décompose en deux étapes. Tout d'abord, l'analyse globale (**global routing**), qui va identifier les ressources et masques à utiliser et assigner ces ressources aux différents signaux. Ensuite, le routage détaillé, qui crée les connections géométriques entre les différents points en tentant de respecter les règles de dessin. Il est automatisé par des outils qui prennent presque tout en charge. L'objectif, outre réussir à connecter tous les points en respectant les contraintes, est de minimiser la longueur des pistes et le nombre de vias ou changement de niveau.

Optimiser le routage est un problème difficile. Outre le fait qu'il faille connecter des milliers de fils simultanément sans chevauchement, il faut aussi prendre en compte des obstacles et les contraintes fournies en entrée. Autre difficulté, il faut trouver la meilleure configuration basée sur les arbres de Steiner avec une longueur minimale. C'est un problème NP-complet (qui présente un temps de résolution prouvé comme étant non polynomial). Les algorithmes connus pour résoudre ce genre de problème ont un temps d'exécution exponentiel et sont donc inexploitable dans les cas pratiques.

Comme précisé plus tôt, la phase de routage se décompose en deux étapes : le routage global et le routage détaillé (figure **1.13 b et c**). Dans l'étape globale, l'aire de routage est d'abord décomposée en régions rectangulaires simples, comme illustré figure **1.14.a**. Chaque région est ensuite assignée aux signaux, en prenant en compte les contraintes et les risques de congestion des régions (figure **1.14.b**). Pour chaque net, des points sont assignés aux frontières de chaque région pour préparer l'étape suivante (figure **1.14.c**).

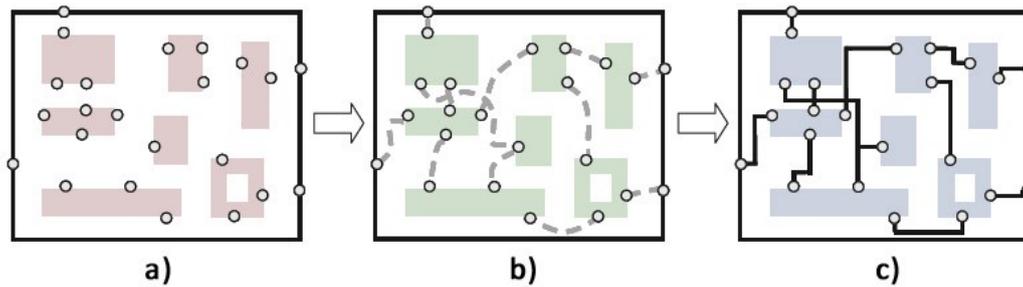


Figure 1.13 : Les étapes de la phase de routage : a) Un résultat de la phase de placement avec les positions des blocs et des pins. b) Etape 1 : Routage global. c) Etape 2 : Routage détaillé.

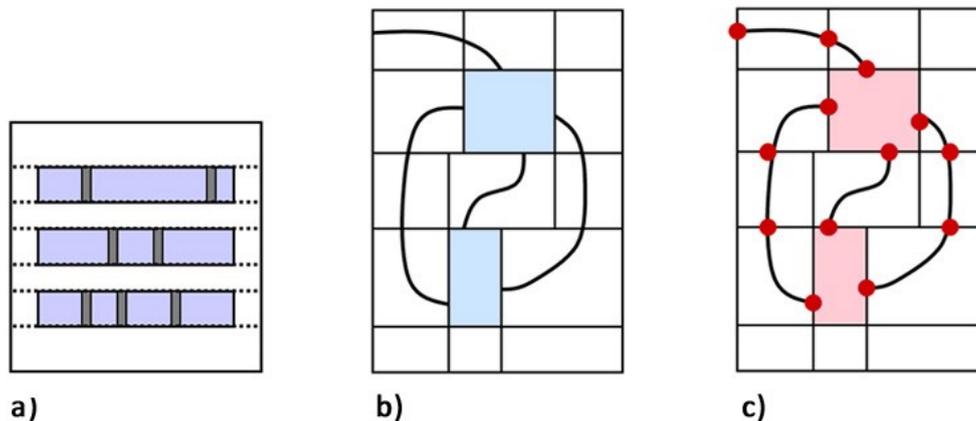


Figure 1.14 : Les étapes du routage global : a) Découpage en régions rectangulaires. b) Assignment des signaux. c) Définition de pins aux frontières des régions.

Ensuite, guidé par les chemins définis lors du routage global, le routage détaillé permet de créer réellement les pistes et vias pour les signaux du circuit. Il existe plusieurs algorithmes de routage détaillé (Maze, Channel, Line-search, Over-the-cell, Switchbox...), chacun disposant de points forts et de points faibles.

Une fois le routage réalisé et optimisé pour les timings, le circuit est soumis à une étape de **Design for Manufacturing**, qui consiste à réaliser diverses optimisations et corrections dans le but d'assurer une durée de vie élevée et une plus grande facilité de fabrication. Par exemple, les corrections des problèmes d'antenne, l'optimisation des vias, l'ajout de métal (pour régulariser problèmes de densité de métal) sont des opérations classiques à ce niveau.

Les **résistances et capacités** parasites sont ensuite extraites, et une nouvelle analyse du timing permet de vérifier que les spécifications sont atteintes. Une dernière étape de vérification permet de vérifier que le circuit ne viole pas de règles de design (**DRC**), qu'il correspond bien aux spécifications de départ (**LVS**).

V - 3. Flot de conception analogique (*Full-Custom*)

Le flot de conception pour les blocs analogiques se déroule similairement au flot numérique. Les étapes sont toutefois bien moins automatisées, le concepteur analogique réalisant la plupart des actions manuellement [Wolf-2002, Tuto-Cadence]. La figure 1.15 illustre ces étapes.

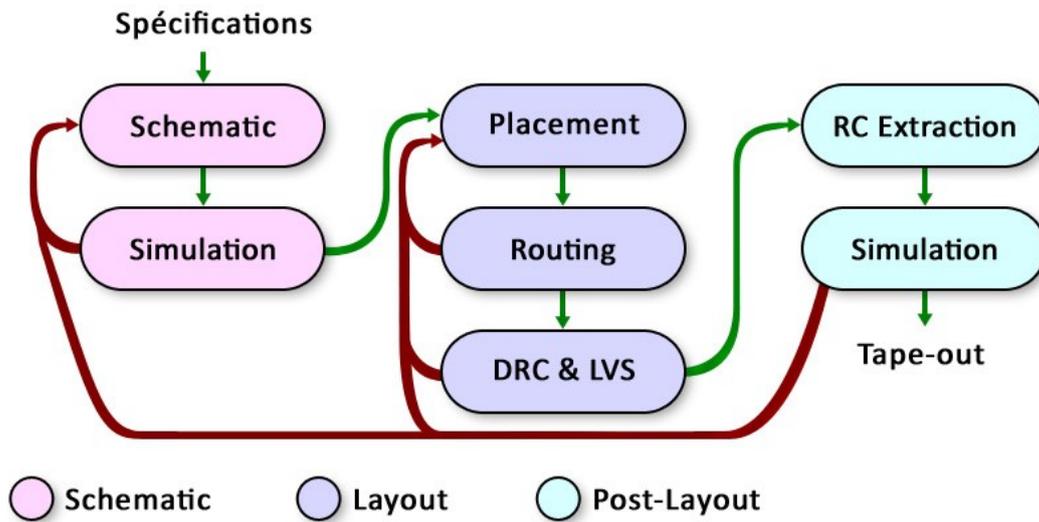


Figure 1.15 : Un exemple simplifié de flot de conception pour les circuits analogiques (flot Full-Custom). On peut séparer le flot en trois parties : la réalisation et validation du schéma, la réalisation du layout, et la validation du circuit.

Une fois la spécification du circuit établie, le concepteur dessine un schéma (*schematic*) qui va représenter le circuit. Ce schéma peut être réalisé sur plusieurs niveaux hiérarchiques, en créant des cellules et en les utilisant dans le schéma global. Le concepteur analogique doit définir tous les paramètres en Full-Custom : la taille des transistors, la valeur des résistances ou des capacités... De ce schéma, on extrait la liste des interconnexions entre les composants du circuit (la netlist), qui va permettre sa **simulation**. Cette première simulation permet de valider le comportement théorique du circuit schématisé.

Lorsque le schéma est validé, le concepteur se lance dans la réalisation du **layout**. Lors de la création d'un nouveau layout, il faut commencer par **placer** les divers composants dans le but d'optimiser la routabilité, la longueur des pistes, l'aire totale, et éviter les congestions... Une aide graphique, sous forme de chevelu (des liens entre les terminaux des composants qui illustrent les liaisons qu'il faudra réaliser), est proposée pour assister le concepteur lors de cette étape de placement. Le but étant souvent de « démêler » les lignes de ce chevelu.

Une fois les composants en place, le concepteur va **router** chaque ligne manuellement, en se basant sur le chevelu, et en se fiant à son expérience pour optimiser le routage. C'est une étape

qui peut être extrêmement consommatrice en temps. Elle est suivie d'une étape de vérification qui consiste à s'assurer que le circuit ne viole pas de règles de design (**DRC**) et que tous les niveaux de description sont bien concordants (**LVS**). En cas d'erreur, des corrections sont effectuées par le concepteur, avec de relancer une vérification.

Lorsque le layout est validé, une extraction des résistances et capacités parasites (**RCX**) est effectuée. Ces parasites sont pris en compte pour la **simulation** « post-layout », qui permet d'obtenir des résultats les plus proches possibles de la réalité. Si le circuit ne répond pas aux spécificités demandées, il faut alors revoir le layout, et, dans certains cas, revoir même le schéma de départ.

Ce flot Full-custom est, comme on l'a vu, très peu automatisé. La plupart des étapes sont réalisées à la main, et requièrent un savoir-faire qui n'a pas encore été automatisé. Les contraintes de fiabilité en courant ne sont pas prises en compte par les outils. Les largeurs des chemins des interconnexions sont donc définies avec des marges importantes pour garantir la bonne fiabilité du circuit.

VI. Constat sur les solutions actuelles

VI - 1. Approche industrielle actuelle

Comme dit précédemment, en Full-Custom, les lignes sont taillées le plus largement possible pour éviter les problèmes liés aux courants. Cette solution n'est pas optimisée au niveau de l'aire totale des interconnexions. De plus, elle n'est pas toujours suffisante. En effet, le layout étant réalisé sans aucune information sur les courants, les chemins qui sont parcourus par de forts courants ne sont pas repérés lors du routage.

L'approche la plus couramment utilisée pour régler les problèmes de Voltage Drop et d'électromigration consiste en des simulations du circuit une fois le layout réalisé. Sur la base des résultats de simulation, les densités de courant sont vérifiées dans chaque ligne des interconnexions du circuit. Les erreurs sont signalées lorsqu'il y a une violation, et le concepteur et/ou un outil automatisé résout les problèmes en augmentant les largeurs des pistes concernées. Mais une telle augmentation peut entraîner un nouveau travail de layout qui peut à son tour faire apparaître de nouveaux problèmes. Le processus de convergence vers une solution sans risque d'erreur est donc relativement long. La parade consistant à prendre des marges très importantes, même si couramment utilisée, reste économiquement discutable.

Il serait donc judicieux que la taille des interconnexions soit par définition aussi proche que possible d'un optimum, c'est-à-dire une taille minimale sans violation de densité. Sans compter que la topologie du routage n'est pas forcément optimisée pour réduire les largeurs des pistes.

VI - 2. Solution proposée

Une prise en compte des contraintes en courant tout au long de la conception permettrait d'éviter d'avoir de lourdes corrections à faire plus en aval dans le flot [Lienig-2002, Adler-2000]. Des données sur les courants sont disponibles dès la fin de la réalisation du schéma, et peuvent donc être utilisées pour guider lors de la réalisation du *layout*. Les travaux de J. Lienig et G. Jerke [Lienig-2003] décrivent un algorithme qui permet de définir une topologie de routage guidée selon les contraintes en courant, tout en tentant de minimiser l'aire de métal des interconnexions.

VII. Conclusion

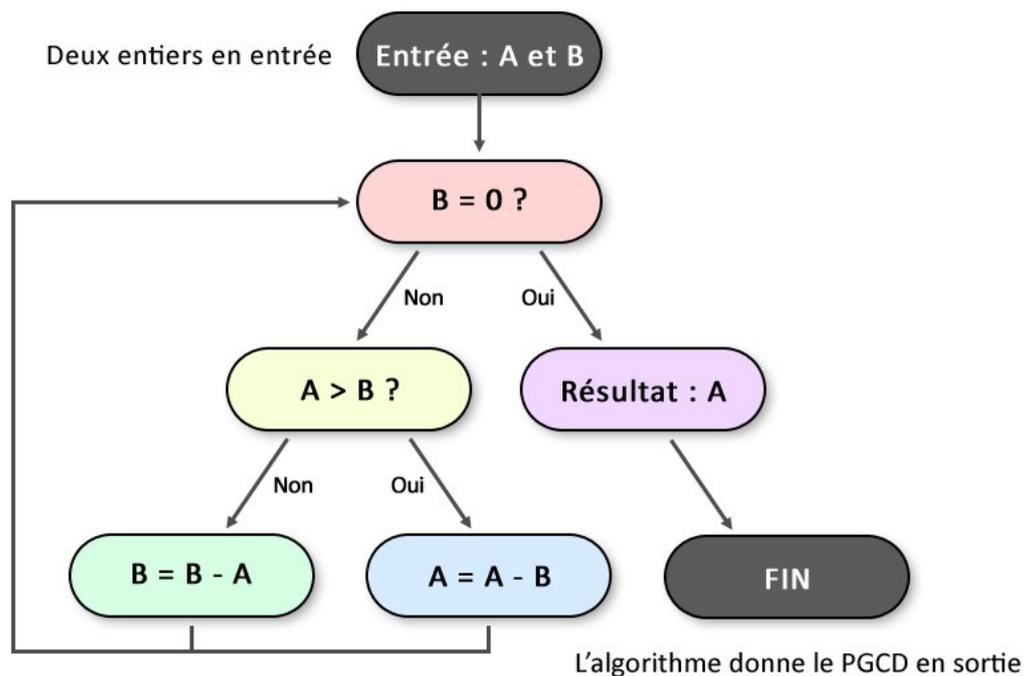
Dans ce chapitre, le problème que représentent les contraintes en courant pour les secteurs à forts courants a été présenté. L'électromigration, un phénomène qui entraîne le transport des atomes de métal à travers les pistes, nuit à la durée de vie des interconnexions en créant des circuits ouverts ou des courts-circuits. Les écarts de tension (*voltage drop*) sont une réduction de la tension entre la source et la charge due à la résistance le long de la ligne. Ils influencent fortement les performances des signaux. Les principaux domaines concernés par ces contraintes sont les secteurs qui nécessitent des circuits analogiques mettant en œuvre de forts courants, comme les secteurs automobile et sans-fil.

La définition d'un circuit intégré, et plus particulièrement d'un ASIC, a ensuite été abordée. Les méthodes de conception ont été présentées, et les flots de conception en numérique puis en Full-custom ont été décrits. Une grande différence entre ces deux flots est l'absence d'automatisation pour l'analogique.

Il a ensuite été vu que les solutions actuelles pour prendre en compte les contraintes en courant, qui consistent en des corrections post-layout, ne sont pas adaptées, et ne convergent pas rapidement. Il existe quelques solutions automatisées, basées sur des algorithmes qui prennent en charge les courants dans les interconnexions. Des solutions qui prennent en charge les contraintes en courant tout au long du flot de conception sont une idée à développer.

CHAPITRE 2

ALGORITHMES DE ROUTAGE CONTRAINTS EN COURANT



Lors de la conception d'un circuit, la phase de routage est une étape clé. En conception analogique, elle est en grande partie réalisée à la main par les concepteurs. Ce chapitre traite de l'utilisation d'algorithmes pour une planification du réseau d'interconnexions avec une optimisation de l'aire des lignes, et une prise en compte des contraintes en courant. Après avoir présenté le contexte, une définition des algorithmes est donnée, il est expliqué comment ils sont appliqués à la microélectronique. La méthode de caractérisation du courant est ensuite dévoilée, suivie de la présentation d'un algorithme exhaustif utilisé pour parcourir toutes les topologies possibles de routage d'une équipotentielle. Enfin, des résultats statistiques réalisés dans le but de trouver les paramètres influençant le routage avec prise en compte des contraintes en courant sont présentées.

Table des matières du chapitre

Introduction.....	43
I - 1. La phase de routage en Full-custom.....	43
I - 2. Définition du problème	44
I - 3. Approches précédentes.....	44
II. Généralités sur les Algorithmes	45
II - 1. Définition d'un algorithme	45
II - 2. Application des algorithmes à la microélectronique.....	46
III. Caractérisation du courant.....	47
III - 1. Récupération des données du courant.....	47
III - 2. Propagation et largeur correspondante	48
IV. Etude d'un algorithme Exhaustif.....	49
II - 1. Théorie	49
II - 2. Fonctionnement	50
II - 3. Limitations	53
V. Recherches statistiques de paramètres.....	54
V - 2. Méthodologie	54
V - 3. Résultats	56
VI. Conclusion	57

Introduction

Les densités de courant excessives dans les interconnexions sont une préoccupation majeure pour les concepteurs. Si elles ne sont pas efficacement atténuées, elles peuvent conduire à des phénomènes : d'électromigration, qui affectent la durée de vie des interconnexions ; de chute de tension (*voltage drop*), qui impactent le comportement et les performances du circuit ; ainsi que de surcharge électrique, pouvant parfois endommager tout ou une partie du circuit.

C'est un problème croissant dans les circuits modernes du fait de la diminution des tailles des lignes de métal et d'une augmentation des courants associés à des tensions d'alimentation plus faibles. Prendre en compte les contraintes en courant durant la génération du dessin physique du circuit (*layout*) est donc devenu primordial pour les applications à fort courant.

Lors de la phase de routage, le courant destiné à parcourir les lignes est rarement pris en compte ou pris en compte au prix d'un surdimensionnement des lignes. Pour les circuits analogiques, la conception est réalisée en *Full-custom*. Le routage détaillé est encore réalisé à la main par les concepteurs, qui ne disposent pas forcément d'un outil pour leur donner des indications pour optimiser le réseau de lignes pour les contraintes comme la densité de courant.

Cette réalisation manuelle est très couteuse, que ce soit en temps ou en ressources. En utilisant un algorithme, qui collecterait les données en courant (disponibles dès la réalisation du *schematic*), il serait possible de savoir quel courant va parcourir les interconnexions. En prenant ces informations en compte, cela permettrait de générer des routages optimisés en courant, qui ne présenteraient pas de violations de densité.

Dans ce chapitre, une approche algorithmique pour l'aide au routage est introduite. Pour commencer, une fois le contexte posé, la définition d'un algorithme est donnée, ainsi que l'intérêt d'utiliser un tel outil en microélectronique. Puis la méthode de caractérisation du courant, indispensable pour que les algorithmes puissent fonctionner, est présentée. Un algorithme exhaustif de routage est ensuite étudié. Il permet de lister toutes les topologies possibles. Enfin, des recherches basées sur des statistiques sont présentées. Ces recherches ont pour but de trouver des paramètres qui permettent de définir une bonne topologie selon les contraintes en courant.

I. Contexte et définition du problème

I - 1. La phase de routage en *Full-custom*

Un bloc analogique est constitué de nombreux composants actifs et passifs qui doivent être interconnectés. Après une première étape de placement qui permet de positionner les composants, la phase de routage permettant leur interconnexion doit être initiée. Actuellement,

cette phase, en conception *Full-custom*, est réalisée manuellement. Des outils peuvent être utilisés pour guider le concepteur, mais il est rare qu'un script automatise totalement cette phase comme dans le flot de conception numérique. En effet, les blocs analogiques ne présentent pas la régularité des blocs numériques, de plus le nombre de contraintes à prendre en compte est important : symétrie, cross-talk, intégrité du signal, fiabilité, règles de dessin, et bien entendu, contraintes en courant.

Les blocs analogiques comportent de nombreux signaux à router en utilisant une surface minimale. Pour chaque fil, il faut donc trouver une surface de routage minimale tout en respectant les nombreuses contraintes. Si les routes de deux signaux indépendants se croisent, il faut changer de niveau de métal. L'ordre dans lequel les fils sont routés est donc important, puisque les derniers à être réalisés sont contraints par l'ensemble des interconnexions déjà routées. Il est donc d'usage de commencer par les fils qui transportent les signaux les plus critiques ou qui présentent les plus fortes contraintes.

I - 2. Définition du problème

La phase de routage en *full-custom* est donc très gourmande en ressources. En effet, le concepteur a besoin de temps pour réaliser un bon routage au travers d'un processus manuel et itératif de routage / vérification. Malheureusement, ces ressources temporelles et qualificatives ont un coût.

C'est pour cette raison qu'il est important de fournir des outils qui assistent le concepteur lors de la réalisation du routage, pour lui donner des indications qui vont l'aider, à défaut de générer le routage de manière totalement automatisée. Avec des indications, le concepteur gagne du temps, et peut optimiser plus facilement le routage, en ne surestimant ou sous-estimant pas des largeurs de ligne.

Il est donc très utile de proposer des algorithmes de routage aux concepteurs. Dans le cas présent, ce sont les algorithmes contraints en courant qui nous intéressent. Ces algorithmes prennent en compte les courants qui vont parcourir les interconnexions. Ils peuvent ainsi proposer des corrections pour la largeur des lignes, voire une topologie de routage avec les bonnes largeurs qui permet d'éviter les violations de densité de courant.

I - 3. Approches précédentes

Jusqu'à présent, mis à part quelques approches comme celles décrites dans les publications [Adler-2000, Adler-2000-2, Lienig-2002], le routage guidé en courant a été implémenté surtout pour les fils d'alimentation et de masse en conception numérique. La génération de ces interconnexions est habituellement réalisée avant celle des signaux, pour obtenir des implémentations planaires sur un ou deux niveaux de métal.

Les premières approches pour router l'alimentation et la masse datent des années 80 [Syed-1982, Moulton-1983, Rothermel-1983, Chowdhury-1987, Haruyama-1987, Mitsuhashi-1992] Elles présentent pour la plupart trois étapes : la construction de la topologie, la détermination de la largeur des lignes et la génération des interconnexions. La topologie est déterminée en se basant sur une largeur standard pour les lignes, sans prendre les courants en compte. En se basant sur cette topologie, le courant est calculé dans les branches, et la largeur des lignes est revue en fonction de celui-ci. Les erreurs DRC qui peuvent survenir sont corrigées à la fin du processus.

D'autres méthodologies ont été présentées [Yim-1999, Tan-1999], présentant diverses améliorations. Toutes ces approches sont limitées aux alimentations et masses, et impliquent des modifications post-routage. Ces modifications sont inévitables puisque les courants parcourant les interconnexions ne sont connus qu'une fois la topologie entièrement décrite.

Les méthodes de routage guidé en courant pour les signaux décrites dans les publications [Adler-2000, Adler-2000-2, Lienig-2002] ont pour but de générer des arbres de Steiner qui respectent les contraintes en courant. La caractérisation du courant est simplifiée, la taille des circuits est limitée, et certaines solutions sont limitées à un seul masque. Ces caractéristiques limitent ces méthodes pour une application à des cas réels.

II. Généralités sur les Algorithmes

II - 1. Définition d'un algorithme

Un algorithme est un moyen de résoudre un problème en utilisant une suite d'instructions définies à l'avance [Knuth-1968, Horowitz-1978]. Il prend diverses informations en entrée, et donne un résultat en sortie. Un algorithme est correct lorsque pour chaque instance, il se termine en produisant une solution, c'est-à-dire qu'il résout le problème posé. Quel que soit le nombre d'instances, un algorithme donne toujours le même résultat pour les mêmes données en entrée.

Pour prendre un exemple, la figure 2.1 illustre le flot de l'algorithme d'Euclide. Cet algorithme simple permet de déterminer le plus grand commun diviseur (P.G.C.D.) de deux entiers dont on ne connaît pas la factorisation (décomposition en produit de nombres premiers). Cet exemple illustre bien le fonctionnement logique d'un algorithme.

On retrouve aujourd'hui des algorithmes dans de nombreuses applications telles que la cryptographie, le routage d'informations, la planification et l'optimisation de ressources, la bioinformatique, et bien entendu, la microélectronique.

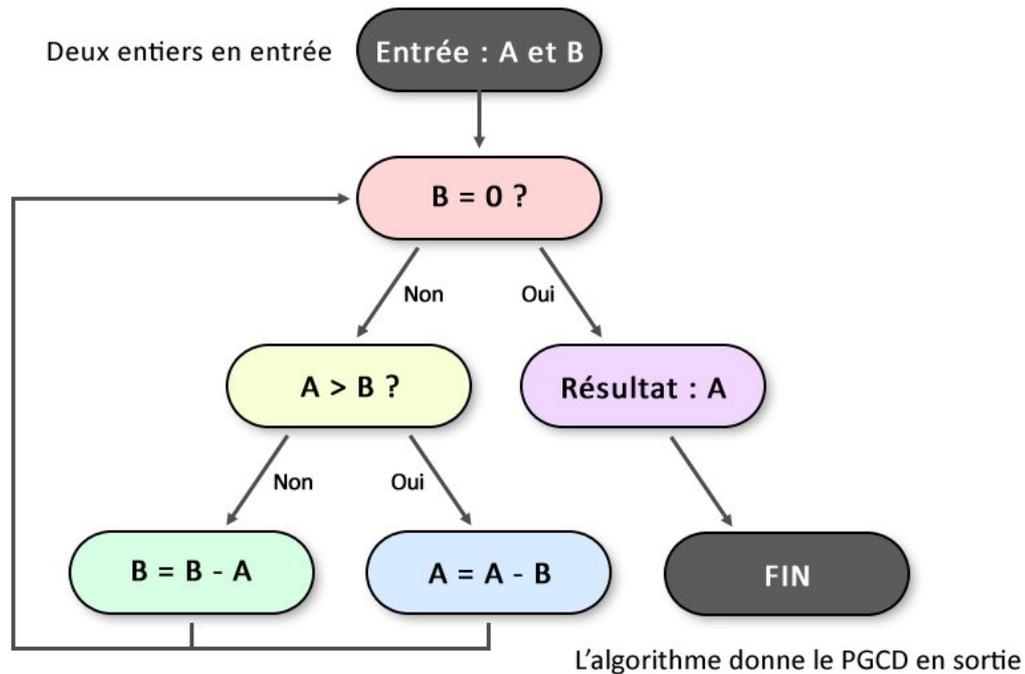


Figure 2.1 : Représentation du flot de l'algorithme d'Euclide, qui permet de trouver le plus grand commun diviseur (P.G.C.D.) de deux entiers.

On mesure l'efficacité d'un algorithme notamment par le temps nécessaire pour produire le résultat attendu et par sa consommation de mémoire RAM (en partant du principe que chaque instruction a un temps d'exécution constant) [Ullman-1984, Papadimitriou-1993, Papadimitriou-1998, Wilf-2002]. Les ordinateurs sur lesquels tournent ces algorithmes ne sont pas infiniment rapides : le temps de machine reste une ressource limitée, malgré une augmentation considérable des performances des ordinateurs ces dernières années. Un algorithme sera donc dit performant s'il utilise avec parcimonie les ressources dont il dispose, c'est-à-dire le temps CPU et la mémoire RAM.

L'analyse de la complexité algorithmique permet de prédire ces consommations [Knuth-1976]. Elle permet d'estimer l'efficacité d'un algorithme à l'aide d'une fonction mathématique en fonction de la taille des variables d'entrée, c'est-à-dire le nombre d'éléments dans les données en entrée. Les algorithmes de graphes, par exemple, ont souvent des entrées avec deux paramètres : le nombre de points p et le nombre de chemins c du graphe. La complexité dépend donc, pour ceux-ci, de p et c .

II - 2. Application des algorithmes à la microélectronique

Concevoir un algorithme efficace pour un problème donné en microélectronique peut s'avérer difficile. Toutefois, il existe une importante collection d'algorithmes optimisés pour un ensemble de problèmes standards. Une approche possible consiste donc à modéliser le problème

donné sous forme de graphe [Hopcroft-1973, Even-1979, Gibbons-1985], puis appliquer un algorithme standard, efficace pour résoudre le type de problème modélisé.

Parmi les algorithmes d'optimisation les plus connus, on trouve le voyageur de commerce (*the traveling salesman*), dont le but est de trouver la route la plus courte pour visiter un certain nombre de « villes » en boucle [Lawler-1985, Cormen-2001]. Il découle d'un autre algorithme, le cycle Hamiltonien, qui consiste à relier tous les points d'un graphe en ne passant qu'une seule fois par point. Le cycle hamiltonien est un algorithme NP-complexe [Plesnik-1979].

De nombreux problèmes en microélectronique sont intrinsèquement difficiles, parce que trouver une solution optimale en respectant un temps d'exécution raisonnable n'est pas toujours possible. Pour ces problèmes, certains algorithmes heuristiques peuvent être appliqués pour trouver une solution acceptable en premier lieu [Reeves-1993]. Si les ressources en temps CPU le permettent, ces algorithmes peuvent ensuite tenter d'améliorer encore le résultat progressivement.

En plus de la modélisation des problèmes sous forme de graphes, il est parfois possible de les transformer en modèles mathématiques, tels que des inégalités linéaires ou des équations non linéaires. Le principal avantage de la modélisation avec une formule mathématique, est qu'il existe beaucoup d'outils puissants qui peuvent résoudre automatiquement ces problèmes mathématiques. Ils peuvent donner de meilleurs résultats que les algorithmes heuristiques abordés dans le paragraphe précédent.

Par exemple, la méthode de Newton-Raphson est un algorithme mathématique [Stott-1971, Baase-1978]. Il est utilisé pour trouver numériquement une approximation précise d'un zéro (ou racine) d'une fonction réelle d'une variable réelle.

III. Caractérisation du courant

III - 1. Récupération des données du courant

Pour travailler sur les courants qui traversent les différentes lignes d'un *layout*, il faut obtenir des données utilisables liées à ces courants. Il est donc nécessaire d'extraire les données en courants lors de la phase de simulations du circuit au niveau électrique.

Une valeur moyenne seule ou une valeur DC ne sont pas assez représentatives, car elles ne prennent pas en compte les pics de courant qui peuvent avoir lieu durant le fonctionnement du circuit. L'idée est donc d'utiliser plutôt un vecteur de valeurs. L'utilisation de ces vecteurs permet « d'échantillonner » les informations concernant les courants, qui peuvent être très variées en analogique (grands domaines de variation, divers modes de fonctionnement, etc...).

Ces valeurs sont obtenues par la réalisation de simulations (DC, AC, et temporelles) au niveau circuit (*schematic*). Plusieurs simulations sont réalisées pour couvrir tous les modes de fonctionnement et différentes températures du circuit. Dans les données fournies par les technologues pour une technologie donnée (*process*), les règles de densité de courant sont définies pour les valeurs moyennes (*avg*), les valeurs efficaces (moyenne quadratique, ou RMS, de l'anglais *Root Mean Square*) et le courant de crête (*peak*). Pour une plus grande précision, il faut prendre en compte ces trois types de courant.

Les vecteurs sont extraits des données de simulations en récupérant les valeurs du courant des terminaux pour les minimums et maximums de courant de chaque terminal d'un fil, comme le montre la figure 2.2. Pour illustrer le concept, chaque vecteur est une sorte d'instantané pris lorsque le courant d'un terminal est au maximum ou au minimum. On peut donc, pour un fil avec n terminaux, avoir $2n$ vecteurs de courant (pour chaque mode de fonctionnement, température ou type de courant). On ne conserve pas toutes les données dans le but de réduire le temps de calcul, sachant que le cas qui nous intéresse est le pire, qui est le plus souvent couvert en utilisant les valeurs extrêmes.

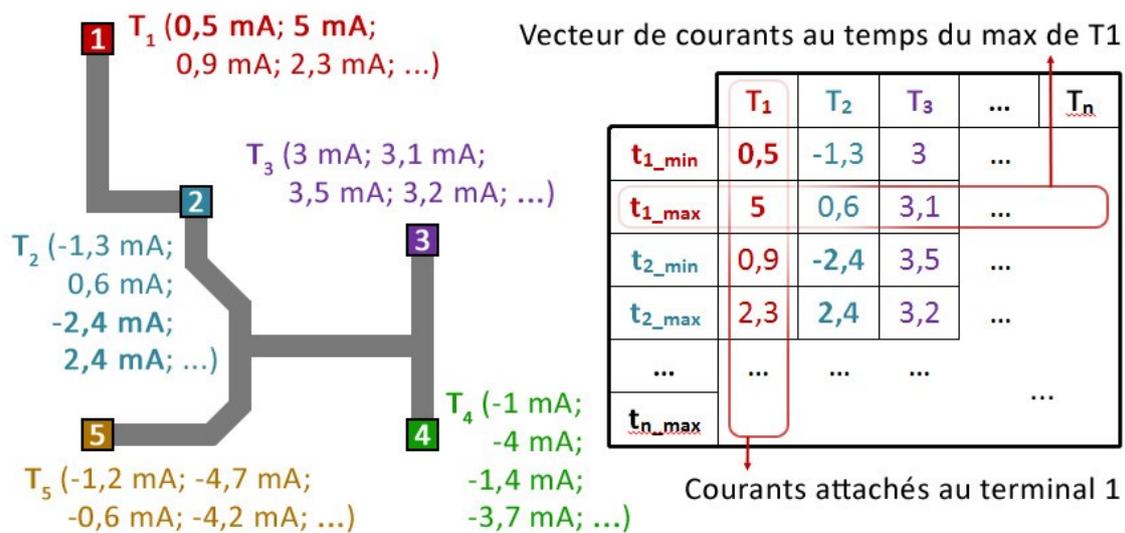


Figure 2.2 : Exemple de vecteurs pour un fil composé de cinq terminaux : pour chaque terminal, un vecteur est créé pour son maximum et son minimum.

III - 2. Propagation et largeur correspondante

Une fois le courant défini pour tous les terminaux d'un fil, il est important de calculer sa répartition dans les différents tronçons métalliques (les routes ou lignes) qui composent les interconnexions. Une fonction a donc été réalisée pour calculer cette répartition. Cette fonction d'évaluation permet de calculer le courant dans les différentes routes d'interconnexion. Les calculs sont réalisés pour l'ensemble des vecteurs de courants (pour chaque mode de fonctionnement et pour différentes températures).

Les vecteurs de courant (que l'on nommera $C(T_i)$, pour le terminal i , par exemple) doivent être propagés lorsqu'un point Steiner est créé dans le réseau ou qu'une route est reliée à un terminal, comme illustré figure 2.3. Dans cet exemple, avant l'ajout du troisième terminal (2.3.a), le courant maximum entre les deux points est celui de T1, soit 5 mA. Une fois le point Steiner créé (2.3.b), le courant maximum entre le terminal T2 et le Steiner est réduit au maximum de T2, soit 2,4 mA. Entre T1 et le Steiner, la valeur de 5 mA est conservée. Et après le point Steiner, il faut faire la somme des vecteurs de T1 et T2, ce qui donne un maximum de 5,6 mA.

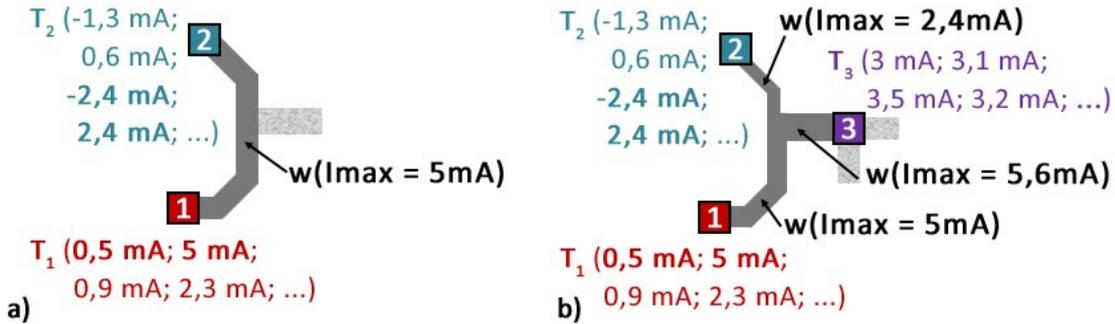


Figure 2.3 : Exemple de propagation des vecteurs lors de l'ajout d'un terminal à l'arbre de routage.

Pour que les largeurs des lignes soient bien adaptées aux courants qui les traversent, la fonction déduit, des informations collectées, la densité pour chaque ligne, et calcule la largeur minimale W_{min} qu'il faudrait prendre pour chaque ligne, en fonction du courant de la ligne i_{max} et la densité maximale autorisée j_{max} (Equation 1). Le $W_{min_process}$ correspond à la largeur minimale que la ligne de métal peut présenter pour la technologie.

$$W_{min} = \max \left(\frac{i_{max}}{j_{max}}, W_{min_process} \right) \quad (\text{Eq. 1})$$

Dans la suite du chapitre, le courant sera désigné par une simple variable I , sans mettre l'accent sur les vecteurs de valeurs, dans le but d'alléger la lisibilité.

IV. Etude d'un algorithme Exhaustif

II - 1. Théorie

Pour commencer, nous avons recherché un algorithme qui permettrait de connaître la meilleure solution, pour avoir une référence. C'est ainsi qu'un algorithme exhaustif a été mis en place. Cet algorithme teste toutes les solutions de routage *terminal-to-terminal* possibles (c'est-à-dire avec des liaisons directes, sans points intermédiaires), et ne conserve que la solution qui propose l'aire minimale des interconnexions tout en disposant de lignes dont les largeurs sont

adaptées aux courants qui les traversent. Il permet en outre d'avoir toutes les solutions possibles, permettant ainsi d'étudier les paramètres influant sur les résultats de routage.

II - 2. Fonctionnement

L'algorithme exhaustif est un algorithme itératif. Son but est de tester tous les cas possibles dans le but de trouver la meilleure solution, celle-ci correspondant à la solution qui répond à la fonction de coût suivante : $f = \min(\text{aire des interconnexions})$ avec des segments dont les largeurs sont ajustées aux courants. Le fonctionnement simplifié de l'algorithme est décrit en pseudo-code dans la figure 2.4.

```

Entrées : Position et vecteurs de courant des terminaux du fil
Sorties : Arbre de routage du fil et les largeurs de chaque branche
// Etape a) Le chevelu (liaisons possibles entre les terminaux) est créé.
edges[] = ListEdges(terms)

// Etape b) L'algorithme lance une itération pour parcourir toutes les possibilités de
combinaisons de n-1 liaisons (n étant le nombre de terminaux).
foreach(ensemble de n-1 edges as edgesSet) {

// Etape c) Si la combinaison est recevable (pas de boucles, ni de discontinuité, l'aire
est calculée.
if(not(discontinuité) et not(boucle)) {
area = GetArea(edgesSet)

// Etape d) Si l'aire est plus petite que l'aire de la meilleure solution actuellement
trouvée, on stocke cette solution (si c'est la première, on la stocke par défaut).
if(area < areaBest ou areaBest n'existe pas) {
areaBest = area
bestSolution = edgesSet
}
}
}
}

```

Figure 2.4: Fonctionnement « pseudo-code » de l'algorithme exhaustif.

Pour commencer, figure 2.4.a, l'algorithme liste toutes les liaisons possibles entre les terminaux (c'est ce qu'on appelle le chevelu, ou *mesh-graph*). C'est parmi ces liaisons que l'algorithme va ensuite tester tous les ensembles possibles de n-1 chemins entre les terminaux, « n » étant le nombre de terminaux (figure 2.4.b). Dans la pratique, une fonction itérative est utilisée.

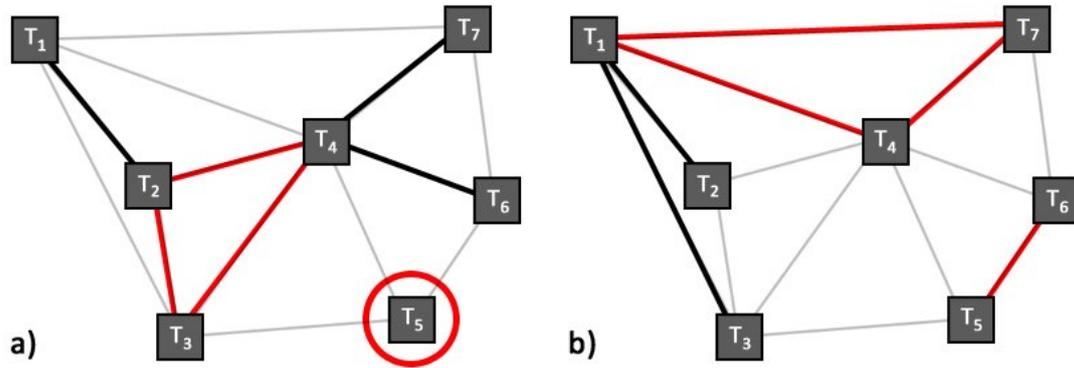


Figure 2.5 : Exemples de topologies non recevables pour un fil composé de sept terminaux, qui présentent des boucles et des terminaux isolés.

Pour chaque combinaison de $n-1$ chemins, il faut vérifier que la topologie est recevable (figure 2.4.c). C'est-à-dire qu'il n'y a pas de discontinuité ou de boucle, comme illustré figure 2.5 avec deux exemples. Pour détecter ces problèmes, il faut vérifier que tous les terminaux sont reliés entre eux. En partant d'un terminal au hasard, il doit être possible de joindre tous les autres en utilisant l'ensemble de chemins sélectionnés par l'algorithme. Si ce n'est pas le cas, c'est qu'un terminal n'a pas été relié aux autres. La présence de boucles n'est pas possible lorsque tous les terminaux sont reliés avec $n-1$ chemins, leur détection est donc incluse lors de la vérification des discontinuités.

Si la topologie est acceptée (pas de boucle ou discontinuité), on peut passer à la suite : l'aire est calculée en fonction du courant qui parcourt les branches du routage. Comme la topologie est complètement définie, on peut calculer le courant dans chaque segment, dont on connaît la longueur. De là, on peut définir une largeur de ligne, et donc en déduire l'aire des interconnexions. Lors de la première itération, la première combinaison est sauvegardée, ainsi que son aire.

L'algorithme parcourt toutes les solutions possibles, et compare à chaque itération l'aire de la combinaison actuelle à celle de la combinaison sauvegardée (figure 2.4.d). Si l'aire de cette combinaison est meilleure (plus faible), on remplace la solution sauvegardée par celle-ci. La boucle prend fin une fois toutes les solutions testées, et la combinaison sauvegardée est donc celle qui présente la meilleure aire : la solution optimale.

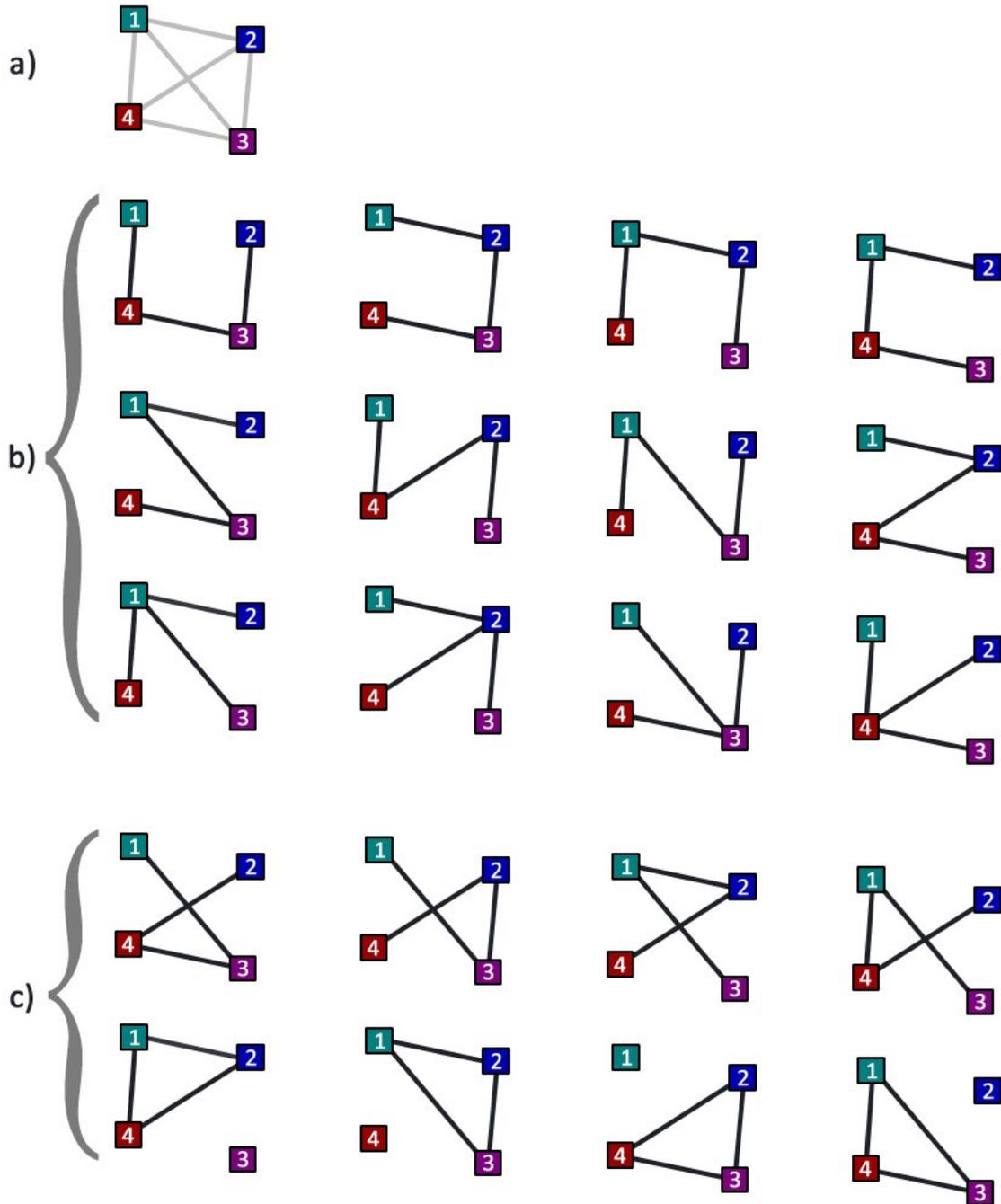


Figure 2.6 : Topologies possibles parcourues par l'algorithme exhaustif pour un exemple simple composé de quatre terminaux.

La figure 2.6 illustre toutes les solutions possibles pour un exemple de fil avec quatre terminaux à relier. Pour cet exemple, il y a six chemins possibles (2.6.a). L'algorithme parcourt au total vingt solutions, mais n'en garde que douze (2.6.b). Les huit dernières (2.6.c) ne sont pas conservées car elles présentent des boucles et discontinuités (comme les quatre dernières, en triangle) ou des croisements (les quatre en forme de X). Ces dernières peuvent être conservées, si

l'on veut travailler sur plusieurs niveaux de masques, mais comme nous avons préféré favoriser un routage planaire (sur un seul masque), les croisements ne sont pas retenus.

II - 3. Limitations

Cet algorithme exhaustif a un très haut niveau de complexité (il nécessite beaucoup de temps et de ressources lorsque le nombre de terminaux augmente), puisqu'il teste toutes les possibilités. Pour un fil avec n terminaux et p liens possibles dans le chevelu, il y a C_{n-1}^p solutions. Pour des cas réels, cela peut amener à des temps de calcul importants. Par exemple, pour un fil avec 10 terminaux et 23 liens possibles entre les terminaux, il y a 817 190 possibilités, en incluant les topologies illégales, qui contiennent des boucles, ou des discontinuités.

Le nombre maximum de liaisons possibles dépend directement du nombre de terminaux, selon l'équation 2 :

$$Edges_{Max} = \sum_1^{n-1} i \quad (\text{Eq. 2})$$

Le nombre de liens peut être diminué en supprimant les liens illogiques ou jugés inapplicables, comme discuté dans le chapitre précédent. Cela permet de diminuer fortement la complexité de l'algorithme exhaustif. Mais il est difficile de définir algorithmiquement qu'un lien est inintéressant.

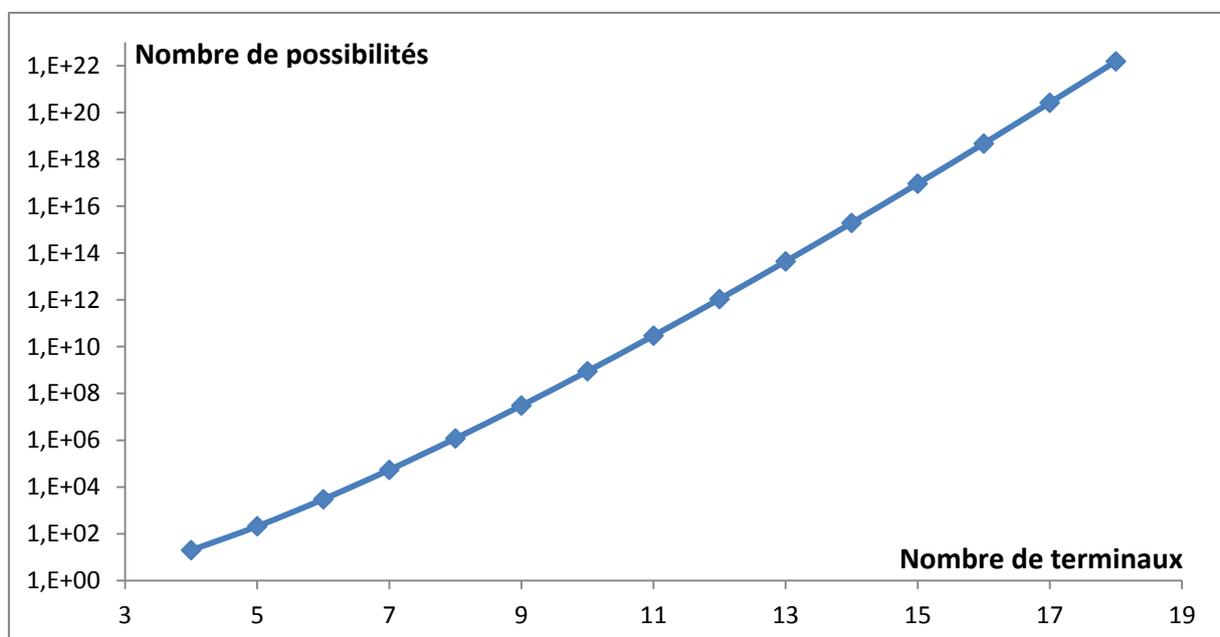


Figure 2.7 : Nombre de possibilités à tester par l'algorithme exhaustif en fonction du nombre de terminaux, en supposant que le nombre de liaisons potentielles respecte l'équation 1.

La figure 2.7 illustre le nombre de possibilités en fonction du nombre de terminaux n , pour le nombre maximum de liens d'après l'équation 1 et illustre l'augmentation exponentielle du nombre de solutions. Cette augmentation implique des temps de calcul très importants qui excluent toute possibilité d'utilisation dans le cas de circuits réels.

Par exemple, pour un fil composé de 12 terminaux et 78 liens possibles, il a fallu plus de dix heures pour obtenir la meilleure solution avec un processeur Intel Core2 Quad cadencé à 2,50 GHz. Il est donc inenvisageable d'utiliser cet algorithme sur des circuits réels, composés de milliers de fils, même avec une puissance de calcul accrue, car le temps de calcul serait rédhibitoire.

V. Recherches statistiques de paramètres

V - 1. But de la recherche

Malgré l'impossibilité d'utiliser l'algorithme exhaustif en l'état pour des cas réels, celui-ci reste très utile pour réaliser des analyses. Dans le but de concevoir un algorithme contraint en courant efficace, nous avons effectué des recherches dans le but de trouver des critères qui définissent une bonne topologie (toujours selon le point de vue des violations de densité de courant et de l'aire minimale). L'algorithme exhaustif a donc permis de réaliser des analyses statistiques sur un grand nombre de cas d'école, pour étudier ces paramètres.

V - 2. Méthodologie

Afin de trouver les critères, de nombreux cas d'études ont été définis, avec des variations au niveau du nombre de terminaux et des distributions des courants. En utilisant l'algorithme exhaustif, toutes les topologies possibles sont sauvegardées, et classées par aire croissante, de la meilleure à la moins optimisée.

De ces ensembles de topologies, des statistiques sont extraites, en se basant sur les meilleurs cas (le premier dixième des topologies, c'est-à-dire les combinaisons aux aires les plus faibles) et les pires cas (le dernier dixième, les topologies qui présentent les plus grandes aires d'interconnexions). En se basant sur ces deux échantillons, nous avons essayé de mettre en évidence des tendances sur les critères permettant d'obtenir un bon ou un mauvais routage contraint en courant.

Les statistiques portent sur divers éléments :

- **L'occupation des chemins.** C'est un indice qui indique l'utilisation d'un chemin entre deux terminaux dans les topologies. Plus il est élevé, plus le chemin est utilisé dans les combinaisons. En étudiant cet indice pour les meilleures topologies, on peut voir quels chemins sont favorisés.

- **Le « fan-out » des terminaux.** C'est le nombre de chemins reliés à chaque terminal. Cet indice est par exemple utile pour voir si une formation en « étoile » (c'est-à-dire que les chemins partent d'un seul point) est plus performante qu'une formation en chaîne (chaque terminal est relié à un autre). Il permet de voir si certains terminaux sont reliés souvent à plus d'un, ou si certains sont plutôt en bout de chaîne.
- **Le poids du nœud.** Il correspond à la somme des longueurs des chemins reliés au terminal (dans sa version normalisée, cette somme est divisée par la longueur du chemin le plus long).
- **Le courant du nœud.** C'est la somme des courants des chemins reliés au terminal.

D'autres éléments ont été relevés dans le but de trouver un motif logique, comme l'exponentielle du poids et du courant au carré.

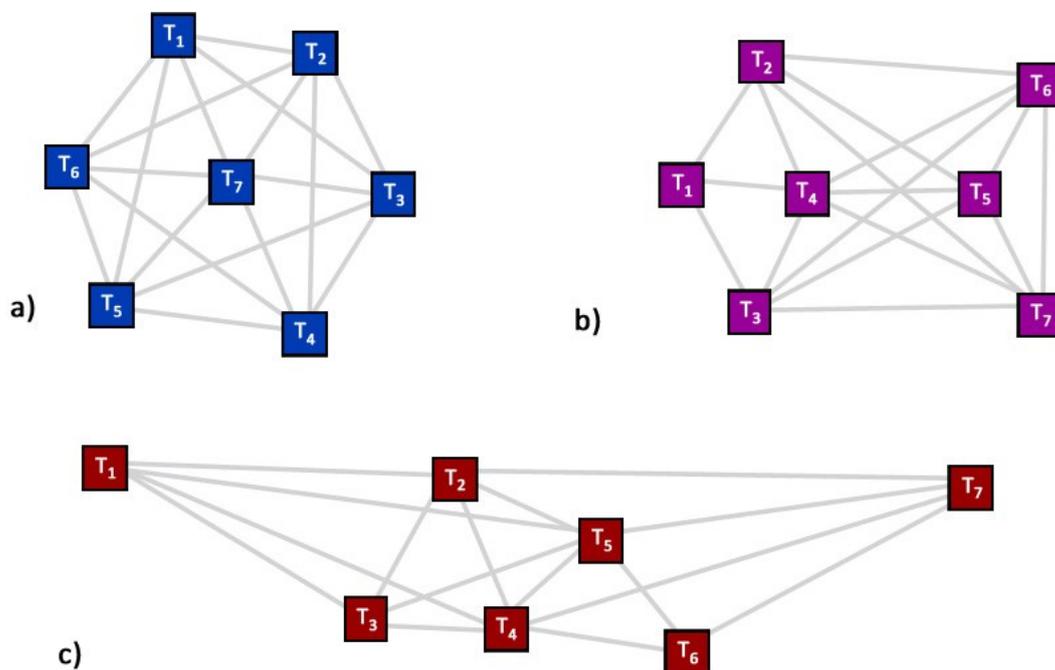


Figure 2.8 : Exemples de configurations de placement des terminaux pour les expériences, pour sept terminaux : a) formation en étoile, b) deux « groupes », c) deux points excentrés.

Au départ, les cas d'étude ont été générés aléatoirement, que ce soit pour la position des terminaux ou pour les distributions des courants. Mais il était très difficile de faire ressortir des résultats utilisables. Des ensembles bien définis de tests ont donc été mis en place.

Pour commencer, la position et le nombre des terminaux ont été définis arbitrairement pour plusieurs expériences. Le but étant de créer des cas qui représentent diverses situations possibles. Par exemple, la figure 2.8 illustre trois configurations pour des groupes de sept terminaux, qui présentent des spécificités. Dans la première formation (a), le terminal 7 est un point central, dans

la seconde (b), on peut distinguer deux groupements de terminaux, et dans la troisième (c), deux points sont excentrés.

Pour chaque configuration de terminaux, les distributions des courants ont été fixées, comme indiqué dans le tableau 2.9.

La simulation a.0 est utile pour obtenir les solutions sans la prise en compte des courants. Elle a pour but de permettre une comparaison, et de chercher des liens, car la meilleure solution sans les courants est trouvée en utilisant un algorithme d'arbre couvrant de poids minimal (*minimum spanning tree*). La possibilité de partir de cette solution et de l'améliorer par rapport aux courants étant très intéressante.

Simulation	Distribution des courants
Simu a.0	Tous les courants à zéro, dans le but de comparer.
Simu b.i	Courant fort sur le terminal i, faible sur les autres.
Simu c.ij	Courants forts sur les terminaux i et j, faible sur les autres.
Simu d.ij	Courant fort positif sur le terminal i, fort négatif sur le j, faible sur les autres.

Figure 2.9 : Tableau des simulations réalisées pour chaque configuration de terminaux pour les cas d'étude.

Les simulations suivantes (b, c, d) sont réalisées pour observer l'effet de la présence d'un ou plusieurs puits ou sources qui dominent les autres, et ainsi mettre en évidence l'influence du courant dans les topologies.

V - 3. Résultats

Toutes ces configurations, en placement et en courant, ont permis de récolter de très nombreuses données, qu'il a fallu compiler et mettre en forme pour obtenir des résultats exploitables. Malgré une étude poussée des données une fois mises en forme, nous n'avons pas réussi à faire ressortir de critère valable d'un point de vue algorithme (critère quantifiable, modélisable).

Toutefois, empiriquement, quelques points importants semblent ressortir. En effet, visuellement, un concepteur peut déterminer par exemple quelles liaisons sont inintéressantes. Mais il n'est malheureusement pas possible de fournir à un algorithme le « ressenti » d'un concepteur. En affichant le pourcentage d'occupation des chemins (sous forme de tableau et d'histogramme), on peut voir que certains chemins sont favorisés.

Pour donner un exemple, les figures 2.10 et 2.11 sont basées sur les meilleures solutions fournies par l'algorithme exhaustif, pour une configuration spatiale de sept terminaux, et 49 distributions de courants (selon le tableau 2.9). On observe que dans la plupart des cas, les

chemins les plus longs sont les moins utilisés dans ces topologies. Toutefois, l'écart d'occupation n'est pas assez important (écart-type de 0,12) pour en faire un critère à part entière.

Chemin	(1 - 2)	(1 - 3)	(1 - 4)	(1 - 7)	(2 - 3)	(2 - 4)	(2 - 5)
Longueur	0,527	0,925	1,013	1,306	0,637	0,557	0,961
Occupation	55,6%	39,3%	32,2%	25,2%	54,6%	62,3%	30,9%

Chemin	(3 - 4)	(3 - 5)	(4 - 5)	(4 - 6)	(4 - 7)	(5 - 6)	(6 - 7)
Longueur	0,908	1,135	0,545	0,761	0,626	0,649	0,690
Occupation	32,2%	36,9%	53,2%	41,0%	59,3%	55,5%	54,1%

Figure 2.10 : Tableau représentant l'occupation des chemins et leur longueur pour les meilleures solutions pour une configuration de sept terminaux et un ensemble de distributions de courant (49 au total).

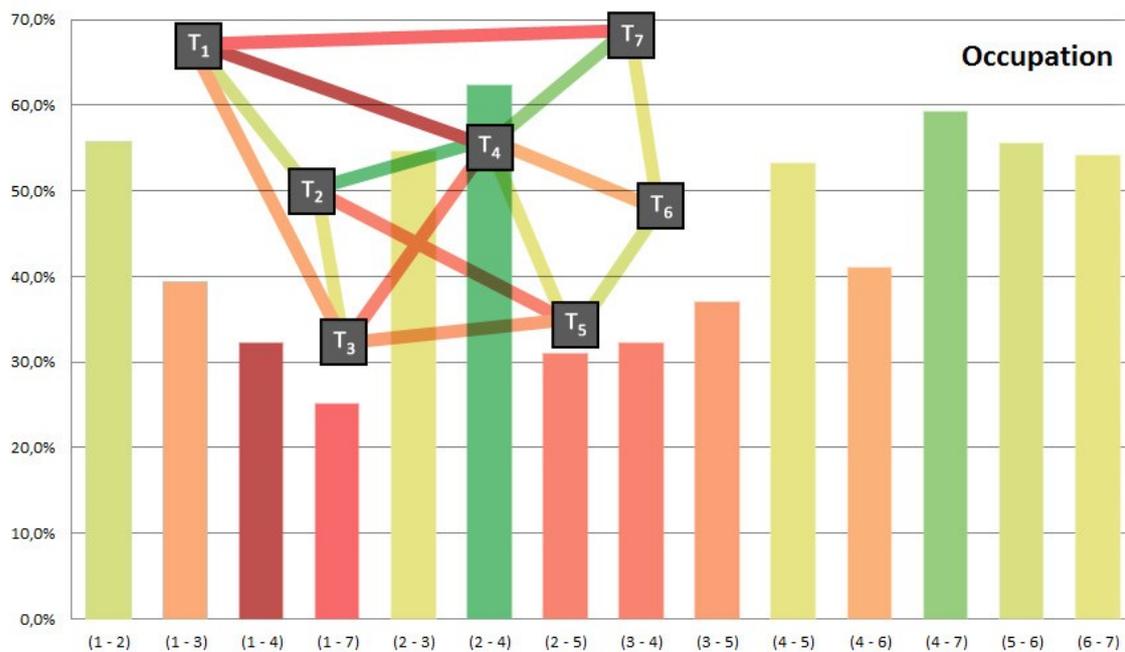


Figure 2.11 : Pourcentage d'occupation des chemins pour les meilleures solutions pour une configuration de sept terminaux et un ensemble de distributions de courant (49 au total).

VI. Conclusion

Dans ce chapitre, l'utilisation d'algorithmes pour faciliter la prise en compte de contraintes lors de la phase de routage a été étudiée. Plutôt que d'effectuer des corrections après le routage, qui entraînent des violations de DRC et donc nécessitent des corrections qui peuvent se révéler longues, la prise en compte de contraintes telles que les densités de courant peut se faire durant la phase de routage, plus précisément lors de la planification du réseau d'interconnexions.

A l'aide d'algorithmes, il est possible d'optimiser le routage pour obtenir une aire minimum tout en protégeant les lignes contre les effets néfastes du courant (comme l'électromigration). Pour prendre en compte ces courants, une caractérisation représentative est indispensable. Une méthode pour obtenir des vecteurs de courants, utilisables par les algorithmes, a été présentée.

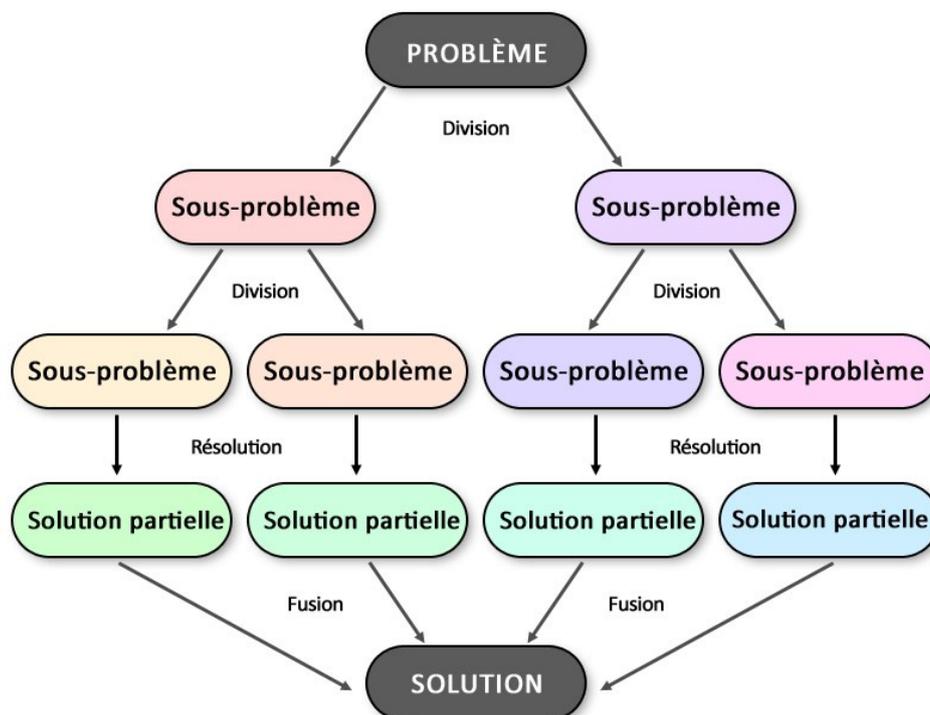
Un algorithme exhaustif a ensuite été étudié. Il parcourt itérativement toutes les topologies possibles, et permet d'obtenir systématiquement celle qui présente l'aire minimale. Toutefois, sa forte complexité le rend inutilisable pour des solutions commerciales sur des cas réels, son temps de calcul devenant très important lorsque le nombre de terminaux augmente (plus de dix heures pour 12 terminaux et 78 liens possibles, avec un processeur Intel Core2 Quad cadencé à 2,50 GHz).

Des recherches statistiques ont ensuite été présentées. Elles ont pour but l'analyse de critères d'une bonne topologie avec respect des contraintes en courant. Pour les réaliser, de nombreux cas d'étude, avec diverses configurations spatiales et distributions de courants, ont été soumis à l'algorithme exhaustif, qui a classé toutes les topologies possibles pour chaque cas. De ces données, des paramètres ont été extraits (occupation des chemins, fan-out, poids, courants des nœuds...).

En dépit de nombreuses tentatives, l'analyse de ces paramètres n'a pas permis de définir des critères pour sélectionner les chemins les plus probants valables d'un point de vue algorithme (c'est-à-dire modélisables). Toutefois, il est ressorti de cette recherche un lien intéressant entre la distance entre les terminaux et l'occupation des chemins, malgré l'influence des courants. En effet, les terminaux proches les uns des autres ont tendance à être reliés ensemble, malgré des changements des valeurs de courant. Tandis que pour les plus grandes distances, les courants deviennent un facteur prédominant.

CHAPITRE 3

OPTIMISATION DE LA GENERATION D'INTERCONNEXIONS SOUS CONTRAINTES EN COURANT



Dans le chapitre précédent, l'idée d'utiliser des algorithmes pour une planification du réseau d'interconnexions avec une optimisation de l'aire des lignes et une prise en compte des contraintes en courant a été présentée. Dans ce chapitre, deux algorithmes sont présentés. Pour commencer, un algorithme « glouton », réalisé par G. Jerke et J. Liening, est étudié, ses points forts et ses faiblesses sont mis en avant et une piste d'amélioration est proposée. Un second algorithme, basé sur la technique de « Diviser pour régner », est ensuite présenté. Une comparaison entre les algorithmes est enfin effectuée pour mettre en avant les résultats.

Table des matières du chapitre

Introduction.....	61
I. Retour sur les algorithmes	61
I - 1. La phase de routage et les algorithmes.....	61
I - 2. Définition du problème	62
II. Etude d'un algorithme contraint en courant	62
II - 1. Présentation.....	62
II - 2. Fonctionnement	62
II - 3. Points forts et points faibles	67
III. Pistes d'amélioration.....	68
III - 1. Etude du point de départ.....	68
III - 2. Autres améliorations possibles.....	71
IV. Algorithme <i>Divide & Conquer</i>	72
IV - 1. Théorie	72
IV - 2. Fonctionnement	73
IV - 3. Points forts et points faibles	76
V. Résultats.....	76
VI. Conclusion	77

Introduction

Dans les chapitres précédents, nous avons expliqué qu'il est important de prendre en compte au plus tôt les contraintes de densité de courant dans les interconnexions durant la création d'un bloc analogique fort courant pour éviter les problèmes comme l'électromigration, les écarts de tension et les surcharges électriques.

Pour les circuits analogiques, la conception est réalisée en *Full-custom* et le routage détaillé est encore réalisé en grande partie à la main par les concepteurs. Une réalisation très couteuse, que ce soit en temps ou en ressources. Pour qu'ils puissent prendre en compte les contraintes en courant lors de cette étape, il est important de leur fournir des outils adaptés, qui les assistent et les guident, voire réalisent le routage.

L'utilisation d'algorithmes qui interprètent les données de courant (disponibles dès la réalisation du *schematic*) est utile pour concevoir des interconnexions qui ne violent pas les densités de courant. Dans le chapitre précédent, une introduction sur les algorithmes a été présentée, puis un algorithme exhaustif pour les topologies de routage a été développé, et une recherche pour trouver les critères d'une bonne topologie a été menée.

Dans ce chapitre, fort des études préalables présentées dans le chapitre précédent, deux algorithmes de planification du routage contraints en courant sont introduits. Tout d'abord, un algorithme « glouton », réalisé par G. Jerke et J. Liening, est étudié, ses points forts et ses faiblesses sont mis en avant et une piste d'amélioration est proposée. Il est suivi par un algorithme « *Divide & Conquer* », basé sur une technique de séparation des terminaux en sous-ensembles et sur l'utilisation de solutions exhaustives. Finalement, un comparatif des résultats de cet algorithme face à l'algorithme glouton est présenté.

I. Retour sur les algorithmes

I - 1. La phase de routage et les algorithmes

Comme précisé dans l'introduction, la phase de routage est réalisée, en *Full-custom*, manuellement. Toutefois, le concepteur n'est pas obligé de réaliser toutes les géométries en ne se basant que sur ses connaissances et son expérience. Des outils peuvent l'assister et lui fournir des indications sur la marche à suivre, lui conseiller une topologie de routage et lui recommander des largeurs pour les lignes.

En utilisant des algorithmes, on peut ainsi récupérer les données en courant d'un circuit, à partir de simulations du schéma (la caractérisation du courant est expliquée dans le chapitre précédent). Ces algorithmes peuvent ensuite réaliser une planification du réseau

d'interconnexions qui compose le fil, dans le but de respecter les contraintes imposées par les densités de courant, tout en minimisant l'aire totale des interconnexions.

I - 2. Définition du problème

Dans le chapitre précédent, un algorithme exhaustif pour la définition de la topologie de routage par rapport aux contraintes en courant a été étudié. Son temps de calcul étant trop important, il est impossible de l'utiliser en l'état dans l'industrie. Nous nous sommes donc penchés sur l'étude d'autres algorithmes, dans le but de trouver des solutions efficaces et dont les temps de calculs sont compatibles avec une utilisation commerciale.

II. Etude d'un algorithme contraint en courant

II - 1. Présentation

Dans une publication datant de 2003 [Lienig-2003], Jens Lienig et Göran Jerke présentent un outil de planification (*wire planning*) guidé en courant. Cette approche se base sur une caractérisation précise du courant basée sur des vecteurs, une planification du réseau d'interconnexions qui prend en compte les contraintes en courant, et un routage détaillé avec des largeurs de lignes variables selon les courants qui les parcourent. La planification des lignes détermine les liaisons d'un fil en calculant un réseau de routes avec des lignes dont les aires sont minimisées sans violation des densités de courant. Une fois cette étape réalisée, il reste à réaliser le routage en respectant les largeurs recommandées.

II - 2. Fonctionnement

Le fonctionnement de la solution de Jens Lienig et Göran Jerke est détaillé dans la suite.

a. Planification du réseau

La méthode est basée sur le concept que pour que le routage puisse prendre en compte les courants, il faut régler le problème posé par l'altération des valeurs des courants dans les connexions déjà routées lorsqu'un nouveau terminal est relié. Ce problème est illustré figure 3.1, avec l'ajout du terminal 3 au routage. Cet ajout change la répartition du courant dans une des branches déjà routées.

Dans le but de permettre un calcul des courants, basé sur les lois de Kirchhoff (qui stipulent que la somme des courants d'un fil est nulle), et ce même en routant seulement les premiers segments du fil, il est nécessaire de connaître l'ordre dans lequel tous les terminaux seront connectés. Ainsi, lors de l'ajout de connexions qui lieront directement un nouveau terminal à un autre terminal prédéfini, cela n'aura pas d'influence sur les valeurs de courants calculées dans les segments routés précédemment.

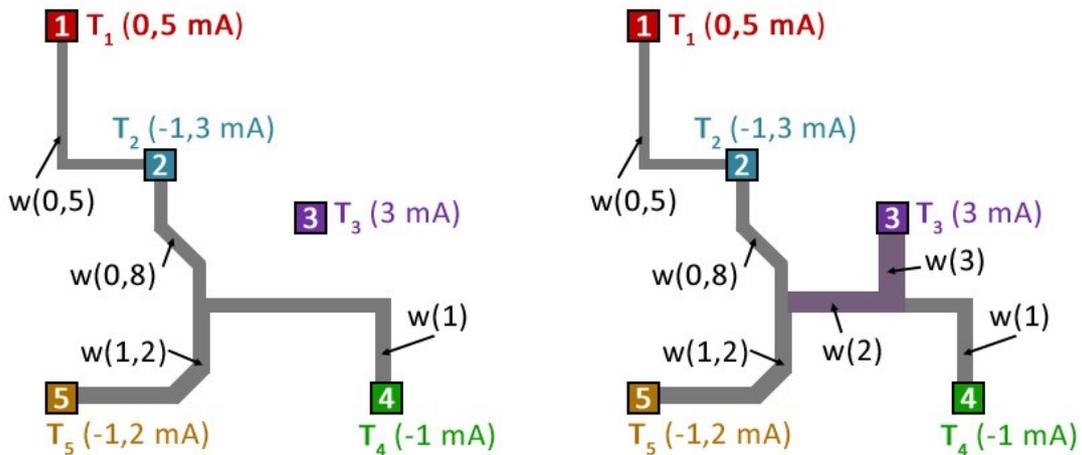


Figure 3.1 : Exemple d'altération des largeurs de lignes lors de l'ajout d'un terminal à un routage. Une seule valeur du vecteur de courants a été gardée, pour ne pas surcharger l'affichage.

L'étape de planification est donc chargée d'établir un arbre de routage qui définit l'ordre dans lequel les terminaux devront être reliés lors du routage détaillé. Un autre de ses objectifs est de minimiser l'aire totale du fil. En effet, outre l'intérêt de créer des routages qui ne présentent pas de violations de densité de courant, il est important de minimiser les aires pour ne pas augmenter les coûts de fabrication.

En utilisant les lois de Kirchhoff, l'outil peut calculer le courant dans les branches qu'il veut connecter. Les auteurs définissent un indice, le CCA (*Current Connection Area*), qui représente l'aire de la surface lors de la connexion d'un terminal à un autre :

$$CCA(T_i, T_j) = d_{i,j} \cdot w_{i,j} \quad (\text{Eq. 1})$$

Avec $d_{i,j}$ la distance entre les terminaux T_i et T_j , et $w_{i,j}$ la largeur de ligne pour la connexion entre les terminaux T_i et T_j (déterminée selon le courant qui la traverse). L'objectif principal de l'algorithme de planification est de minimiser le CCA global de chaque fil.

Le fonctionnement de l'algorithme est décrit dans la figure 3.3, et illustré par la figure 3.2 pour un exemple avec 7 terminaux. Il est basé sur un chevelu qui connecte chaque terminal avec ses plus proches voisins qui n'ont pas encore été traités (étape a des figures 3.2 et 3.3). Les deux points qui vont servir de départ pour l'arbre de routage sont sélectionnés arbitrairement en prenant un terminal de la bordure extérieure du chevelu et son plus proche voisin (étape b des figures 3.2 et 3.3).

L'algorithme va ensuite calculer le CCA pour les points les plus proches de chacun des deux points de départ. Le terminal qui obtient le plus faible indice CCA, qui correspond donc à l'augmentation la plus faible de l'aire globale, est sélectionné pour être le suivant dans l'ordre de

routage. Cette étape est répétée en utilisant les plus proches voisins des deux derniers points (étape c des figures 3.2 et 3.3), jusqu'à ce que tous les points soient reliés.

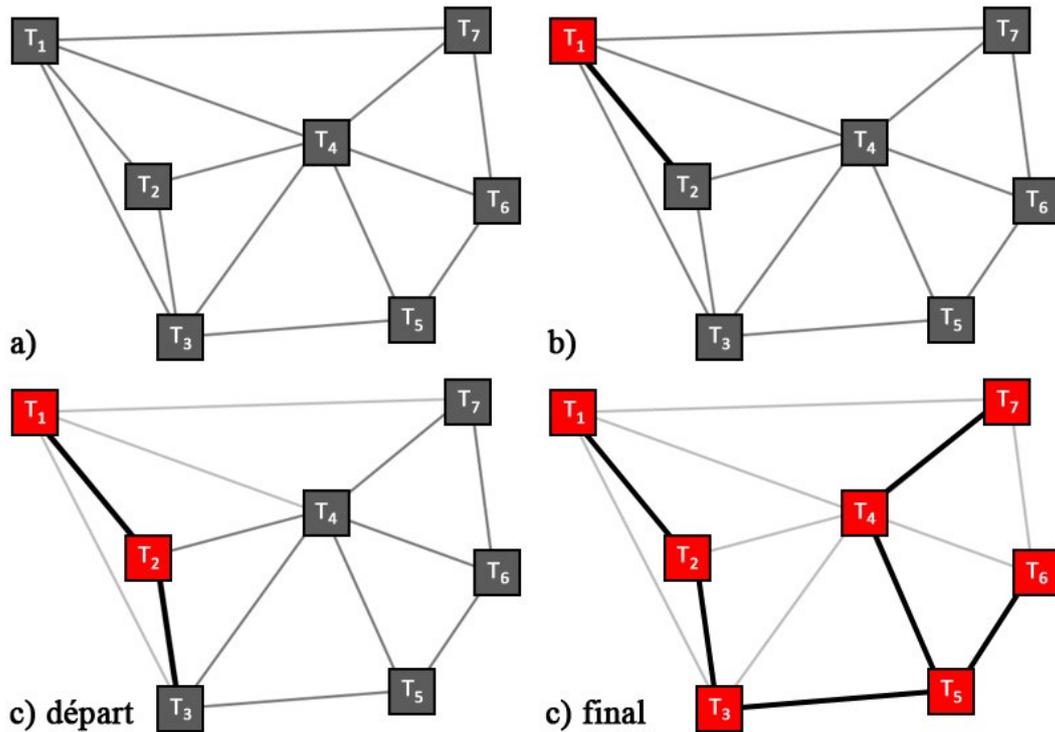


Figure 3.2 : Illustration graphique simplifiée des étapes principales de l'algorithme de planification pour un exemple avec sept terminaux. Les vecteurs de courant utilisés ne sont pas précisés pour ne pas alourdir l'affichage.

Entrées : Position et vecteurs de courant des terminaux du net

Sorties : Arbre de routage du net qui précise l'ordre dans lequel les terminaux doivent être connectés et les largeurs de chaque branche

```
// Etape a) Le chevelu (liaisons possibles entre les terminaux) est créé.
edges = ListEdges(terms)

// Etape b) Sélection arbitraire d'un terminal de la bordure du chevelu et de son
// plus proche voisin pour assigner la première route
Tstart = GetBoundaryTerm(terms, edges)
Tnext = GetNearestTerm(Tstart)
routes[] = AddRoute(Tstart, Tnext)

// Etape c) Génération de l'arbre de routage en prenant à chaque itération 3
// terminaux en compte : le terminal actuel Tnow, le précédent Tprev, et le prochain
// Tnext.
Tprev = Tstart
Tnow = Tnext
while(terminalsLeft > 0) {

// Tant que tous les terminaux ne sont pas assignés, on récupère les plus proches
// voisins (non assignés) des terminaux Tnow et Tprev
Tprev-next = GetNearestTerm(Tprev)
Tnow-next = GetNearestTerm(Tnow)

// Pour les connexions {Tprev,Tnow,Tnow-next} et { Tnow,Tprev,Tprev-next}, on
// calcule le CCA
CCAnow = Distance(Tprev,Tnow) * Width(Current(Tprev,Tnow))
        + Distance(Tnow,Tnow-next) * Width(Current(Tnow,Tnow-next))
CCAPrev = Distance(Tnow,Tprev) * Width(Current(Tnow,Tprev))
        + Distance(Tprev,Tprev-next) * Width(Current(Tprev,Tprev-next))

// On garde le segment qui obtient le meilleur CCA, et on continue ainsi.
if(CCAnow < CCAPrev) {
    routes[] = AddRoute(Tnow,Tnow-next)
    terminalsLeft = Remove(Tprev)
    Tprev = Tnow-next
} else {
    routes[] = AddRoute(Tprev,Tprev-next)
    terminalsLeft = Remove(Tnow)
    Tnow = Tprev-next
}
}
```

Figure 3.3 : Fonctionnement « pseudo-code » de l'algorithme de planification du réseau d'interconnexions. Les étapes correspondent à celles illustrées dans la figure 3.2.

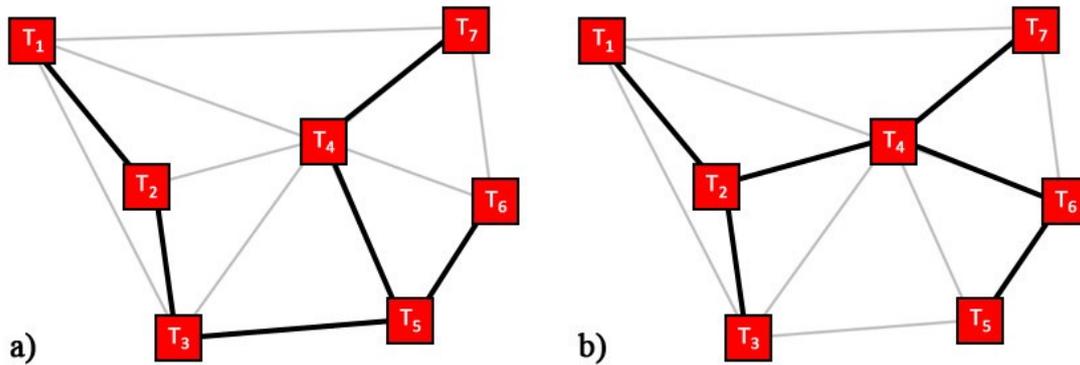


Figure 3.4 : Résultat obtenu avec l'algorithme (a) et avec un arbre couvrant de poids minimal (b).

A chaque nouvelle branche, le vecteur de courants de la nouvelle connexion est mis à jour (propagé), comme expliqué précédemment. Cette méthode permet d'obtenir une surface de lignes plus faible qu'en utilisant simplement un algorithme d'arbre couvrant de poids minimal (en considérant toujours les largeurs des branches en fonction des courants), comme illustré figure 3.4. En testant avec l'exemple de la figure 3.4, on obtient une aire 18 % plus importante avec la solution b qu'avec la solution a.

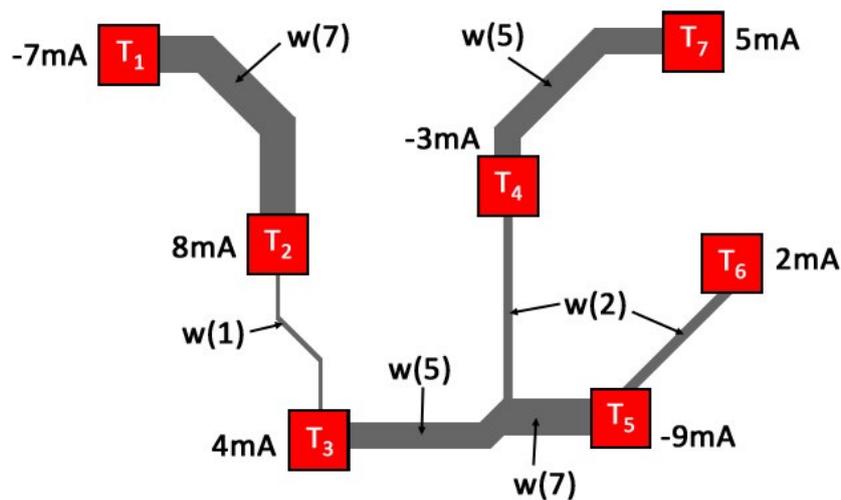


Figure 3.5 : Le routage détaillé pour l'exemple de la figure 3.2, avec les largeurs adaptées aux courants. Une seule valeur de courant est affichée, plutôt que des vecteurs, pour faciliter la lisibilité.

b. Routage détaillé

Une fois la planification effectuée, il reste à définir le chemin exact de chaque branche des interconnexions, et le masque de métal qui sera utilisé, comme illustré figure 3.5. Cela peut se faire manuellement en suivant les indications de la planification. Les auteurs utilisent dans leur publication un routeur point-à-point, qui peut prendre les largeurs des lignes variables en

considération. Il permet aussi de créer des points Steiner (on peut le voir dans la figure 3.5 avec la connexion T_3, T_4, T_5).

II - 3. Points forts et points faibles

La solution proposée par Jens Lienig et Göran Jerke repose sur une planification basée sur un algorithme glouton (dans la suite, cet algorithme sera appelé « algorithme glouton »). Un algorithme glouton procède étape par étape par un choix d'optimum local mais aucune garantie n'est apportée sur l'obtention d'un optimum global. La planification proposée n'aboutissant pas systématiquement à la solution optimale, on la qualifiera plutôt d'heuristique gloutonne.

Cet algorithme est très performant en terme de rapidité et de ressource mémoire. Sa complexité augmente linéairement par rapport au nombre de terminaux (il effectue un seul choix pour chaque terminal à relier). Les solutions proposées sont bonnes, à défaut d'être optimales.

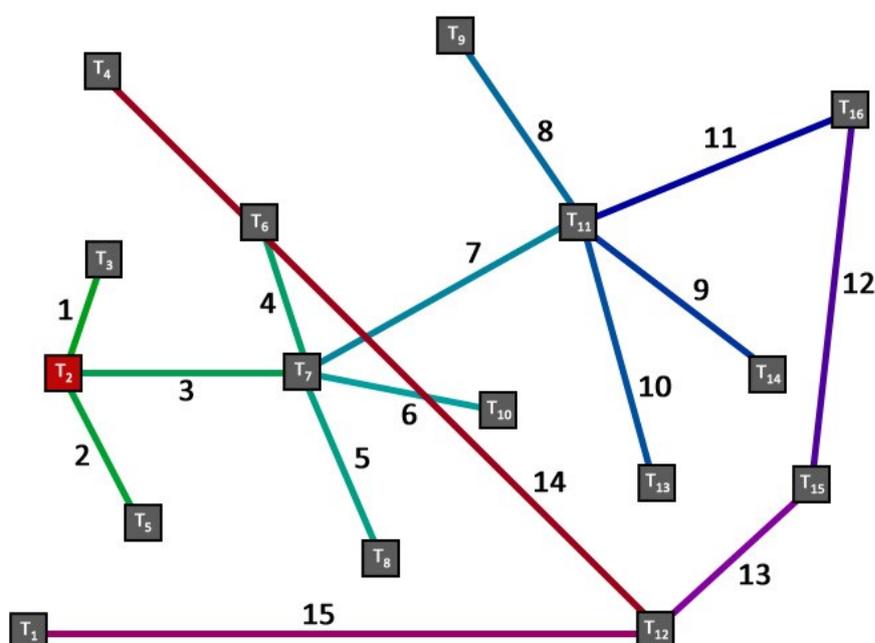


Figure 3.6 : Exemple de topologie générée par l'algorithme glouton présentant des points isolés (T_1 et T_4).

En effet, de par sa nature locale, l'algorithme peut passer à côté de la solution optimale. Par exemple, il suffit que le segment choisi comme départ ne fasse pas partie de la meilleure solution pour que l'algorithme ne puisse pas donner le meilleur résultat possible. En outre, son avancée locale peut le faire laisser de côté des terminaux qui se retrouvent isolés et traités à la fin, en alourdissant le résultat. Ce problème est illustré figure 3.6 avec un exemple de configuration avec 16 terminaux. L'algorithme est parti du terminal 2, et a relié les points en avançant pas à pas, mais les terminaux 1 et 4 ont été laissés de côté. Pour les relier, à la fin, l'algorithme génère des liaisons longues et non optimisées.

III. Pistes d'amélioration

III - 1. Etude du point de départ

En prenant en compte les points faibles de l'algorithme glouton, des pistes d'amélioration ont été recherchées. Pour commencer, le choix du point de départ a été étudié. Son impact sur le fonctionnement de l'algorithme est important, à cause du traitement local des données. Dans la méthode décrite précédemment, ce point est choisi arbitrairement parmi les terminaux qui forment la bordure du chevelu, et relié à son plus proche voisin pour constituer le premier segment.

Pour vérifier l'impact du point de départ, nous avons utilisé cet algorithme sur des cas d'étude. Nous l'avons lancé plusieurs fois, en utilisant comme terminal de départ chacun des terminaux. La figure 3.7 illustre les résultats obtenus pour trois cas simples, avec les divers points de départ en rouge. On remarque que l'on obtient bien des résultats différents en changeant le choix du terminal de départ. Certains terminaux conduisent à la même solution au final. Mais la question se pose de savoir si toutes ces solutions possibles sont optimisées pour l'aire totale des interconnexions.

Pour visualiser plus facilement l'impact du point de départ, nous avons utilisé l'algorithme exhaustif (présenté dans le chapitre précédent). Celui-ci liste toutes les solutions de routage *terminal-to-terminal* possibles (c'est-à-dire sans utiliser de point Steiner), et les classe selon l'aire totale théorique des interconnexions. Cet algorithme, qui est décrit plus en détail dans le chapitre précédent, permet donc de visualiser le classement des solutions obtenues avec l'algorithme glouton.

Si l'on revient sur le cas illustré dans la figure 3.2 (qui correspond au test case 1 de la figure 3.7), l'algorithme exhaustif dénombre 1716 possibilités, en comptant celles qui ne sont pas recevables (boucles et chemins discontinus). En sortie, il y a au final 560 topologies de routage différentes qui sont listées. La route obtenue dans la figure 3.2 (c'est-à-dire la topologie **e** du test case 1 de la figure 3.7) est classée 6^e dans cette liste. En partant du terminal « 5 », on obtient une solution qui est classée 103^e, un résultat qui est bien moins bon, et qui aurait pu être celui obtenu, puisque le terminal 5 fait partie de la bordure et aurait donc pu être celui choisi arbitrairement comme point de départ par l'algorithme.

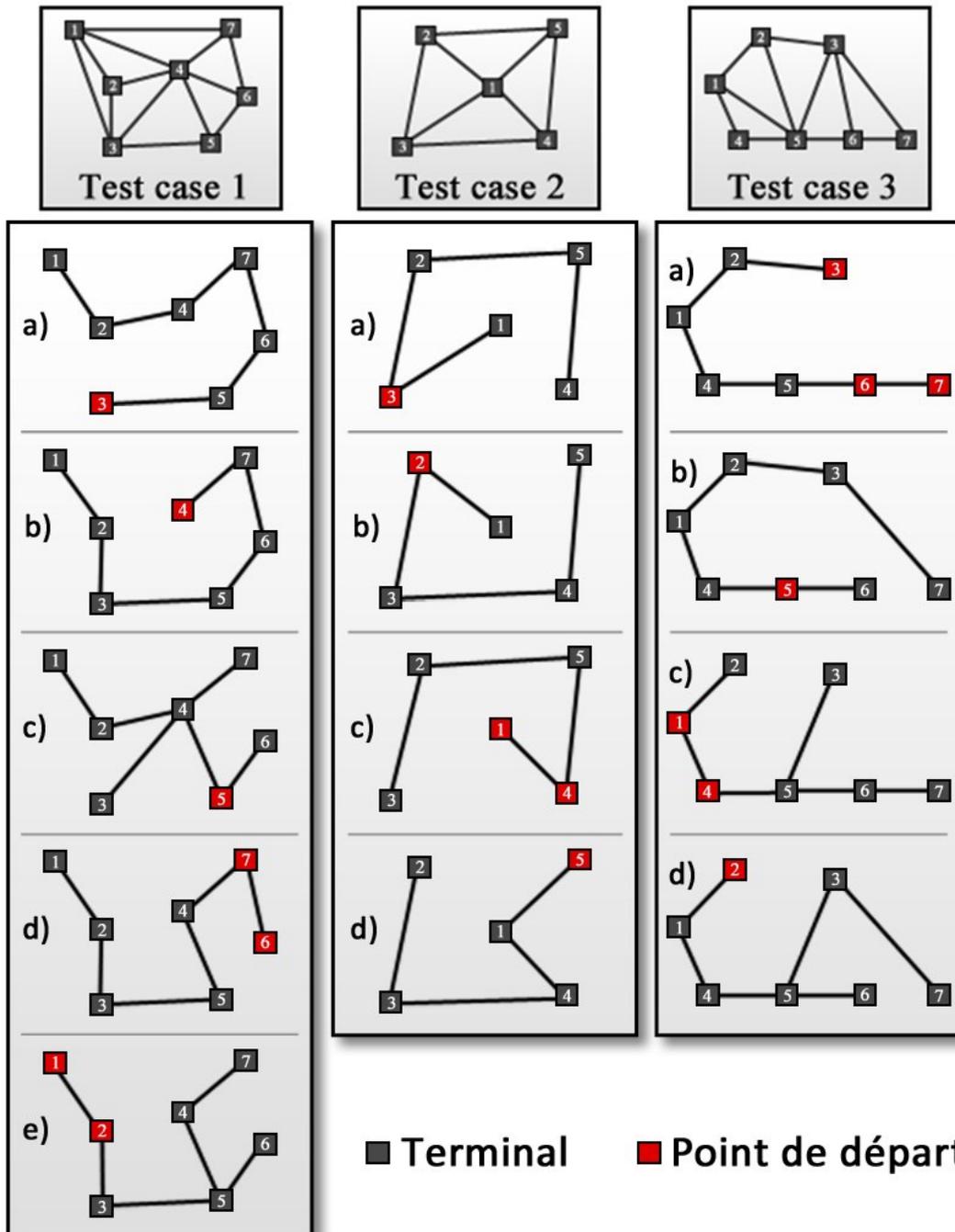


Figure 3.7 : Les topologies obtenues pour trois cas d'étude simples en utilisant l'algorithme glouton en prenant comme point de départ chaque terminal (en rouge).

Le tableau de la figure 3.8 donne le rang et les aires de solutions pour les trois cas d'étude. Comme les unités sont arbitraires pour les tests, le ratio en pourcentage par rapport à la solution optimale est utilisé pour les aires. On remarque qu'un mauvais choix de point de départ peut avoir un impact extrêmement négatif sur le résultat que fournit l'algorithme glouton. Malgré tout, lorsqu'on regarde la figure 3.9, on voit que les solutions de l'algorithme sont tout de même bien classées, par rapport à toutes les solutions possibles.

		Rang	Aire (%)
Test Case 1 560 solutions	Solution Optimale	1	100
	Meilleur Point de départ	6	101
	Pire Point de départ	103	112
	Pire Solution	560	268
Test Case 2 45 solutions	Solution Optimale	1	100
	Meilleur Point de départ	16	129
	Pire Point de départ	38	160
	Pire Solution	45	214
Test Case 3 144 solutions	Solution Optimale	1	100
	Meilleur Point de départ	1	100
	Pire Point de départ	9	116
	Pire Solution	144	430

Figure 3.8 : Les rangs et les aires obtenus pour chaque cas d'étude pour les meilleures et pires solutions des algorithmes exhaustif et glouton.

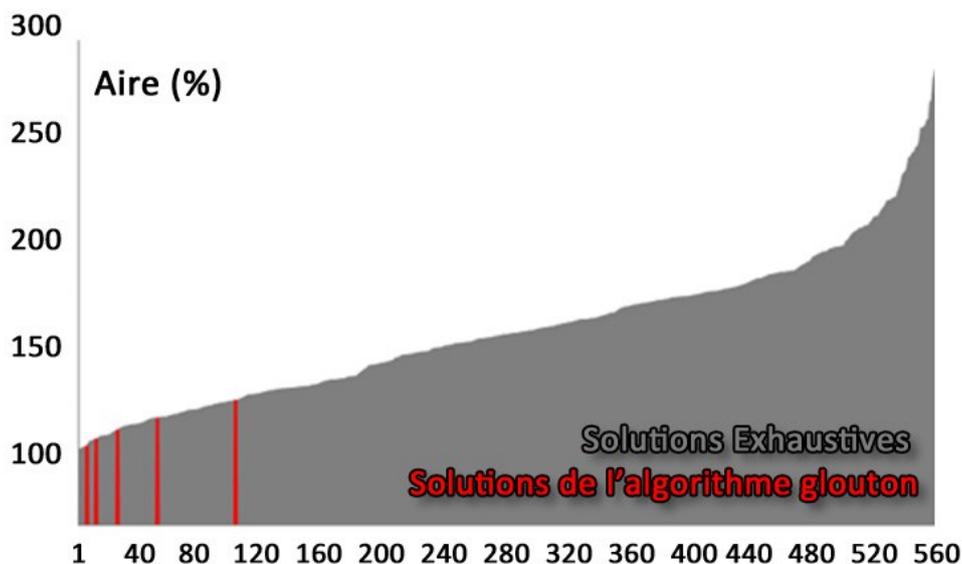


Figure 3.9 : Graphique de l'aire des interconnexions en fonction des topologies listées par l'algorithme exhaustif pour le cas de la figure 3.2, rangées par ordre croissant. En rouge sont affichées les solutions de l'algorithme glouton.

Malgré des études statistiques, un critère de choix pour définir le meilleur point de départ n'a pas été validé. Toutefois, la rapidité d'exécution de l'algorithme permet de proposer une amélioration qui consisterait à lancer l'algorithme pour chaque terminal et de conserver seulement la meilleure solution. Le temps d'exécution est allongé, en particulier si le nombre de terminaux est important, mais il reste intéressant si l'on considère le gain potentiel au niveau de l'aire de métal.

III - 2. Autres améliorations possibles

D'autres améliorations de cet algorithme en utilisant différents critères ont été étudiées. Par exemple, nous avons testé une version de l'algorithme d'ordre 2, qui prend en compte le choix de chemin suivant (tester les deux chemins suivants au lieu d'un seul à la fois). Cette version a été comparée à la version d'ordre 1 pour visualiser l'impact de cette modification.

Pour obtenir des données significatives, nous avons généré des cas d'études dont le nombre de terminaux varie de quatre à vingt, et avec cent ensembles de courants différents pour chaque configuration. Le temps d'exécution et l'aire totale des interconnexions ont été extraits pour chaque algorithme pour ces tests.

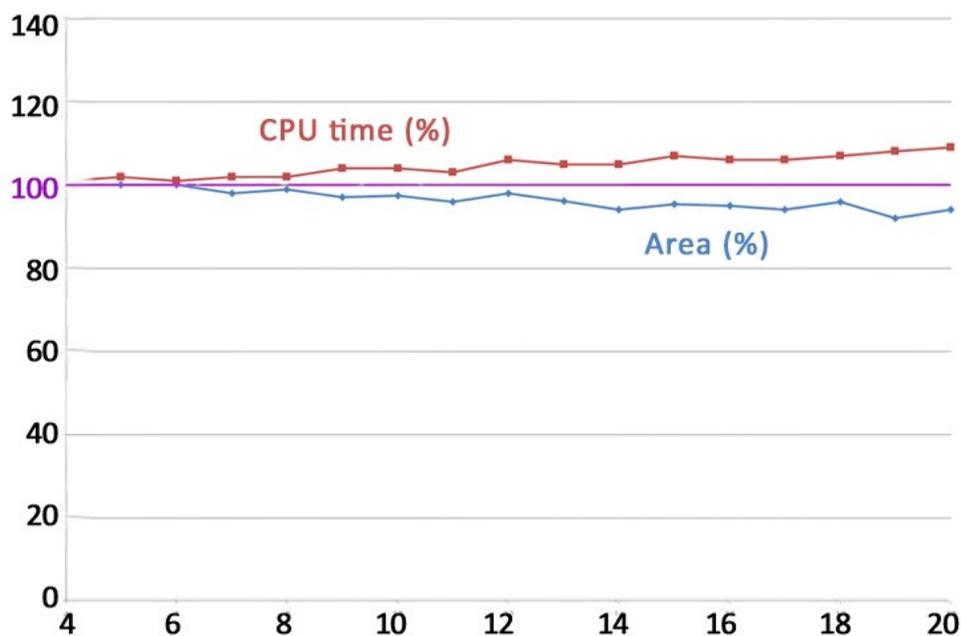


Figure 3.10 : Les résultats obtenus par l'algorithme glouton d'ordre 2 pour le temps d'exécution et l'aire des interconnexions par rapport à l'algorithme glouton (ordre 1), pour un nombre de terminaux qui varie de quatre à vingt.

Comme l'illustre la figure 3.10, cette amélioration n'a pas fourni de résultats probants par rapport à l'augmentation du temps de calcul. L'aire est faiblement améliorée, tandis que le temps de calcul augmente, ce qui est logique puisque l'algorithme exécute deux fois plus de vérifications. Le faible impact temporel par rapport à la version d'ordre 1 vient du fait que ce sont les actions de lecture et d'écriture qui sont le plus coûteuses en temps, et elles ne sont pas altérées par la modification.

Une autre approche consiste à réduire les connexions possibles de chaque terminal (les chemins listés dans le chevelu), dans le but de supprimer, avant même de lancer l'algorithme, les chemins improbables (par exemple la liaison T_1 - T_3 de la figure 3.2). La suppression de chemins

inintéressants avant la recherche du routage permet de diminuer le temps de calcul et permet d'éviter que l'algorithme ne les choisisse. Toutefois, il est difficile de définir qu'un chemin est improbable à l'aide de critères, même si certains semblent repérables « visuellement ». Ce problème est le même que celui rencontré lors des analyses statistiques du chapitre précédent.

IV. Algorithme *Divide & Conquer*

IV - 1. Théorie

Partant du principe que l'algorithme exhaustif est très bon en temps de calcul et en qualité du résultat lorsque le nombre de points est limité, une idée a été de faire en sorte de pouvoir l'utiliser sur des sous-ensembles de points. Cette technique, consistant à diviser un problème de grande taille en plusieurs sous-problèmes analogues, est appelée « Diviser pour régner » (*Divide & Conquer*) [Aho-1983, Knuth-1998]. La figure 3.11 illustre le concept de cette technique, avec une division du problème, puis une résolution dans les sous-groupes, avant une fusion pour obtenir la solution globale.

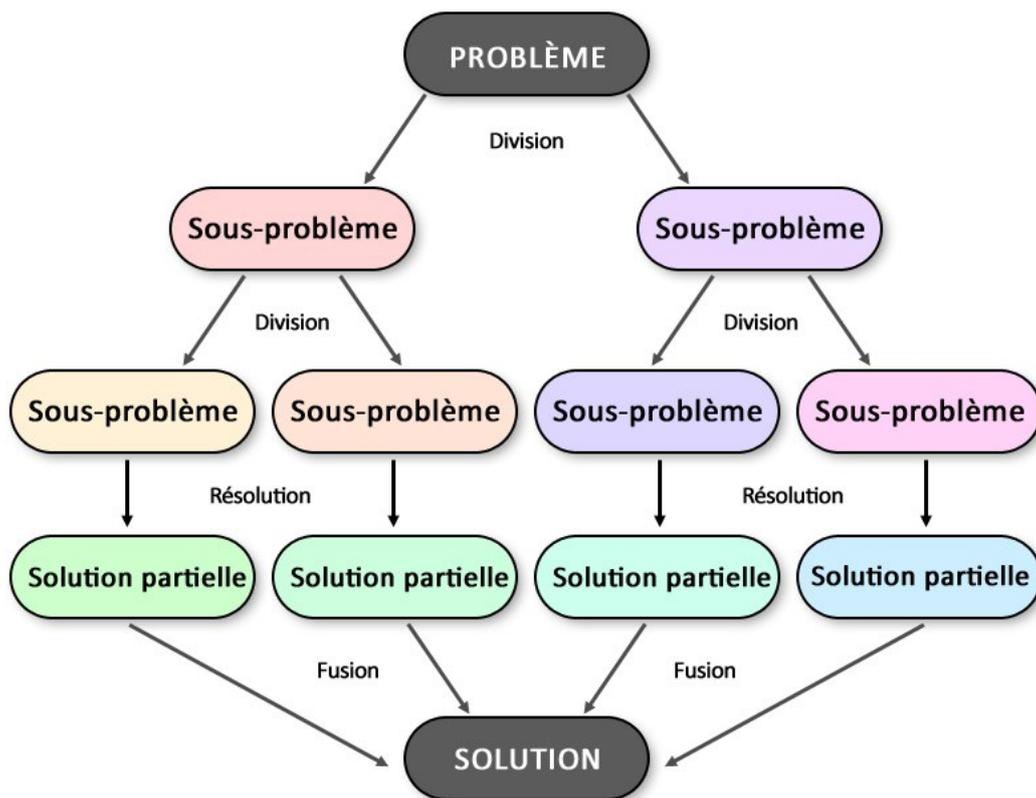


Figure 3.11 : Exemple de flot pour la résolution d'un problème en utilisant la technique du « Diviser pour régner ».

Il est donc possible de créer des sous-ensembles de terminaux. Ainsi, au lieu de tenter de trouver le routage pour tous les points, on peut appliquer l'algorithme exhaustif aux sous-ensembles, puis dans les sous-ensembles, ce qui donne un routage global. La complexité est

drastiquement diminuée. Par exemple, pour un fil de seize terminaux et le nombre de liens maximal, l'algorithme exhaustif doit parcourir 15 parmi 120 possibilités, soit $4,73 \times 10^{18}$ au total. En divisant ces seize terminaux en quatre groupes de quatre terminaux, on utilise l'algorithme cinq fois : quatre fois dans chaque groupe et une fois pour lier les groupes. Dans ce cas, l'algorithme est appliqué pour quatre éléments à chaque fois, donc 3 parmi 6 possibilités (sauf entre les groupes, 3 parmi 12, voir la description de l'étape concernée, plus bas), soit 300 cas testés au total.

Dans la suite, cet algorithme sera appelé « *Divide & Conquer* », abrégé en **D&C**, pour le distinguer des autres algorithmes (exhaustif et glouton).

IV - 2. Fonctionnement

L'algorithme se décompose en cinq grandes étapes. Le fonctionnement de l'algorithme est décrit dans la figure 3.13, et illustré par la figure 3.12 pour un exemple avec seize terminaux.

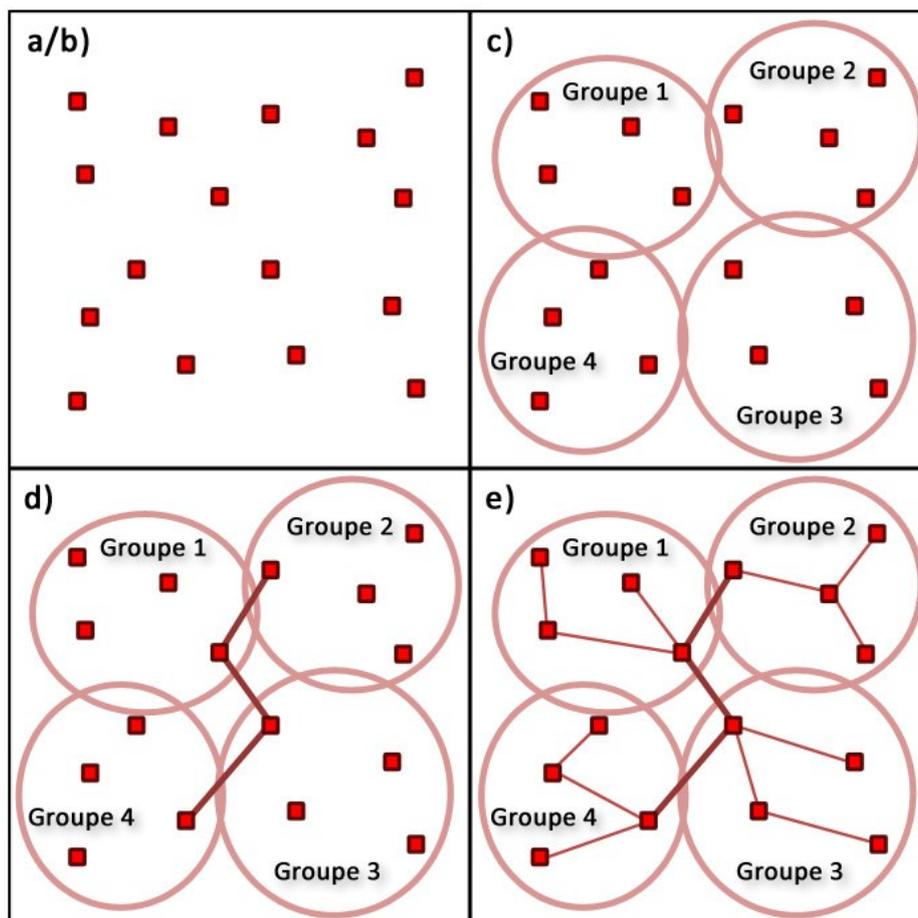


Figure 3.12 : Illustration simplifiée des étapes principales de l'algorithme D&C pour un exemple avec seize terminaux. Les vecteurs de courant utilisés ne sont pas précisés pour ne pas alourdir l'affichage.

Pour commencer, l'algorithme va définir le nombre d'éléments à mettre dans chaque groupe en fonction du nombre de terminaux du fil (étape a de la figure 3.13). Le but est d'obtenir une division équitable, de minimiser la charge lors de l'utilisation de l'algorithme exhaustif tout en gardant des groupes assez représentatifs.

```

Entrées : Position et vecteurs de courant des terminaux du net
Sorties : Arbre de routage du net et les largeurs de chaque branche
// Etape a) Le nombre d'éléments à mettre dans un groupe est défini. Le but étant
// de diviser le plus également possible.
    nbTermsInGroup = HowManyTermsInGroups(size(terms))

// Etape b) Le poids d'un terminal est la somme des distances entre le terminal et
// tous les autres. Ce poids représente l'excentricité du terminal.
    foreach(terms as term) {
        weights[] = CalculateWeight(term)
    }

// Etape c) Les groupes sont créés à partir des points les plus excentrés et de leurs
// plus proches voisins jusqu'à ce que tous les terminaux soient dans un groupe.
    while(not(allTermsInGroups)) {
        eccTerm = GetMostEccentricTerm(weights)
        groups[] = CreateGroupFrom(eccTerm)
    }

// Etape d) Les liaisons possibles entre les groupes sont listées, et l'algorithme
// exhaustif sélectionne le meilleur routage. Les valeurs de courant des terminaux
// qui servent à lier les groupes sont mis à jour.
    ListLinksBetweenGroups(groups)
    RouteGroups(groups)
    UpdateCurrentsInGroups()

// Etape e) Dans chaque groupe, le routage est sélectionné par l'algorithme
// exhaustif.
    foreach(groups as group) {
        RouteInGroup(group)
    }

```

Figure 3.13 : Fonctionnement « pseudo-code » de l'algorithme *Divide & Conquer*. Les étapes correspondent à celles illustrées dans la figure 3.12.

Pour 16 terminaux, séparer en quatre groupes de quatre tombe sous le sens (300 itérations comme dit précédemment). Un découpage en groupes de trois aurait donné six groupes, ce qui fait monter le nombre de cas à plus de 140 000. En groupes de cinq, on obtient 850 itérations. Le tableau 3.14 liste les divisions optimales (le but étant de limiter au maximum le nombre

d'itérations de l'algorithme exhaustif) réalisées par l'algorithme pour quelques exemples de quantités de terminaux.

Terminaux	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
Groupes	1	2	2	2	2	3	3	3	3	4	4	4	4	4	4	4	4
Éléments	4	3	3	4	4	3	4	4	4	4	4	4	4	5	5	5	5

Figure 3.14 : Le nombre de groupes et le nombre d'éléments dans chaque groupe généré par l'algorithme en fonction du nombre de terminaux.

L'étape suivante est l'assignation à chaque terminal d'un poids (étape b de la figure 3.13). Ce poids est indépendant du courant. Il est calculé en additionnant la distance d entre le terminal T_i concerné et tous les autres terminaux, selon l'équation 2 :

$$Weight_{T_i} = \sum_{j=1}^{j=n-1} d(T_i, T_j) \quad (\text{Eq. 2})$$

Le poids représente l'indice d'excentricité du terminal. Plus un terminal est loin des autres, plus son poids augmente. Cet indice permet de ne pas isoler de terminaux lors de la création des groupes, pour éviter d'avoir des groupes dont les points se trouvent dans des zones trop éparées.

De plus, lors de la recherche de critères pour une bonne topologie contrainte en courant dans le chapitre précédent, il est ressorti que la distance entre les points est un paramètre important dans les routages. Nos observations mettaient en évidence que la proximité entre terminaux est prépondérante dans de nombreuses configurations. Créer des groupes de terminaux « voisins » permet ainsi de s'assurer de rester proche de la solution optimale dans la plupart des cas.

L'algorithme procède ensuite à la création des groupes (étape c des figures 3.12 et 3.13). Pour cela, il prend le terminal le plus lourd (et donc le plus excentré). Il crée un groupe en l'associant à ses plus proches voisins. Le nombre d'éléments dans le groupe correspond à celui défini lors de la première étape. Cette opération est répétée parmi les points restants, toujours en partant des points les plus excentrés, jusqu'à ce que tous les terminaux soient assignés à un groupe.

Une fois les groupes définis, l'algorithme liste les liaisons possibles entre les groupes (étape d des figures 3.12 et 3.13). A la différence des liaisons entre terminaux, il peut y avoir plusieurs liaisons possibles entre les groupes, selon les terminaux que l'on connecte. Théoriquement, il est possible de lier chaque terminal d'un groupe à chaque terminal de chaque autre groupe. Mais ce serait retomber dans une complexité qui rendrait la division inutile.

Une solution a donc été de ne conserver que les deux liaisons les plus courtes (les terminaux les plus proches) entre chaque groupe. Pour l'exemple avec ses quatre groupes, on obtient ainsi

12 liaisons possibles entre les ensembles. L'algorithme exhaustif est utilisé pour trouver le meilleur routage. Avec 12 liaisons possibles et 4 groupes à relier, il doit effectuer 220 itérations pour parcourir toutes les solutions.

La valeur de courant utilisée par l'algorithme exhaustif pour les groupes résulte de la somme des vecteurs des éléments qui compose le groupe. Il est important de réaliser cette étape avant de router à l'intérieur de chaque groupe. En effet, les valeurs de courant des terminaux qui serviront à relier les groupes les uns aux autres sont impactées par ce routage, et doivent être mises à jour en regard de la configuration des connexions entre les groupes.

Une fois les vecteurs des terminaux de liaison entre groupes mis à jours, on peut passer à la dernière étape : le routage dans chaque groupe (étape e des figures 3.12 et 3.13). L'algorithme exhaustif est utilisé dans chaque ensemble. On obtient ainsi le routage complet du fil.

IV - 3. Points forts et points faibles

Cet algorithme, basé sur l'algorithme exhaustif, donne des résultats qui se rapprochent de la solution optimale. Malheureusement, le découpage en sous-ensembles et les limites imposées pour diminuer la complexité de l'algorithme ont un impact sur son efficacité à trouver la meilleure solution. Toutefois, ce découpage est aussi bénéfique au niveau du temps d'exécution, l'algorithme exhaustif étant très rapide pour des groupes de terminaux réduits.

V. Résultats

Dans le but d'analyser les résultats produits par l'algorithme Divide & Conquer, l'algorithme glouton présenté précédemment est utilisé comme référence. Tandis que l'algorithme D&C ne donne qu'une seule solution pour chaque configuration, le résultat produit par l'algorithme glouton dépend du terminal désigné comme point de départ. Une valeur moyenne des solutions proposées est donc utilisée pour chaque cas d'étude.

Pour obtenir des données significatives, nous avons généré des cas d'études dont le nombre de terminaux varie de quatre à vingt, et avec cent ensembles de courants différents pour chaque configuration. Le temps d'exécution et l'aire totale des interconnexions ont été extraits pour chaque algorithme pour ces tests.

La figure 3.15 illustre le ratio entre les solutions de l'algorithme D&C et celles de l'algorithme glouton (qui sont considérées comme étant 100%). Dans la plupart des cas, l'algorithme D&C fournit une meilleure aire (10% de gain en moyenne) avec un temps d'exécution plus court (27% de moins en moyenne).

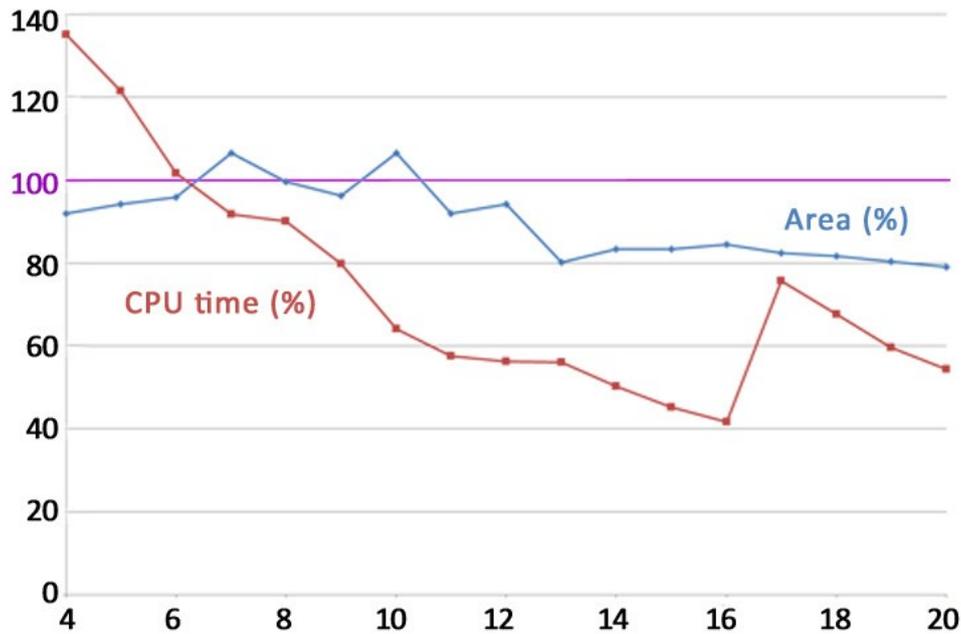


Figure 3.15 : Les résultats obtenus par l'algorithme D&C pour le temps d'exécution et l'aire des interconnexions par rapport à l'algorithme glouton, pour un nombre de terminaux qui varie de quatre à vingt.

Le gain en temps est important, grâce à l'exécution rapide de l'algorithme exhaustif avec peu de points. L'algorithme glouton reste plus rapide pour les premiers cas (4 à 6 terminaux). Le pic de temps, que l'on peut observer pour les cas avec 17 terminaux et plus, est lié à un saut dans la taille des groupes. En effet, pour 16 terminaux et moins, les groupes ont au plus quatre éléments, et on a quatre groupes au maximum. Mais à partir de 17 terminaux, on a un groupe qui compte cinq éléments. L'algorithme exhaustif subit donc une augmentation de complexité, ce qui explique l'augmentation du temps d'exécution pour ces cas.

VI. Conclusion

Dans ce chapitre, deux algorithmes pour la génération de topologie de routage des fils avec respect des contraintes en courant ont été présentés.

Le premier résultat des travaux de G. Jerke et J. Liening. Il fonctionne localement, en créant la topologie en partant d'un point jusqu'à avoir relié tous les terminaux, à la manière d'un algorithme « glouton ». Les résultats produits par cet algorithme ont été analysés, et il en a résulté que le choix du point de départ (choisi arbitrairement parmi les terminaux de la circonférence) influe sur la solution proposée, certains points donnant lieu à des combinaisons plus optimisées que d'autres. Nous avons ainsi pu observer sur certains cas d'étude des variations de l'aire des interconnexions de plusieurs dizaines de pourcents entre la meilleure combinaison et la pire.

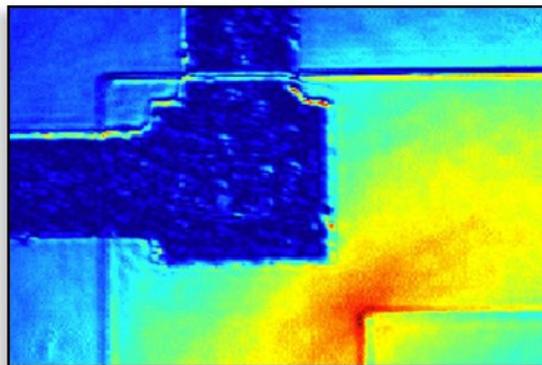
Nous avons donc proposé comme piste d'amélioration d'utiliser l'algorithme en partant de chaque terminal. Son temps d'exécution étant très rapide, la perte en temps est faible, comparée au gain potentiel pour l'aire des interconnexions. Une autre idée d'amélioration a été de proposer une version d'ordre 2 de cet algorithme, mais les résultats ne sont pas satisfaisants, le gain en surface restant faible face à l'augmentation du temps de calcul.

Le second algorithme exposé découle de l'algorithme exhaustif, présenté dans le chapitre précédent, et de l'idée de séparation des terminaux en groupes. L'utilisation de cette technique de « *Divide & Conquer* » permet de n'utiliser l'algorithme exhaustif que sur de petits nombres de terminaux, et ainsi de conserver un temps d'exécution rapide. Le critère pour la création des groupes découle quant à lui de l'analyse statistique du chapitre précédent. En effet, il est ressorti que dans la plupart des cas, la distance entre les terminaux reste un élément prépondérant.

L'algorithme D&C produit de bons résultats par rapport à l'algorithme glouton : 10% meilleur pour l'aire et 27% plus rapide pour le temps d'exécution, en moyenne.

CHAPITRE 4

CORRECTION DU CURRENT CROWDING DANS LES INTERCONNEXIONS



Dans ce chapitre est traité le phénomène de *current crowding*, qui consiste en une répartition inhomogène de la densité de courant dans une zone. Nous nous intéressons plus particulièrement aux coins formés par les interconnexions métalliques dans les circuits lors d'un changement de direction. Ces coins sont propices à ce phénomène, car ils présentent des zones de forte densité de courant dans leur partie interne et peuvent nécessiter une correction géométrique. Après une définition du phénomène, les topologies sensibles et les données géométriques et en courant associées sont définies. Une présentation de la méthodologie de modélisation des corrections géométriques est ensuite effectuée, avec des précisions sur le solveur de courant et les plans d'expérience. Puis la solution de correction est appliquée à des cas d'école. Les modèles résultants sont enfin testés pour vérifier leur précision et leur efficacité.

Table des matières du chapitre

Introduction.....	81
I. Définition du problème	82
II - 1. <i>Current Crowding</i> : définition	82
II - 2. Définition du problème.....	82
II. Identification des cas et des domaines de variation.....	83
III - 1. Identification des cas et des facteurs	83
III - 2. Domaines de variation des facteurs	84
III. Méthodologie	85
III - 1. Choix d'une méthode de définition du support	85
III - 2. Solveur de courant.....	87
III - 3. Plans d'expérience (DoE)	88
IV. Application à des cas d'école	90
IV - 1. Type L.....	90
IV - 2. Type T.....	93
V. Résultats et intégration.....	96
V - 1. Etude de la précision des modèles	96
V - 2. Etude des effets sur les violations	97
V - 3. Intégration	98
VI. Conclusion	98

Introduction

Dans tous les secteurs de la microélectronique, les dimensions des dispositifs sont diminuées avec chaque nouvelle génération de technologie. Cela implique non seulement une diminution de la taille des dispositifs actifs, mais aussi des lignes métalliques qui les relient. Cette réduction de la largeur des lignes d'interconnexion, couplée à une conservation de la valeur de l'intensité du courant qui les traverse, implique une augmentation de la densité du courant.

Outre l'électromigration, qui peut affecter la durée de vie des interconnexions, les chutes de tension (Voltage Drop) peuvent influencer sur le comportement et les performances. Sans oublier les surcharges électriques qui peuvent, quant à elles, parfois endommager la totalité ou une partie du circuit. La conception des circuits doit donc être réalisée en prenant en compte ces contraintes, en minimisant le courant qui traverse les interconnexions, et en adaptant la largeur des lignes métalliques au courant qui va les parcourir.

Même si les interconnexions sont correctement dimensionnées pour éviter les violations de densité de courant dans les « lignes droites » suivant en cela les règles de conception, le phénomène d'électromigration peut tout de même avoir lieu dans les coudes formés par les lignes lors de changement de direction. En effet, le courant, ayant tendance à suivre le chemin le plus court, va se concentrer dans le coin intérieur de l'angle : c'est le phénomène de « *Current Crowding* », que l'on peut traduire par « Surpopulation de courant ». Cette concentration peut entraîner l'activation de l'électromigration, et ainsi, une dégradation de la ligne et par voie de conséquence du circuit.

Actuellement, dans le domaine de la conception « Full-custom », les concepteurs réalisent encore le plus souvent les « *schematics* » et « *layouts* » manuellement, même s'il existe des synthétiseurs automatiques [Malavasi-1996]. A notre connaissance, il n'existe pas d'outil prenant en compte le phénomène de *Current Crowding* dans les coudes des lignes métalliques durant la phase de réalisation du « *layout* ». Lorsqu'ils sont nécessaires, des supports sont ajoutés à la main en prenant des marges qui entraînent dans la plupart des cas un surdimensionnement des supports.

Dans ce chapitre est présentée l'étude d'une méthode de correction du *current crowding* basée sur des ensembles de modèles. Dans une première partie, le phénomène de *current crowding* est présenté et le problème est posé. Les cas dans lesquels survient cet effet sont ensuite définis, ainsi que les domaines de variation des facteurs. La troisième partie est consacrée au choix d'une solution, et à la description de la méthodologie utilisée, à savoir l'utilisation d'ensembles de modèles, générés à l'aide de plans d'expérience et d'un solveur de courant. Dans la quatrième partie, la méthode est appliquée aux cas définis précédemment. Enfin, les résultats obtenus sur une population de cas sont détaillés dans une dernière partie.

I. Définition du problème

II - 1. *Current Crowding* : définition

Le phénomène de *current crowding* (surpopulation de courant) est une distribution non homogène de la densité du courant dans une zone donnée [Everett-2000], dans le cas qui nous intéresse lors du changement de direction d'une ligne métallique. Les électrons qui sont à l'origine du courant ont tendance à prendre le chemin le plus court ; il en résulte, lorsque les lignes forment un angle, une sur-concentration du courant dans le coin intérieur du virage.

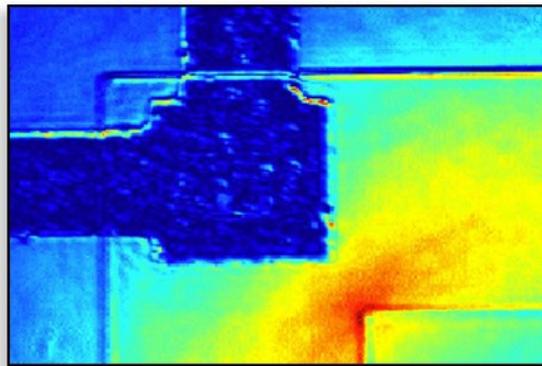


Figure 4.1 : Image thermique qui met en avant le phénomène de *current crowding* dans un angle de ligne métallique (source de l'image : Alenas Imaging).

La figure 4.1 illustre ce phénomène au travers d'une image thermique qui met en évidence le phénomène du *current crowding* qui a lieu dans un angle formé par une ligne. Les zones rouges sont les zones qui présentent un échauffement, lié à une plus forte concentration du courant, tandis que les zones bleues sont les zones « froides », présentant une faible densité de courant. On peut voir que la zone interne de l'angle présente une concentration importante de courant, tandis que la zone externe est délaissée.

Cette augmentation locale de la densité du courant peut mener à des violations de la densité maximale supportée par la ligne de métal dans le coin, aggravant les risques d'électromigration dans cette zone. Lorsque le phénomène de *current crowding* se produit, l'inhomogénéité de la densité de courant induit une force additionnelle qui participe à la diffusion des atomes de métal [Tu-2000]. Cela peut mener à la formation de zones vides, qui sont responsables d'une augmentation de la résistance de la ligne, et d'une augmentation localisée de la température.

II - 2. Définition du problème

L'impact du *current crowding* peut être diminué de plusieurs façons : soit en réduisant le courant dans les lignes, ce qui n'est pas toujours possible vis-à-vis du fonctionnement du circuit, soit en augmentant la largeur des lignes, ce qui entraîne une augmentation de la taille du circuit,

et donc des coûts, soit en ajoutant des supports dans les coudes, pour éviter que le courant rencontre des angles à 90° , comme illustré figure 4.2. C'est cette dernière option qui nous intéresse.

En effet, l'ajout de supports permet de diminuer l'effet du *current crowding* avec des contraintes moindres que les deux autres solutions. De plus, la zone extérieure de l'angle, qui est peu utilisée pour faire passer le courant, peut être supprimée comme l'illustre la figure 4.2.c, pour conserver la même surface de métal, évitant ainsi d'augmenter la surface de métal du circuit.

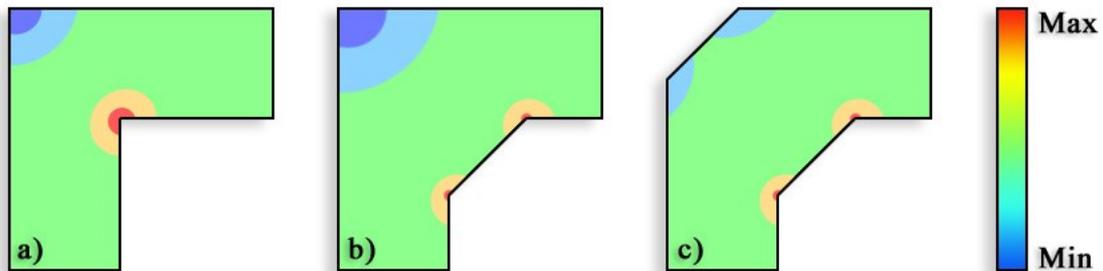


Figure 4.2 : Distribution de la densité de courant dans trois exemples de virages : angle droit sans support (a), angle droit avec support (b) et angle à 45° (avec support, et retrait du coin externe) (c).

La difficulté, avec cette solution, est de choisir de manière adéquate la taille du support à ajouter. La taille nécessaire dépend en effet de la puissance du courant qui va traverser la ligne. Un support trop petit aura un impact négligeable, laissant les effets de l'électromigration se produire, tandis qu'un support trop grand n'est pas optimisé, et occasionne des coûts inutiles, ainsi qu'une difficulté de routage. En effet, les longues lignes en diagonale ne sont pas recommandées pour des problèmes de contrôle lithographique.

Actuellement, les problèmes de *current crowding* sont corrigés manuellement par l'ajout de supports dans les angles après le routage, ou en configurant le routeur pour utiliser des angles à 45° plutôt que des angles orthogonaux. La taille des supports est définie arbitrairement par le concepteur, et n'est donc pas forcément optimisée pour une aire de métal minimum. Notre but est de permettre la définition d'une taille des supports optimisée par rapport aux courants qui passent dans les interconnexions. Les données en courant sont disponibles directement après la réalisation du *schematic*, et peuvent donc être utilisées durant la phase de correction du *layout*.

II. Identification des cas et des domaines de variation

III - 1. Identification des cas et des facteurs

Pour commencer, il faut identifier les cas les plus communs de coudes pour les interconnexions sur une couche métallique donnée dans les circuits. En ne prenant en compte que

les angles orthogonaux (les angles à 45° sont faiblement impactés par le *current crowding*), nous avons listé deux principales configurations pour les angles.

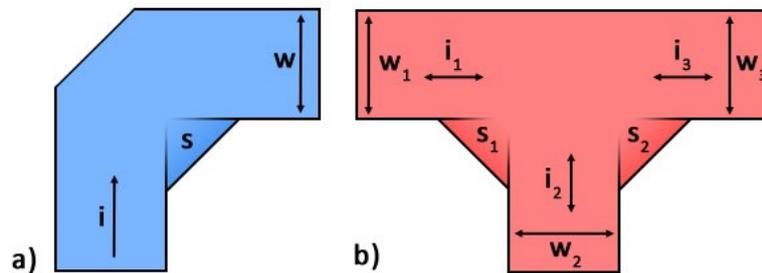


Figure 4.3 : Les deux configurations d'angles que l'on peut rencontrer dans les interconnexions : l'angle droit : type L (a) et la séparation en deux branches : type T (b).

Comme illustré par la figure 4.3.a, le premier cas est un simple angle droit, que l'on appellera Type-L dans la suite. Dans ce premier cas, il n'y a qu'une seule valeur de courant qui traverse la ligne. Les trois facteurs qui définissent cette configuration sont donc : la largeur de la ligne w (le courant étant le même tout le long de la ligne, la largeur est supposée être la même avant et après le coude), le courant i qui la traverse et l'aire du support S .

Dans le second cas, figure 4.3.b, la ligne de métal se sépare en deux branches, formant un T. Ce cas, que l'on appellera donc Type-T dans la suite, présente trois valeurs de courant (i_1 , i_2 et i_3), dont seulement deux sont indépendantes (en effet, la loi des nœuds donne $i_3 = i_1 + i_2$). Ce sont donc au total sept variables qui définissent cette seconde configuration : les trois largeurs w_1 , w_2 et w_3 , deux courants sur les trois (i_1 et i_2 , i_1 et i_3 ou i_2 et i_3) et les deux aires des supports S_1 et S_2 .

III - 2. Domaines de variation des facteurs

Le domaine de variation des facteurs dépend de la technologie utilisée. Nos travaux ont été réalisés pour une technologie 90 nanomètres en se basant sur les données du *GPDK 90nm Mixed Signal Process [GPDK-2007]* de l'entreprise Cadence Design System. C'est une technologie générique, indépendante d'un quelconque fondeur. Les valeurs qui sont données dans la suite du chapitre correspondent donc à cette technologie. Notre but étant de couvrir tous les cas possibles, les domaines de variation des facteurs sont basés sur les valeurs minimales et maximales autorisées dans les règles de dessin.

Le développement de la méthode a été réalisé dans le cas du métal 1. Elle reste toutefois transposable et généralisable aux autres niveaux de métallisation sous réserve de la prise en compte des valeurs minimum et maximum liées à ces niveaux. Dans le tableau 4.4, les règles de dessin qui nous intéressent sont listées.

Description	Valeur
-------------	--------

Largeur Minimum du Métal 1	0,12 μm
Largeur Maximum du Métal 1	12,0 μm
Largeur Minimum du Métal 1 à 45°	0,14 μm
Densité de courant maximale Métal 1	2 mA/ μm

Figure 4.4 : Extrait des règles de dessin pour la technologie 90 nanomètres utilisée.

Pour les largeurs, le domaine de variation est donc compris entre 0,12 μm (la largeur minimale autorisée) et 12 μm (largeur maximale autorisée). Il en découle la valeur maximale du courant : 24 mA, qui équivaut à 2mA/ μm pour une largeur de 12 μm . Le domaine de variation des courants est donc de -24 mA à +24 mA. Enfin, pour ce qui est de l'aire du support, le minimum est de 0 μm^2 (pas de support), et le maximum de 72 μm^2 (ce qui correspond à un support de 12 μm de long). La largeur minimale pour le métal à 45° impose une aire minimale lorsqu'on ajoute un support, de 0,01 μm^2 , correspondante à la largeur minimale de 0,14 μm pour une ligne de métal 1 à 45°.

III. Méthodologie

III - 1. Choix d'une méthode de définition du support

L'idée de base est de lier l'aire du support aux caractéristiques physiques (la largeur de la ligne) et électriques (le courant qui parcourt la ligne) des interconnexions qui présentent des coudes. Les paramètres pour définir une bonne méthode sont le temps de calcul (qui doit être minimum), la précision et la simplicité de la méthode.

Dans ce contexte, plusieurs solutions peuvent être mises en place au sein des outils de conception. Ces solutions sont listées ci-dessous :

- **Première solution: Utiliser un solveur de courant**

Une solution serait d'utiliser un solveur de courant, qui, en utilisant les équations de Maxwell, calcule la répartition du courant dans le métal. Toutefois, l'utilisation systématique d'un solveur de courant pour chaque angle formé par les lignes durant la phase de conception n'est pas envisageable, en raison de l'important temps de simulation nécessaire avec ce genre d'outil.

- **Deuxième solution: Utiliser de nouvelles règles de dessin**

Une autre possibilité est de définir des règles de conception, à intégrer directement au DRM, pour aider le concepteur lors de la réalisation du *layout*. Cependant, dans ce cas, le problème vient de la définition des règles de dessin, qui seraient trop nombreuses pour couvrir tous les cas possibles.

- **Troisième solution: Utiliser une base de données**

Une solution serait d'établir une base de données des supports à appliquer en fonction des cas, en se basant sur de nombreuses configurations de tailles de lignes et de courants.

C'est une solution très complexe et lourde, à cause de la significative diversité des caractéristiques physiques et électriques que l'on peut rencontrer dans les circuits. Cette solution n'est donc pas envisageable d'un point de vue industriel.

Quatrième solution: Utiliser un modèle

Une autre idée est de générer un modèle mathématique qui définit la taille du support à partir de facteurs tels que les caractéristiques électriques et géométrique du coin. Ce modèle serait défini grâce à un plan d'expérience. Malheureusement, en raison du fort domaine de variation des facteurs, un tel modèle n'aurait pas la précision nécessaire pour couvrir correctement tous les cas possibles.

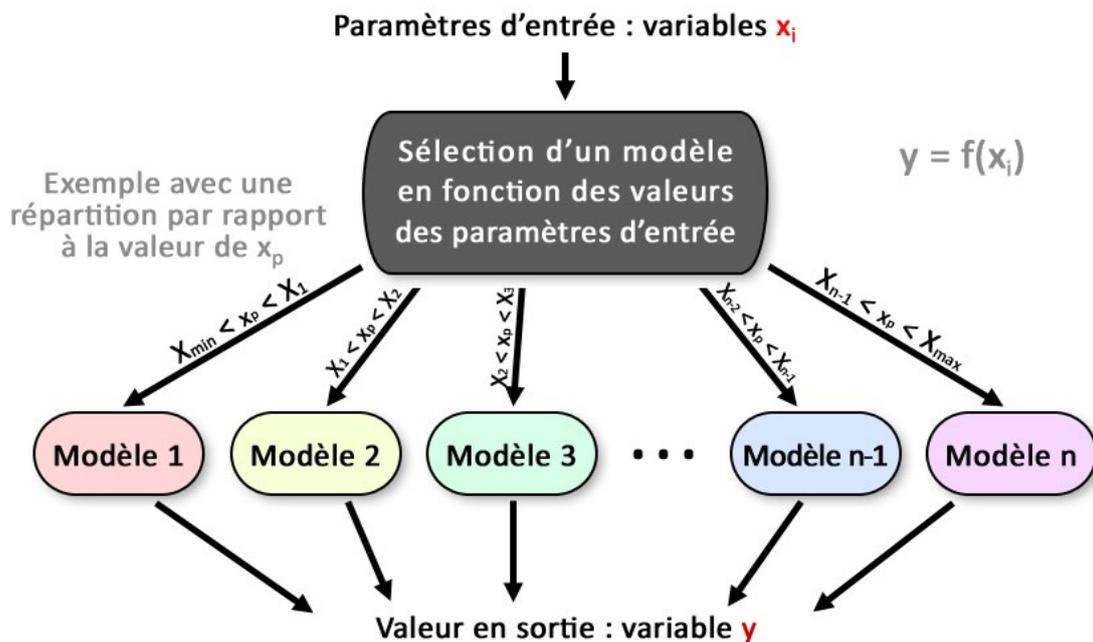


Figure 4.5 : Principe de fonctionnement de la méthode : on choisit le modèle adapté en fonction des valeurs en entrée.

Toutes ces solutions ont des avantages, mais surtout des inconvénients qui les rendent inutilisables en l'état. Au final, l'idée qui a été retenue est une fusion de l'idée de la base de données et de l'utilisation de modèles. C'est-à-dire de générer des ensembles de modèles mathématiques, à partir de plans d'expériences. Ainsi, en découpant le domaine de variation des facteurs en plusieurs parties, il est possible de couvrir l'intégralité des caractéristiques, avec un temps de calcul et une précision raisonnables.

La figure 4.5 illustre le fonctionnement de cette solution. En fonction des valeurs des facteurs en entrée, un modèle spécifique est sélectionné parmi l'ensemble de modèles. Il permet d'obtenir la valeur correspondant aux entrées pour l'aire du support.

III - 2. Solveur de courant

Même s'il ne peut être utilisé directement lors de la conception, le solveur de courant va toutefois nous servir pour la création des ensembles de modèles qui, à partir des données du circuit, calculent la taille optimale des supports avec un temps de calcul réduit.

Afin d'obtenir les données de la répartition des densités de courant dans différentes configurations d'angles, nous avons donc utilisé un solveur de courant (CST EM Studio [CST-EM]). Cet outil permet de simuler la répartition du courant dans les interconnexions. Il se base sur les équations de Maxwell pour calculer cette répartition. Ces lois sont des lois fondamentales de la physique, à la base de l'électromagnétisme. Elles permettent, entre autres, de déterminer le comportement du courant.

L'outil permet de dessiner une configuration, par exemple dans notre cas, une ligne de métal présentant un angle à 90°. On peut ensuite ajouter des sources et des puits de courant aux extrémités de la ligne. Une fois les courants définis, on peut lancer une simulation, durant laquelle l'outil va calculer la répartition du courant dans toute la ligne de métal.

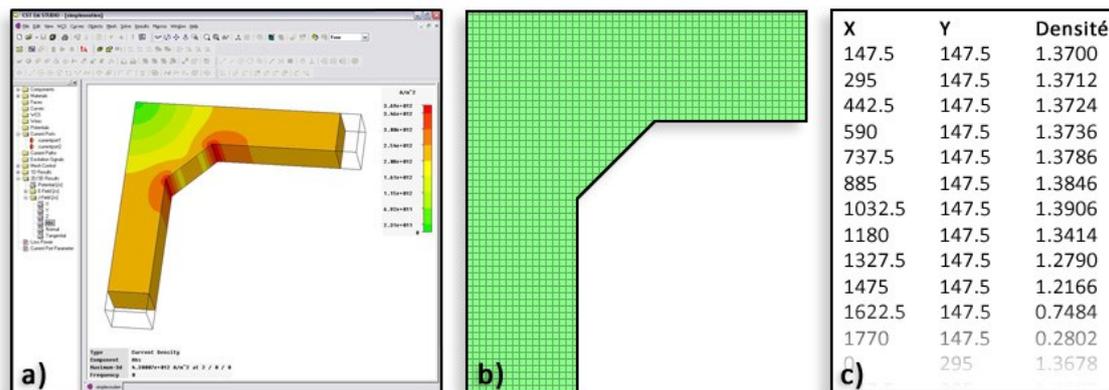


Figure 4.6 : Etapes de l'extraction de données pour une configuration : création de la ligne et résolution des courants dans le solveur (a), quadrillage de la ligne (b), extraction des densités (c).

Dans le but d'être utilisables pour la génération des modèles, les informations de répartition doivent ensuite être extraites et traitées. Conserver l'intégralité des données pour chaque cas étant trop consommateur en ressources, les données sont extraites sous forme de matrices. La ligne de métal est quadrillée et la valeur de la densité de courant est relevée à chaque croisement. On obtient ainsi des données suffisamment précises pour être significatives, tout en limitant la quantité de données sauvegardées.

La quantité de cas à traiter étant importante, puisqu'il faut analyser de nombreuses configurations dans le but de générer les modèles, des macros ont été réalisées pour automatiser la tâche. Elles prennent en entrée un fichier listant les facteurs nécessaires (largeurs de ligne, courants, surfaces des supports) pour chaque configuration à simuler. Pour chaque cas, elles

commencent par créer la ligne dans le solveur et résoudre les courants (figure 4.6.a), puis quadrillent l'intégralité de la ligne (figure 4.6.b), et finissent par extraire les données (figure 4.6.c). On obtient ainsi en sortie des fichiers avec les densités pour chaque configuration, utilisables pour le traitement des données.

III - 3. Plans d'expérience (DoE)

Les plans d'expérience (en anglais, *Design of Experiment*, acronyme **DoE**) permettent d'organiser au mieux les essais qui accompagnent une recherche scientifique ou des études industrielles [Goupy-2006, Hill-2007]. Ils permettent de déterminer les facteurs affectant une variable dépendante à laquelle on s'intéresse. Ils sont applicables à de nombreuses disciplines et à toutes les industries à partir du moment où l'on recherche le lien qui existe entre une grandeur d'intérêt, Y , et des facteurs, x_i . Ils permettent de générer une fonction f , permettant de calculer Y en une fonction des facteurs x_i :

$$Y = f(x_i) \quad (\text{Eq. 1})$$

Les plans d'expérience combinent probabilités et statistiques dans le but d'obtenir, en un minimum d'expériences, la connaissance complète d'une variable dans le domaine de variation des entrées considérées. Pour cela, il faut suivre des règles mathématiques et adopter une démarche rigoureuse [Box-2005].

Il existe de nombreux processus qui dépendent d'un grand nombre de paramètres externes (on parle de facteurs). Lorsqu'il est nécessaire de connaître la dépendance d'une grandeur de sortie, plusieurs difficultés se posent :

- Quels sont les facteurs les plus influents ?
- Existe-t-il des interactions entre les facteurs (corrélations) ?
- Peut-on linéariser le processus en fonction de ces facteurs et le modèle ainsi obtenu est-il prédictif ?
- Comment minimiser le nombre de points de mesure du processus pour obtenir le maximum d'informations ?

La méthode du plan d'expérience répond à ces questions et peut ainsi être appliquée dans de nombreux processus, dans notre cas, la génération de modèles pour la correction du *current crowding*. Il faut donc choisir ou construire les plans qui donneront les informations recherchées. Afin d'obtenir des informations pertinentes, une démarche méthodologique doit être suivie [Goupy-2005] :

- définitions des objectifs et critères,
- définition des facteurs étudiés et du domaine expérimental,
- construction des plans d'expérience,
- expérimentation,

- analyse des résultats,
- validation des résultats.

Nous allons nous intéresser aux plans factoriels, c'est-à-dire les plans d'expériences à 2 niveaux par facteur. Ce sont les plus utilisés car les plus simples et les plus rapides à mettre en œuvre. Plus particulièrement, nous allons nous concentrer sur les plans factoriels complets. Avec deux niveaux et k facteurs, ceux-ci sont notés 2^k . Dans un plan factoriel complet, la totalité des expériences doit être réalisée, comme dans la méthodologie standard. Pour un plan factoriel complet optimal à k facteurs, il va donc falloir mener 2^k expériences. Le principe consiste alors à répartir de façon optimale les essais dans le domaine de variation.

Type	Expériences	Facteur 1	Facteur 2	Facteur 3
Points factoriels	Essai 1	-1,00000	-1,00000	-1,00000
	Essai 2	-1,00000	-1,00000	1,00000
	Essai 3	-1,00000	1,00000	-1,00000
	Essai 4	-1,00000	1,00000	1,00000
	Essai 5	1,00000	-1,00000	-1,00000
	Essai 6	1,00000	-1,00000	1,00000
	Essai 7	1,00000	1,00000	-1,00000
	Essai 8	1,00000	1,00000	1,00000
Points axiaux	Essai 9	-1,68179	0,00000	0,00000
	Essai 10	1,68179	0,00000	0,00000
	Essai 11	0,00000	-1,68179	0,00000
	Essai 12	0,00000	1,68179	0,00000
	Essai 13	0,00000	0,00000	-1,68179
	Essai 14	0,00000	0,00000	1,68179
Points centraux	Essai 15	0,00000	0,00000	0,00000
	Essai 16	0,00000	0,00000	0,00000

Figure 4.7 : Liste des expériences à réaliser pour un plan factoriel complet à 3 facteurs.

Soit par exemple un plan factoriel complet à 3 facteurs, noté : 3^2 . La meilleure stratégie consiste à choisir les points de mesures aux extrémités du domaine expérimental, ce qui ne demande que 8 essais. Ces essais sont appelés points factoriels, ou « *cube points* », notés n_c .

En plus de ces essais, on ajoute le point central, ou « *center point* », qui correspond à la valeur médiane de chaque facteur, noté n_0 . Cet essai est dupliqué pour augmenter la précision. On ajoute aussi les points axiaux, ou « *star points* », notés n_s . Ils correspondent aux points centraux, à un facteur près, qui prend des valeurs supérieures et inférieures à la médiane, généralement en dehors du domaine de variation avec un coefficient $\alpha = (n_c)^{1/4}$. Ce qui donne 6 essais de plus, soit au total 16 essais [Statsoft-Textbook].

Le tableau 4.7 liste les expériences réalisées pour un plan factoriel complet à 3 facteurs. Les 8 premières lignes correspondent aux essais factoriels, les 6 suivantes aux essais axiaux, et les 2 dernières aux points centraux. Les valeurs dans le tableau correspondent aux domaines de variation des facteurs, avec 1 la valeur maximale, -1 la valeur minimale, et 0 la valeur médiane.

Une fois les essais réalisés, les coefficients b_i correspondant aux facteurs x_i d'entrée sont calculés en utilisant une régression linéaire multiple. Une approche utilisant un modèle polynomial pour modéliser une réponse requise a été suggérée par Doehlert [Doehlert-1978]. Ce modèle polynomial est calculé en utilisant une méthodologie de surface de réponse [Goupy-1999], selon l'équation du modèle général :

$$y_i = b_0 + b_{11}.x_1 + \dots + b_{kk}.x_k + b_{12}.x_1.x_2 + \dots + b_{k-1k}.x_{k-1}.x_k + b_{11}.x_1^2 + \dots + b_{kk}.x_k^2 \quad (\text{Eq. 2})$$

La précision de chaque équation résultante est donnée par l'analyse de la variance (ou encore étude des résidus, souvent abrégé par le terme *ANOVA : ANalyse Of VAriance*), c'est-à-dire la différence entre les valeurs obtenues par les équations et celles obtenues par l'expérience [Poirier-1993].

Nous avons utilisé le logiciel Statsoft Statistica [Statsoft-Statistica] pour générer les listes d'expériences à réaliser, puis pour traiter les données et obtenir les équations des modèles. Une fois les facteurs d'entrée et leur domaine de variation définis, le logiciel fournit la série d'expériences à réaliser. On peut ensuite associer à chaque essai un résultat numérique. Le logiciel peut ensuite effectuer la régression pour déterminer les coefficients, en précisant la précision du résultat (à l'aide du R^2).

IV. Application à des cas d'école

IV - 1. Type L

Le premier cas d'école à étudier est le type-L, illustré figure 4.3.a, qui représente le cas de base, avec une seule ligne qui forme un coude. Les facteurs d'entrée sont au nombre de trois : le courant I , la largeur de la ligne de métal W et l'aire du support S . Précédemment, il a été dit que les travaux étaient réalisés sur une technologie 90 nanomètres, qui nous impose les domaines de variation suivants :

- des plages de largeur de 0,12 μm (largeur minimale de la techno) à 12 μm (largeur maximale de la techno),
- des plages de courant de 0 mA à 24 mA (pas besoin de tester les courants négatifs, le problème étant symétrique à ce niveau),
- et des plages d'aire de support de 0 μm^2 à 72 μm^2 .

Pour couvrir tous ces domaines dans leur intégralité, un seul modèle n'est pas suffisant, car il ne permet pas d'obtenir une bonne précision de la réponse sur la plage complète de variations des facteurs d'entrée. Il a donc fallu découper les plages de chaque facteur pour générer un ensemble de modèles spécifiques qui, combinés, couvrent l'ensemble des domaines de variation. Après plusieurs essais de découpages, un compromis entre la précision et la quantité des modèles a été trouvé. C'est ainsi que les domaines de variation ont été découpés en 40 sous-domaines, listés ci-après dans le tableau 4.8.

#	Courant I (μA)		Largeur W (μm)		Surface support S (μm ²)		#	Courant I (μA)		Largeur W (μm)		Surface support S (μm ²)	
	min	max	min	max	min	max		min	max	min	max	min	max
1	0	1	0,12	2	0,009	1	21	7	10	3,5	8	50	72
2	0	1	0,12	2	1	2	22	7	10	8	12	4	27
3	1	2	0,5	2	0,125	3,125	23	7	10	8	12	27	50
4	1	2	0,5	2	3,125	6,125	24	7	10	8	12	50	72
5	1	2	2	3,5	0,125	3,125	25	10	13	5	8,5	12,5	32,5
6	1	2	2	3,5	3,125	6,125	26	10	13	5	8,5	32,5	52,5
7	2	4	1	3	0,5	4,5	27	10	13	5	8,5	52,5	72
8	2	4	1	3	4,5	8,5	28	10	13	8,5	12	12,5	32,5
9	2	4	1	3	8,5	12,5	29	10	13	8,5	12	32,5	52,5
10	2	4	3	5	0,5	4,5	30	10	13	8,5	12	52,5	72
11	2	4	3	5	4,5	8,5	31	13	16	6,5	9	23	47,5
12	2	4	3	5	8,5	12,5	32	13	16	6,5	9	47,5	72
13	4	7	2	5	2	12	33	13	16	9	12	23	47,5
14	4	7	2	5	12	22	34	13	16	9	12	47,5	72
15	4	7	2	5	22	32	35	16	20	8	10	30	51
16	4	7	5	8	2	12	36	16	20	8	10	51	72
17	4	7	5	8	12	22	37	16	20	10	12	30	51
18	4	7	5	8	22	32	38	16	20	10	12	51	72
19	7	10	3,5	8	4	27	39	20	24	10	12	32	52
20	7	10	3,5	8	27	50	40	20	24	10	12	52	72

Figure 4.8 : Tableau présentant les domaines de variation en courant, largeur de ligne et surface du support des 40 modèles pour le type L.

En utilisant le solveur de courant et des plans d'expériences avec la méthode décrite précédemment, plusieurs ensembles de modèles sont extraits, chaque ensemble étant associé à un domaine de valeurs de I, W et S. Comme montré dans l'exemple, le logiciel de DoE définit une liste de seize expériences à réaliser pour chacun de ces domaines. Cette liste d'expériences est fournie au solveur, qui la traite automatiquement grâce aux macros développées. Il retourne les données de répartition de la densité de courant pour chaque cas.

De ces données sont extraites les informations qui nous intéressent, à savoir trois valeurs clés ou réponses qui vont servir à la définition de la correction à apporter pour le *current crowding* : l'aire totale de métal, l'aire de violation de densité de courant, et une valeur moyenne de la violation de densité de courant.

Chacune de ces informations est fournie au logiciel de DoE, qui, par une régression linéaire, calcule les coefficients pour les lier aux facteurs d'entrée (largeur de ligne, courant et aire des supports). On obtient ainsi pour chaque sous-domaine un sous-ensemble de modèles pour chaque réponse (équations 3), de la forme :

$$\begin{aligned}
 \text{Aire}_{\text{totale}}(I,W,S) &= K_1 + \alpha_i \cdot I + \alpha_{i^2} \cdot I^2 + \alpha_w \cdot W + \alpha_{w^2} \cdot W^2 + \alpha_s \cdot S + \alpha_{s^2} \cdot S^2 + \alpha_{iw} \cdot I \cdot W + \alpha_{is} \cdot I \cdot S + \alpha_{sw} \cdot S \cdot W \\
 \text{Aire}_{\text{violation}}(I,W,S) &= K_2 + \beta_i \cdot I + \beta_{i^2} \cdot I^2 + \beta_w \cdot W + \beta_{w^2} \cdot W^2 + \beta_s \cdot S + \beta_{s^2} \cdot S^2 + \beta_{iw} \cdot I \cdot W + \beta_{is} \cdot I \cdot S + \beta_{sw} \cdot S \cdot W \\
 \text{Moy}_{\text{violation}}(I,W,S) &= K_3 + \chi_i \cdot I + \chi_{i^2} \cdot I^2 + \chi_w \cdot W + \chi_{w^2} \cdot W^2 + \chi_s \cdot S + \chi_{s^2} \cdot S^2 + \chi_{iw} \cdot I \cdot W + \chi_{is} \cdot I \cdot S + \chi_{sw} \cdot S \cdot W
 \end{aligned}
 \tag{Eq. 3}$$

Le coefficient de corrélation linéaire moyen R^2 entre les modèles et les simulations est de 97% dans le domaine de variation des facteurs.

La sélection de la meilleure solution est basée sur ces trois facteurs et un compromis entre l'aire de métal et la violation de densité. En effet, à moins d'un surdimensionnement excessif de la largeur de la ligne et d'un support important, une violation de la densité de courant aura toujours lieu dans les coins internes, car le courant se concentre dans ces zones. Notre objectif est donc de générer un support de taille minimale, pour une zone de violation minimale.

Dans le but de minimiser l'aire de métal, les modèles partent du principe que l'équivalent du support que l'on ajoute à l'angle intérieur est retiré de l'angle extérieur (comme illustré figure 4.2.c). L'impact sur la distribution de la densité de courant n'est pas significatif, puisque la densité de courant est faible dans cette zone, comme précisé précédemment.

Une fonction a été réalisée afin d'obtenir la surface du support optimisé à partir de la valeur du courant et optionnellement de la largeur si l'utilisateur veut la fixer, comme illustrée figure 4.9. A partir de la valeur du courant donnée en entrée, elle sélectionne les modèles appropriés, c'est à dire tous les modèles dont le domaine de variation de courant correspond à la valeur fournie. Cela peut correspondre à plusieurs modèles, puisque les sous-domaines se chevauchent. Si une valeur pour la largeur est imposée, elle ne garde que les modèles qui sont compatibles avec cette largeur.

Pour chaque modèle sélectionné, les équations sont résolues en faisant varier les variables non imposées (la surface et éventuellement la largeur) entre le minimum et le maximum. Les résultats sont comparés dans le but de sélectionner la meilleure solution. Cette meilleure solution découle d'un compromis entre l'aire de violation, la valeur moyenne de la violation, l'aire totale de métal. L'utilisateur peut paramétrer le choix de la meilleure solution en agissant sur le compromis entre la violation et la surface de métal.

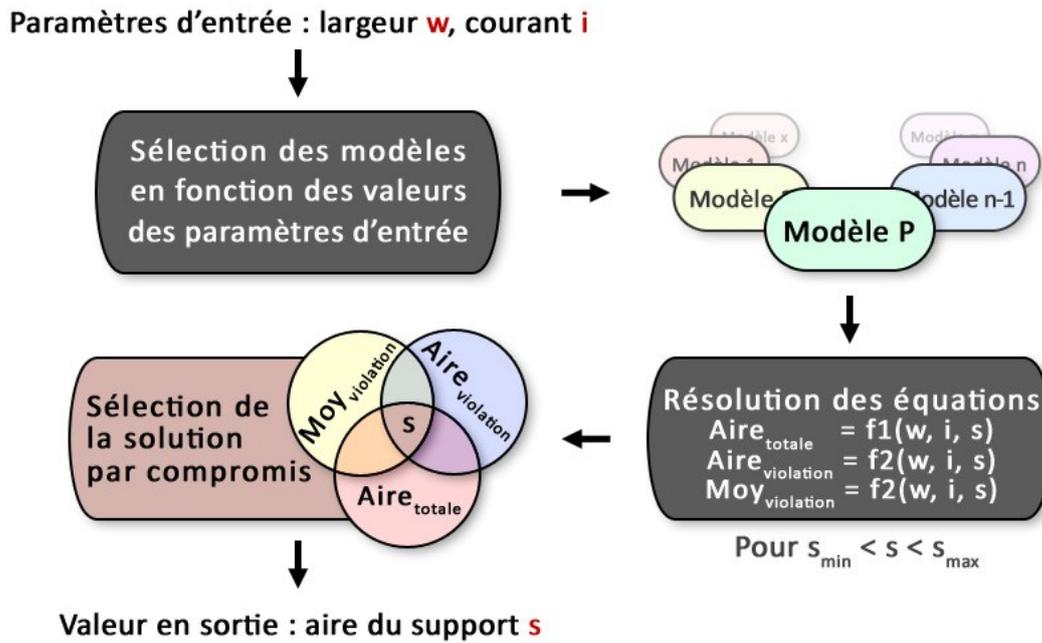


Figure 4.9 : Représentation du fonctionnement de la fonction de sélection de l'aire du support pour le cas de type L.

IV - 2. Type T

Notre approche pour la configuration de type T est différente de celle pour le type L. En effet, ce cas présente plus de variables : sept variables indépendantes contre seulement trois pour le type L. Il faudrait donc pour chaque modèle effectuer 144 expériences pour un plan factoriel complet ($2^7 = 128$ points factoriels, 14 points axiaux et 2 points centraux). Même en utilisant un plan factoriel fractionnaire (qui réduit le nombre de points factoriels à 64) le nombre d'expériences reste conséquent.

A cela s'ajoute un domaine de variation global bien plus étendu, pour couvrir les plages de toutes les variables. Le type T nécessiterait donc une grande quantité de modèles pour être correctement couvert. Alors que nous avons 40 modèles pour le type L, nous avons estimé qu'il faudrait un découpage en plus de 1000 sous parties pour le type T.

Pour minimiser la complexité de cette modélisation, la modélisation du type T se base sur les résultats du type L en procédant par équivalences entre le type T et le type L.

Pour commencer, nous avons séparé le type T en deux cas distincts de configurations de courants, comme illustré par la figure 4.10. Dans la première configuration 4.10.a, qui sera nommée « symétrie », I1 et I3 sont tous deux des sources (respectivement des puits), et I2 est un puits (respectivement une source). Dans le deuxième cas 4.10.b, surnommé quant à lui « continuation », I1 est une source et I3 est un puits (ou l'inverse), tandis que I2 peut être une source ou un puits. Dans la première configuration, la concentration de courant aura lieu dans les

deux angles internes, tandis que dans le second cas, le courant ne se concentrera principalement qu'en un seul des angles internes.

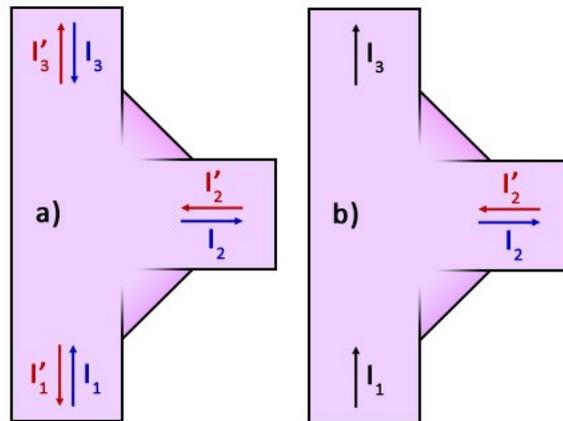


Figure 4.10 : Deux configurations de courant pour le type T : symétrie par rapport à la branche du milieu (a), ou continuation (b).

La figure 4.11 illustre l'équivalence pour la configuration symétrique. Le type T est modélisé à partir de deux types L. Après plusieurs essais pour trouver l'équivalence la plus fidèle, on fixe les valeurs de W_1 , W_3 , S_1 et S_2 à partir des résultats fournis par le modèle du type L pour I_1 et I_3 . La variable restant à définir, W_2 , nécessite un plan d'expérience pour être optimisée. La largeur minimale W_2 pour une violation de densité minimum est calculée par dichotomie pour plusieurs configurations. En utilisant l'outil de DoE pour effectuer une régression, on obtient les coefficients qui permettent de modéliser W_2 à partir de W_1 et W_3 (équation 5) :

$$W_2(W_1, W_3) = \kappa + \alpha \cdot W_1 + \beta \cdot W_1^2 + \chi \cdot W_3 + \delta \cdot W_3^2 + \varepsilon \cdot W_1 \cdot W_3 \quad (\text{Eq. 5})$$

Le coefficient de corrélation moyen R^2 obtenu entre les modèles et les simulations utilisées pour les générer est de 94% dans le domaine de variation des facteurs d'entrée, ce qui tend à valider la précision des modèles.

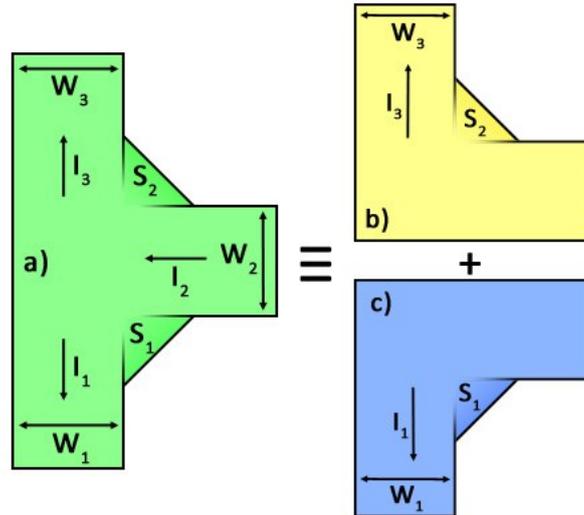


Figure 4.11 : Equivalence entre type T et type L : on peut utiliser deux modèles en L pour aider à la modélisation du type T symétrique.

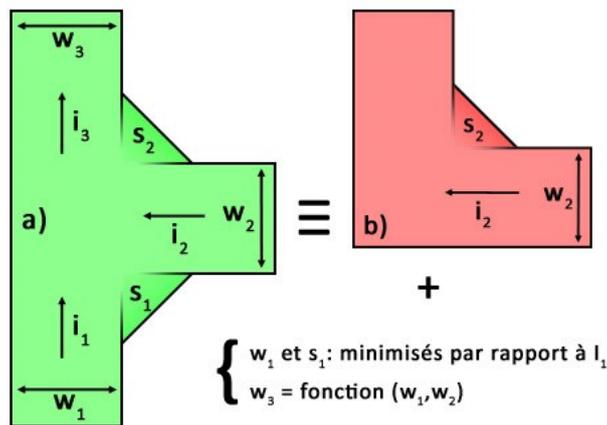


Figure 4.12 : Equivalence entre type T et type L : on peut utiliser un modèle en L pour aider à la modélisation du type T « continuation ».

Pour le second cas, « continuation », illustré par la figure 4.12, un seul angle de type L est utilisé dans l'équivalence. w_2 et S_2 résultent du modèle L pour I_2 , tandis que w_1 et S_1 sont minimisés : S_1 est nul, le besoin de support dans ce coin est négligeable. En effet, le courant ne va pas particulièrement se concentrer dans l'angle de S_1 , même s'il y aura une concentration légère due à la propagation du courant. Là encore, comme pour le cas précédent, la largeur minimale w_3 pour une violation de densité minimum est calculée par dichotomie pour diverses expériences, puis soumise à une régression pour obtenir les coefficients qui permettent de modéliser w_3 à partir de w_1 et w_2 (équation 6)

$$w_3(w_1, w_2) = \kappa + \alpha \cdot w_1 + \beta \cdot w_1^2 + \chi \cdot w_2 + \delta \cdot w_2^2 + \varepsilon \cdot w_1 \cdot w_2 \quad (\text{Eq. 6})$$

Le coefficient de corrélation moyen R^2 obtenu entre les modèles et les simulations utilisées pour les générer pour ce cas est de 92% dans le domaine de variation des facteurs d'entrée, ce qui tend à valider la précision des modèles.

En utilisant les équivalences avec le type L, le nombre de plans d'expériences nécessaires à l'obtention un modèle précis pour le type T est resté raisonnable. Ces modèles restent tout de même acceptables avec des R^2 de respectivement 94% et 92% pour les différentes configurations considérées.

V. Résultats et intégration

V - 1. Etude de la précision des modèles

Dans le but de vérifier les capacités du modèle à couvrir des cas réalistes, 100 configurations de type L ont été générées aléatoirement. La figure 4.13 présente un histogramme de la précision du modèle pour ces 100 configurations. La précision moyenne est de 85% et la médiane est à 86% pour une comparaison entre les résultats obtenus avec les modèles et ceux obtenus en utilisant le solveur de courant.

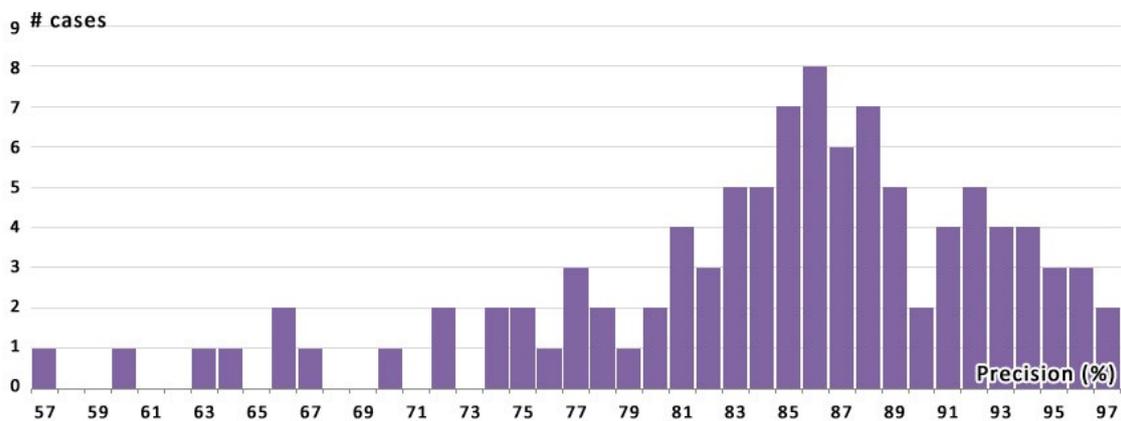


Figure 4.13 : Histogramme classant 100 tests aléatoires de type L en fonction de leur précision entre les résultats des modèles et ceux des simulations.

De la même manière que pour le type L, des configurations ont été générées aléatoirement pour le type T. Pour chacune des deux configurations décrites dans la partie précédente, 50 tests ont été générés. La figure 4.14 présente un histogramme empilé de la précision des modèles pour ces 100 configurations (le premier cas, symétrie, en rouge, le second cas, « continuation », en bleu). La précision moyenne est de 80% et la médiane est à 84% pour une comparaison entre les résultats obtenus avec les modèles et ceux obtenus en utilisant le solveur de courant.

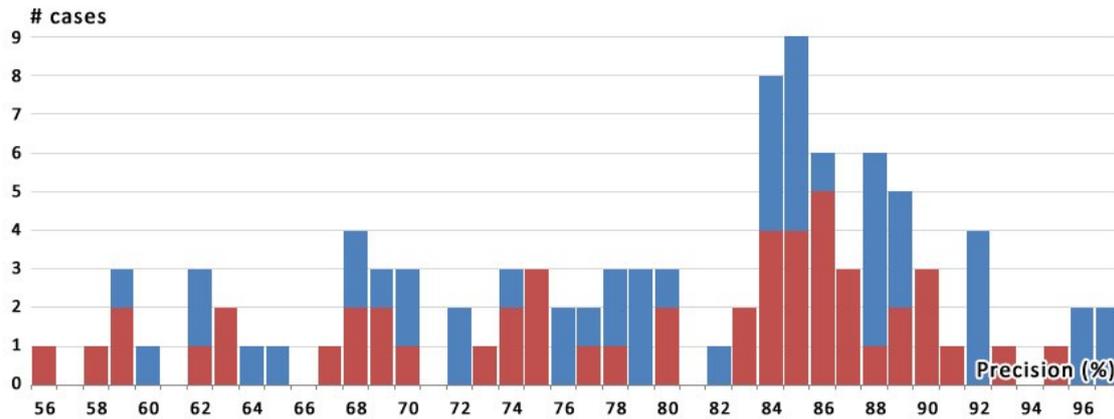


Figure 4.14 : Histogramme classant 100 tests aléatoires de type T en fonction de leur précision entre les résultats des modèles et ceux des simulations. En rouge les cas symétriques, en bleu les cas « continuation ».

L'analyse des cas présentant une plus faible précision n'a pas révélé de facteur commun particulier (même ordre de largeurs, courantes ou autres). Toutefois, en prenant les cas dont la précision est inférieure à 75%, on relève que dans 63% des cas, la taille du support est surévaluée ce qui permet d'éviter le phénomène de *current-crowding*.

Ces résultats valident l'efficacité de l'approche par modèles pour la génération automatique des supports, que ce soit pour les types L que pour les types T. En effet, une précision de l'ordre de 80% est suffisante pour l'utilisation qui est faite de ces modèles. L'important est de réduire significativement l'impact du *current crowding* en un temps réduit et simplement, ce qui est le cas grâce à l'utilisation de ces modèles.

V - 2. Etude des effets sur les violations

Outre l'étude de la précision des modèles, il est important de vérifier l'impact de l'ajout des supports sur les violations. Pour ce faire, nous avons généré 100 nouvelles configurations aléatoires, tous types confondus (types L, et les deux types T). Le but est d'observer les violations avant et après l'utilisation des modèles et l'ajout des supports.

Avant d'utiliser les modèles, ces configurations présentaient une aire de violation représentant 15,3% de l'aire totale, et un dépassement moyen en courant de 18,7% sur cette aire de violation. Ces valeurs sont calculées en prenant le ratio de l'aire où la densité de courant est supérieure à la densité maximale autorisée par rapport à l'aire totale de la configuration, ainsi que le ratio de la moyenne de la densité de courant pour cette aire sur la densité maximale autorisée. Ces valeurs ne sont pas très élevées car parmi les configurations aléatoires, certaines ont des caractéristiques qui diminuent l'impact du *current crowding* nativement (faible courant par rapport aux largeurs, par exemple).

Après l'application des supports générés par les modèles, les valeurs sont réduites à 6,5% pour l'aire de violation par rapport à l'aire totale, et 7,4% pour la violation moyenne. Les résultats montrent une baisse significative de l'aire de violation ainsi que de la moyenne de violation. Même en configurant les modèles de manière agressive (au détriment de la surface de métal), il restera toujours une faible aire de violation. En effet, même avec les supports, le courant se concentre dans les angles internes, entraînant des violations.

V - 3. Intégration

Forts du faible temps de calcul nécessaire à leur mise en œuvre (0,14 secondes pour l'analyse des 100 cas de type L avec un processeur Intel Core2 Quad cadencé à 2,50 GHz), les modèles peuvent être intégrés dans le flot de conception sans avoir un impact significatif sur le temps d'exécution. Puisque la complexité est linéaire, le temps de calcul pour des circuits plus importants reste raisonnable (163,32 secondes pour 100 000 cas aléatoires, avec le même processeur).

L'étape idéale pour l'intégration des modèles est la phase de DRC (*Design Rules Check*, étape pendant laquelle la non violation des règles de dessin est vérifiée), comme illustré figure 4.15. Le DRC est lancé une première fois, puis le script d'intégration des supports est activé. Une fois les supports nécessaires ajoutés, le DRC est relancé, pour vérifier si des problèmes de règles de dessin n'ont pas été générés par l'ajout des supports.

Par exemple, pour le type L, après la première étape de DRC, un script va analyser les interconnexions pour localiser les angles. Les simulations sont lancées pour obtenir les données en courant. Ensuite, le script d'insertion des supports prend pour variables le courant dans les lignes sélectionnées, et la largeur de ces lignes, qui est fixée par le *layout*. En utilisant les modèles, la taille optimale des supports pour les angles est calculée et les lignes sont modifiées : ajout des supports, et éventuellement suppression du coin externe (pour les types L).

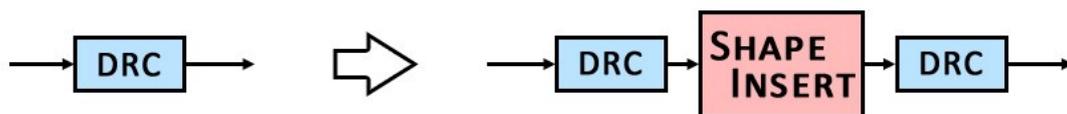


Figure 4.15 : Proposition d'intégration d'un script utilisant les modèles dans le flot de conception, au niveau de la phase de DRC.

VI. Conclusion

Dans ce chapitre, une méthode pour une génération automatique de supports dans les coudes des interconnexions, dans le but de réduire les effets du *current crowding*, a été présentée.

Tout d'abord, le phénomène de *current crowding* a été défini. Il consiste en une concentration du courant dans les angles internes des coudes formés par les interconnexions lors des

changements de directions. Les cas possibles et les facteurs liés ont ensuite été définis, ainsi que les domaines de variation des facteurs pour une technologie 90 nanomètres.

La méthodologie a ensuite été décrite. Elle consiste en un mélange entre base de données et modélisation. En effet, pour couvrir l'ensemble du domaine expérimental, un seul modèle n'aurait pas été assez précis, et une base de données simple aurait été trop lourde. La solution est donc basée sur une base de données réduite de modèles, qui déterminent l'aire optimale de la forme de support selon les courants et les largeurs des lignes de métal. Un solveur de courant et des plans d'expérience factoriels complets ont été utilisés pour la réalisation de ces ensembles de modèles.

La méthode est ensuite appliquée aux deux cas précédemment définis. Tout d'abord le type L, qui nécessite un ensemble de 40 modèles pour que le domaine de variation soit couvert. Le coefficient de corrélation linéaire moyen R^2 entre les modèles et les simulations est de 97% dans le domaine de variation des facteurs. Le type T étant trop complexe pour être modélisé directement avec cette méthode (plus de 1000 plans de 80 expériences à réaliser), il a été modélisé en utilisant des équivalences avec le type L. Le coefficient de corrélation moyen R^2 entre les modèles et les simulations obtenu pour ce cas est de 92% dans le domaine de variation des facteurs d'entrée.

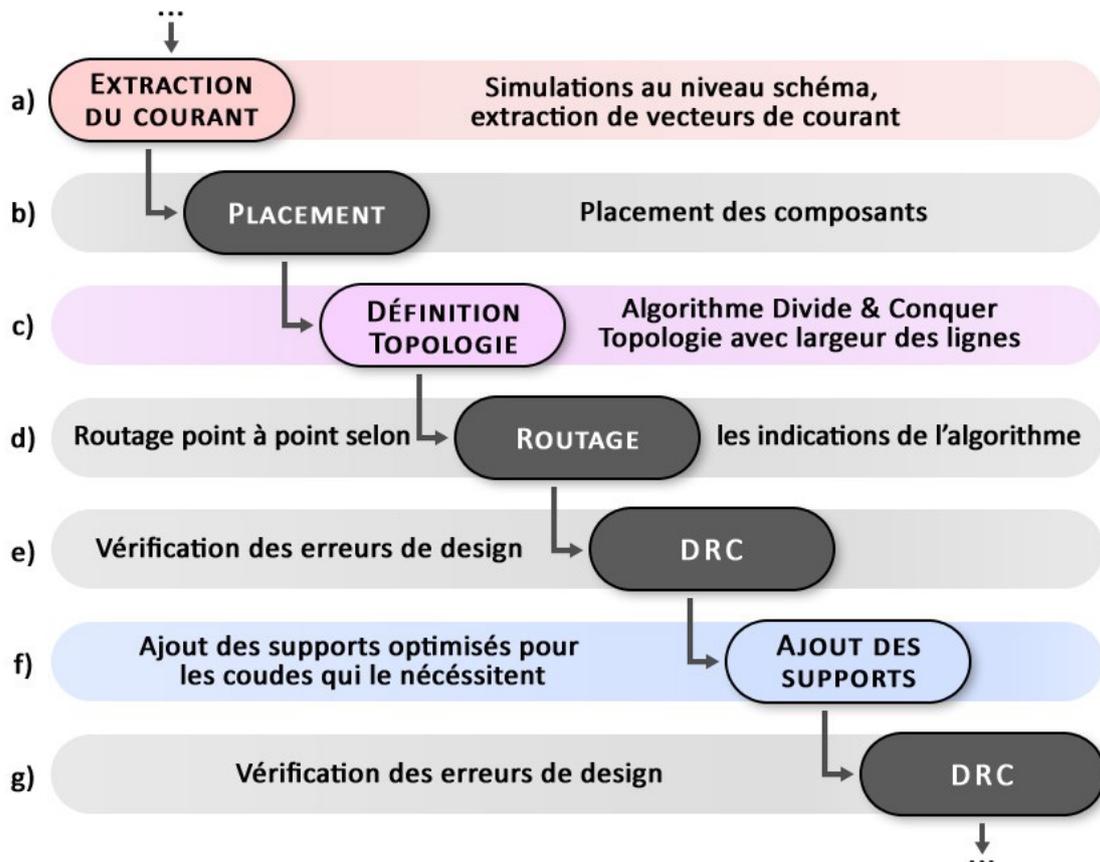
Une étude de la précision a ensuite été réalisée pour les deux types, à l'aide de 100 configurations aléatoires. La précision moyenne est de 85% pour les types L, contre 80% pour les types T. Une précision de cet ordre est suffisante pour l'utilisation de ces modèles.

Outre la précision, l'impact des supports a été testé, toujours à l'aide de 100 configurations aléatoires. Ces configurations présentaient une aire de violation représentant 15,3% de l'aire totale, et un dépassement moyen de 18,7% sur cette aire de violation avant correction. Après l'application des supports générés par les modèles, les valeurs tombent à 6,5% pour l'aire de violation par rapport à l'aire totale, et 7,4% pour la violation moyenne, ce qui confirme l'utilité des supports.

Fort de son temps de calcul faible (0,14 secondes pour l'analyse des 100 cas de type L avec un processeur Intel Core2 Quad cadencé à 2,50 GHz), cette solution pourrait être intégrée dans le flot de conception au niveau de la phase de DRC.

CHAPITRE 5

VALIDATION DU FLOT GENERAL



Dans ce chapitre, les méthodes présentées aux cours des chapitres précédents, l'algorithme *Divide & Conquer* et la correction optimisée du *current crowding*, sont appliquées à des cas d'école. Les cas d'école sont d'abord routés sans l'utilisation de nos solutions de prise en compte du courant, puis les méthodes sont appliquées, avec deux distributions de courants différentes. Une comparaison entre le routage des cas sans prise en compte des courants et le routage avec les solutions proposées est effectuée pour mettre en avant les résultats.

Table des matières du chapitre

Introduction.....	103
I. Retour sur les méthodes proposées	103
I - 1. L’algorithme de routage Divide & Conquer.....	103
I - 2. La correction du <i>current crowding</i>	104
II. Exemple d’un flot utilisant les deux méthodes.....	104
III. Application à des cas d’étude	106
III - 1. Définition des cas.....	106
III - 2. Routage sans utiliser les méthodes de prise en compte du courant	107
III - 3. Routage avec prise en compte des courants.....	109
III - 4. Correction du <i>current crowding</i>	112
IV. Comparaison des résultats obtenus.....	115
V. Conclusion	117

Introduction

Au cours des chapitres précédents, nous avons expliqué l'importance de prendre en compte au plus tôt les contraintes de densité de courant dans les interconnexions durant la création d'un circuit électronique pour éviter les problèmes comme l'électromigration, les écarts de tension et les surcharges électriques.

Nous nous sommes intéressés aux circuits analogiques, dont la conception est réalisée en *Full-custom* et le routage détaillé encore réalisé en grande partie à la main par les concepteurs. Une réalisation très couteuse, que ce soit en temps ou en ressources. Nous avons donc cherché des solutions pour les assister dans leur réalisation, au cours de l'étape de routage.

De notre travail, il est ressorti une solution algorithmique pour aider à la génération de topologies optimisées par rapport à l'aire des interconnexions, qui respectent les contraintes en courant. Une méthode d'optimisation de la correction du phénomène de *current crowding* à l'aide de supports dans les coudes des interconnexions a aussi été présentée.

Ce chapitre a pour but de présenter l'intégration de ces deux méthodes dans le flot de routage ainsi que sa validation sur des cas d'école. Après un rapide retour sur les deux méthodes, le flot utilisé est présenté. Les cas d'étude sont ensuite introduits. Tout d'abord, ils sont traités sans utiliser nos solutions de prise en compte des contraintes en courant, puis les méthodes sont appliquées, avec deux distributions de courants différentes. Finalement, un comparatif des résultats entre le traitement sans et avec prise en compte du courant est exposé.

I. Retour sur les méthodes proposées

I - 1. L'algorithme de routage Divide & Conquer

Dans le chapitre 3, nous avons présenté un algorithme qui définit une topologie de routage optimisée par rapport à l'aire des interconnexions, et qui respecte les contraintes de densité de courant. Cet algorithme récupère les données en courant d'un circuit, à partir des simulations du schéma électrique. Il réalise ensuite une planification du réseau d'interconnexions qui compose le fil, avec pour but de respecter les contraintes imposées par les densités de courant, tout en minimisant l'aire totale des interconnexions.

Le fonctionnement de cet algorithme, baptisé « *Divide & Conquer* », est illustré figure 5.1. Il divise les terminaux en plusieurs groupes (5.1.b) et utilise une méthode exhaustive pour lier les groupes (5.1.c), puis les terminaux dans ces groupes (5.1.d), pour trouver une topologie optimisée pour router les terminaux. Il permet ainsi de guider le concepteur lors de la phase de routage, en indiquant dans quel ordre router les terminaux, ainsi que la largeur à utiliser pour les lignes afin d'éviter les violations de densité de courant.

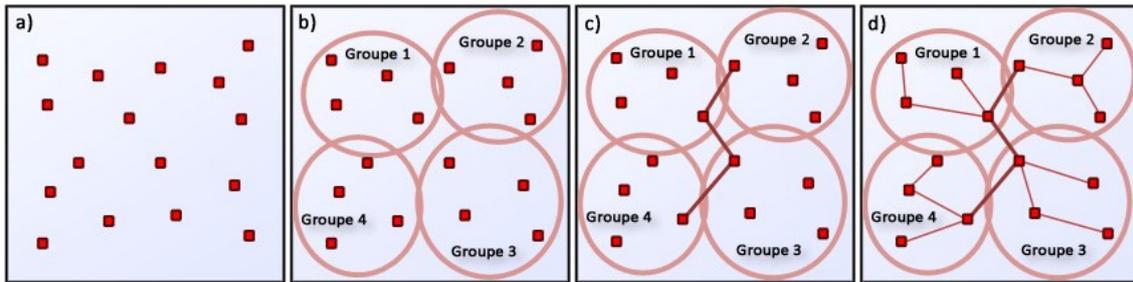


Figure 5.1 : Illustration des étapes principales de l'algorithme D&C pour un exemple avec seize terminaux.

I - 2. La correction du *current crowding*

Le phénomène de *current crowding* consiste en une répartition inhomogène de la densité de courant dans une zone. Dans notre cas, ce sont les coins formés par les interconnexions métalliques dans les circuits lors d'un changement de direction qui nous ont intéressés. Ces coins sont en effet propices à ce phénomène, car ils présentent des zones de forte densité de courant dans leur partie interne, le courant ayant tendance à suivre le chemin le plus court.

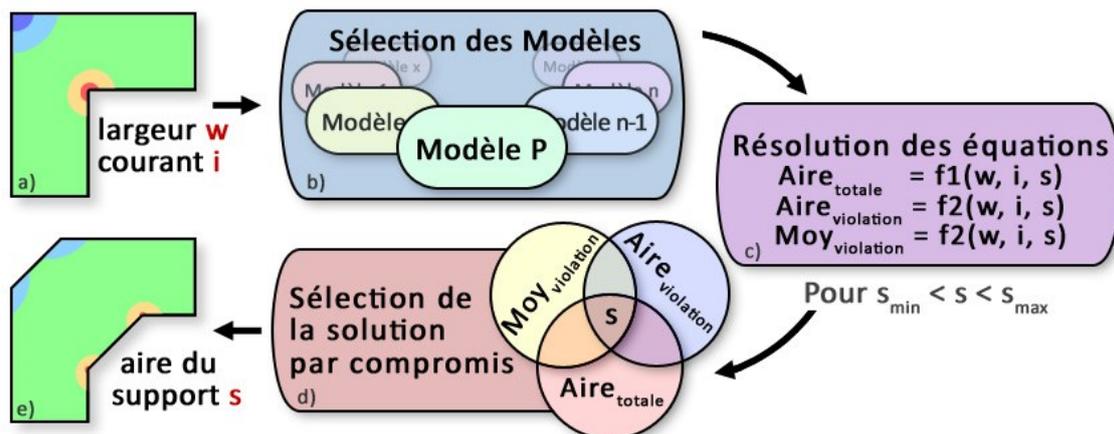


Figure 5.2 : Représentation du fonctionnement de la fonction de sélection de l'aire du support pour le cas de type L.

Dans le but de limiter les effets du *current crowding*, il faut ajouter des supports dans les angles, ou faire des chemins à 45°. Une méthode pour optimiser la définition de ces supports a été définie. Son fonctionnement est illustré figure 5.2. Elle est basée sur l'utilisation d'une base de données de modèles qui couvrent chacun une portion du domaine de variation des facteurs géométriques et électriques des topologies critiques. Ils permettent de définir une taille optimisée pour le support en fonction des facteurs des topologies.

II. Exemple d'un flot utilisant les deux méthodes

Ces deux méthodes peuvent être intégrées dans le flot de conception *Full-Custom* en ajoutant des étapes spécifiques. La figure 5.3 illustre ces étapes en se concentrant sur la partie du flot où elles interviennent (le flot complet est disponible dans le chapitre 1).

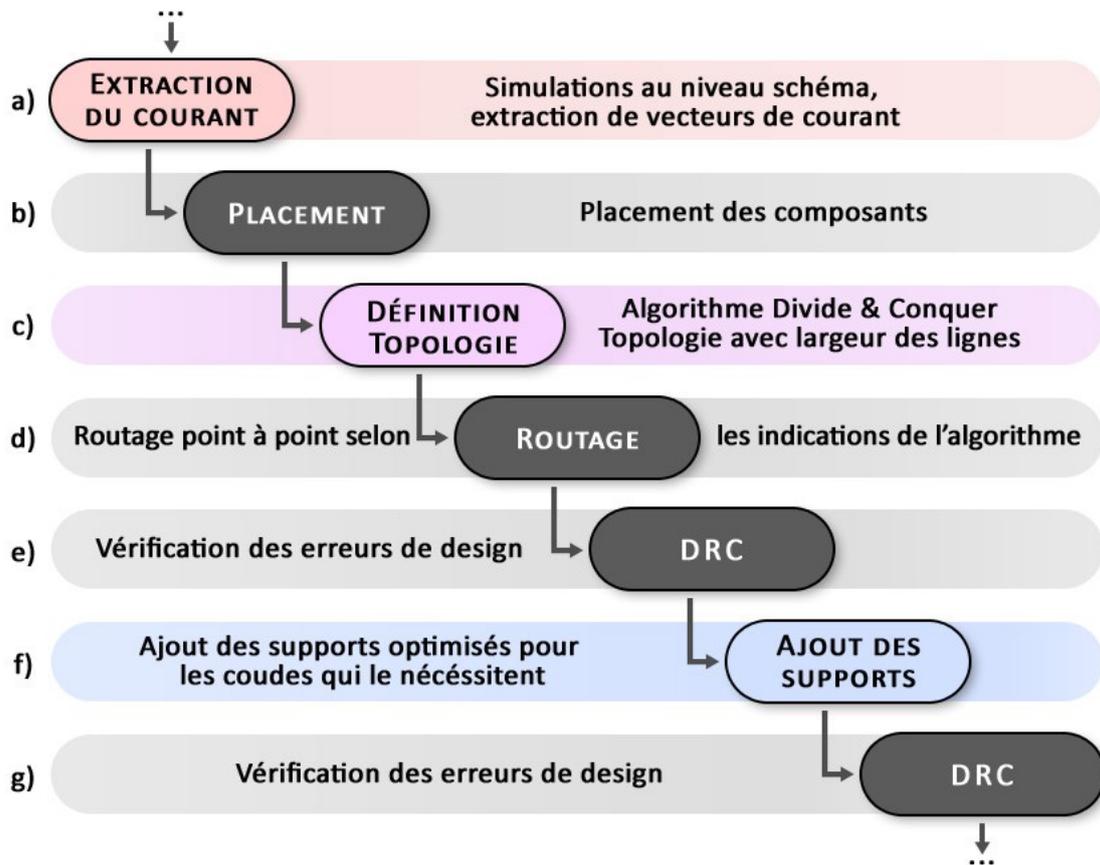


Figure 5.3 : Exemple de modification du flot Full-Custom avec l'ajout de solutions pour les contraintes en courant : génération de topologie et correction du current crowding.

Une fois le schéma réalisé, l'extraction des vecteurs de courant est exécutée (5.3.a), en effectuant des simulations qui couvrent les divers modes de fonctionnement. Ces vecteurs permettent d'avoir une définition du courant représentative.

La phase de placement est ensuite effectuée par le concepteur (5.3.b), à la main. Il lance ensuite l'algorithme *Divide & Conquer* (5.3.c), qui va, à partir de la position des terminaux des fils et des données en courant, définir des topologies optimisées pour l'aire des interconnexions, avec des largeurs de lignes qui permettent d'éviter les violations de densités. Guidé par la topologie proposée par l'algorithme, le concepteur peut ensuite utiliser un routeur point à point qui prend en charge les largeurs des segments pour respecter les indications de la topologie (5.3.d).

Après une étape de vérification des règles de design, *Design Rules Check*, (5.3.e), la détection et la vérification des coudes des interconnexions est lancée (5.3.f), pour vérifier si des corrections sont nécessaires, et indiquer l'aire optimisée pour le support à ajouter, si besoin. Après ces corrections, une autre vérification est exécutée (5.3.g), pour valider que les modifications apportées n'ont pas entraîné des violations des règles de dessin. On peut ensuite reprendre le flot classique.

III. Application à des cas d'étude

III - 1. Définition des cas

Pour analyser l'impact de nos solutions, nous avons étudié plusieurs cas d'école, dont deux sont présentés dans ce chapitre. Ils ont été générés manuellement. Ils permettent une bonne compréhension du fonctionnement et une visualisation simple de l'impact des solutions testées. Nous avons travaillé sur une technologie 90 nanomètres, dont les règles imposent une largeur minimale de 0,12 μm pour les interconnexions et une densité maximale de 2 mA/ μm .

A	x μm	y μm	i1 mA	i2 mA
T1	0	3,9	3,4	-2,1
T2	0	11,7	4,4	-1,6
T3	3,9	6,5	-2,8	0,7
T4	7,8	0	-0,5	-1,1
T5	10,4	10,4	-4,6	-4,6
T6	11,7	5,2	2,3	1,2
T7	18,2	1,3	5,2	5,2
T8	18,2	10,4	-7,4	2,3

Configuration A : 8 terminaux
2 distributions de courants

B	x μm	y μm	i1 mA	i2 mA
T1	0	0	-0,1	6,1
T2	1,3	9,1	0,7	2
T3	2,6	13	-1,6	1,5
T4	2,6	19,5	-0,5	2,5
T5	3,9	3,9	-1,1	-2,3
T6	7,8	14,3	2,4	1,2
T7	9,1	9,1	4,9	0,9
T8	11,7	2,6	2,3	-1,6
T9	14,3	20,8	1,2	0,7
T10	15,6	7,8	5,2	-1,3
T11	18,2	14,3	2,4	0,7
T12	20,8	0	-4,4	-1,3
T13	20,8	5,2	3,4	-1
T14	24,7	9,1	-7,2	-0,4
T15	26	5,2	-2,8	-1,3
T16	27,3	18,2	-4,8	-6,4

Configuration B : 16 terminaux
2 distributions de courants

Figure 5.4 : Détails sur les configurations des cas d'écoles et sur les distributions de courant respectives.

Les détails sur les deux configurations de respectivement huit et seize terminaux sont donnés dans les tableaux 5.4. Les points ont été placés aléatoirement. La position des terminaux pour les deux cas est illustrée figure 5.5. Pour chaque configuration, deux distributions de courants ont été définies pour permettre d'illustrer l'influence des courants sur les résultats. Elles ne comportent qu'un seul vecteur de courant, pour simplifier la lecture et la compréhension.

Certaines de ces valeurs sont fortes, pour bien mettre en valeur l'impact de la densité de courant dans les circuits à forts courants, ce qui implique des lignes très larges pour le respect des densités de courant maximales.

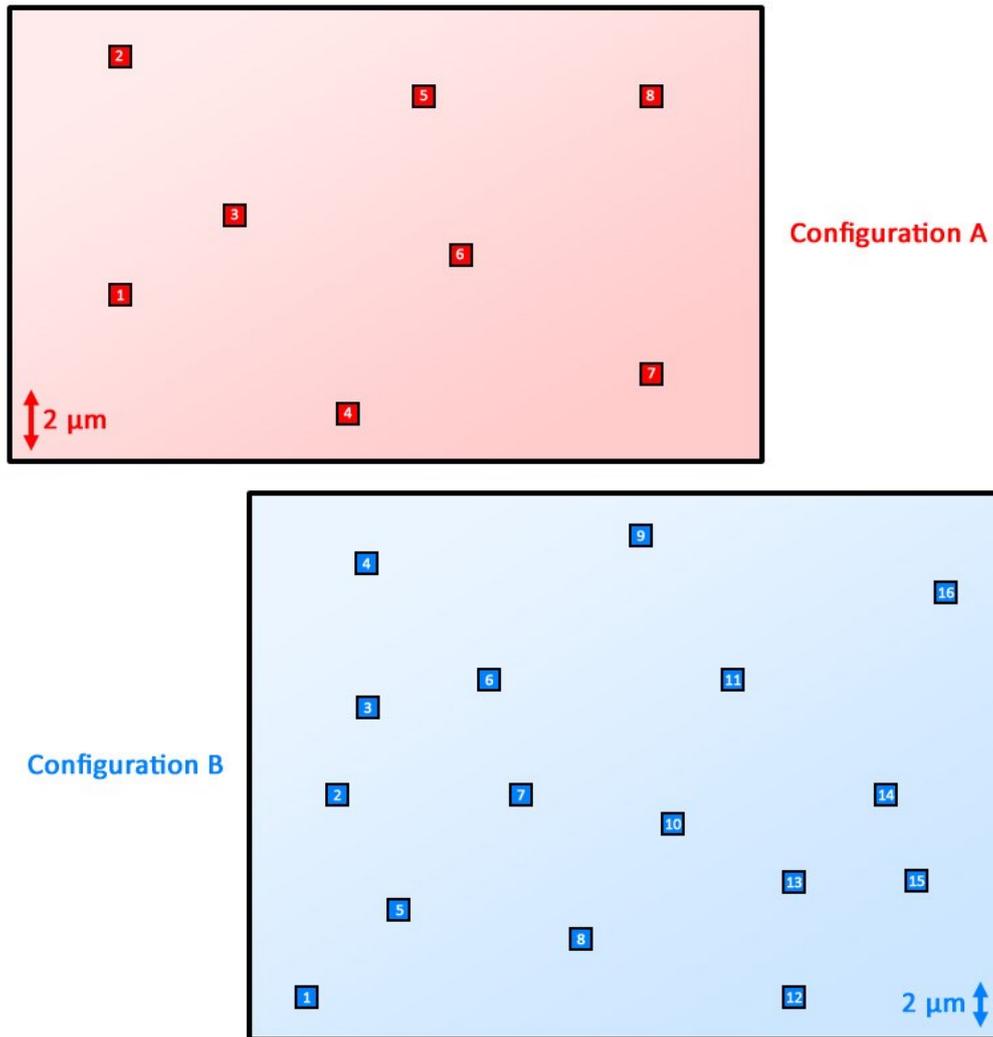


Figure 5.5 : Représentation des deux configurations de terminaux.

III - 2. Routage sans utiliser les méthodes de prise en compte du courant

Pour commencer, les deux configurations ont été routées sans utiliser les solutions de prise en compte des courants, pour avoir une référence sur laquelle se baser. Le routage a été réalisé manuellement, en partant du principe que les concepteurs prennent des marges pour éviter les violations de densité de courant [ITRS-2011, MOSIS-Tuto]. Le routage est planaire, c'est-à-dire qu'il n'utilise qu'un seul masque de métal.

	A.1	A.2	B.1	B.2
Courant Maximal (mA)	7,4	5,2	7,2	6,4
Largeur correspondante (µm)	3,7	2,6	3,6	3,2

Figure 5.6 : Largeurs fixées pour le routage en fonction du courant maximal dans les distributions de chaque cas d'étude.

Ne connaissant pas la répartition des courants, la taille des lignes a été fixée par rapport au courant maximal pour chaque distribution, ce qui donne les largeurs listées dans le tableau 5.6.

Une fois le routage réalisé, une fonction de détection des violations de densité de courant est utilisée, pour vérifier si certaines lignes nécessitent une largeur supérieure. Le résultat est illustré figure 5.7. On voit que pour quelques lignes, les courants cumulés sont supérieurs à la densité maximale autorisée par la largeur utilisée.

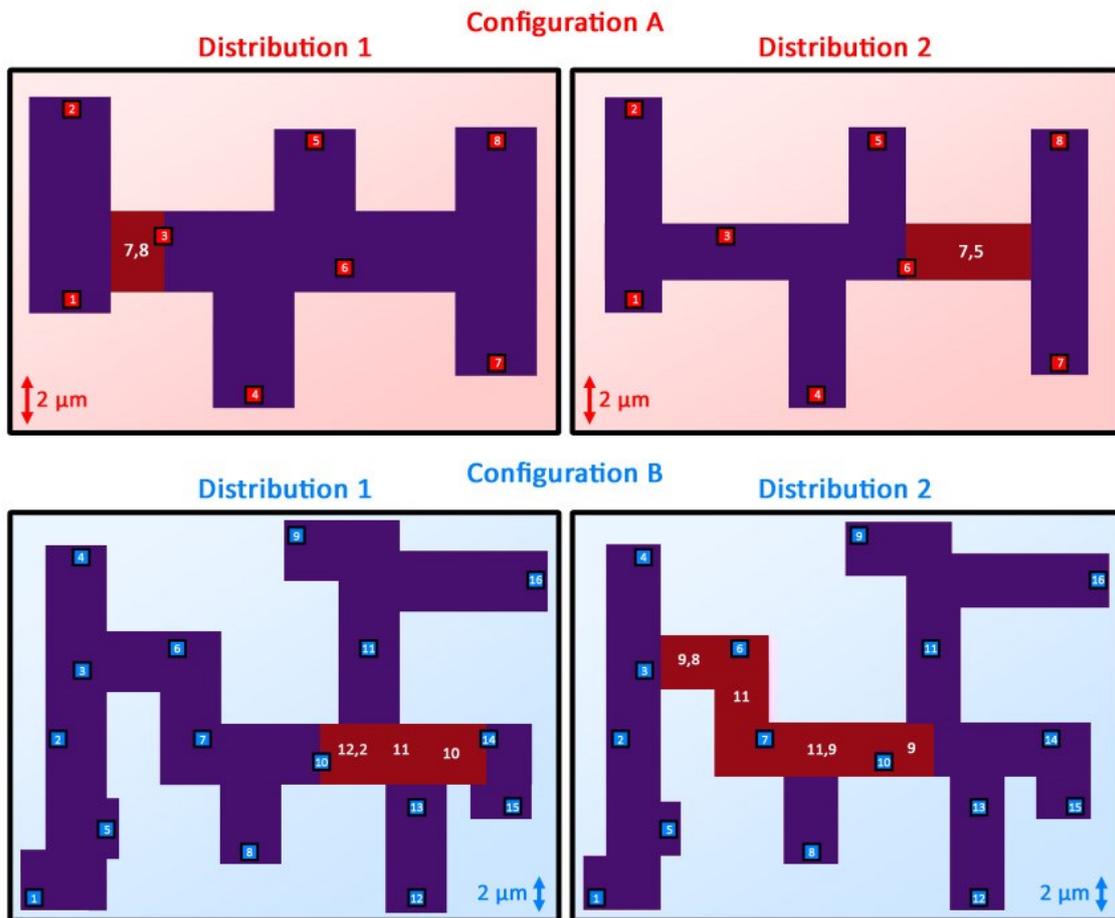


Figure 5.7 : Routages des deux configurations sans utilisation de nos méthodes de conception. En rouge, les violations de densité de courant.

Pour les cas qui le nécessitent, la largeur des segments est donc revue à la hausse (phase de *widening*), pour permettre au courant de circuler sans violation de densité. La figure 5.8 montre les routages obtenus au final. On obtient des routages dont les aires valent respectivement 171,3 μm² et 132,2 μm² pour les deux distributions de la configuration A, et 344,2 μm² et 333,0 μm² pour les distributions de la configuration B. Les largeurs sont importantes pour respecter les contraintes imposées par des valeurs de courants élevées.

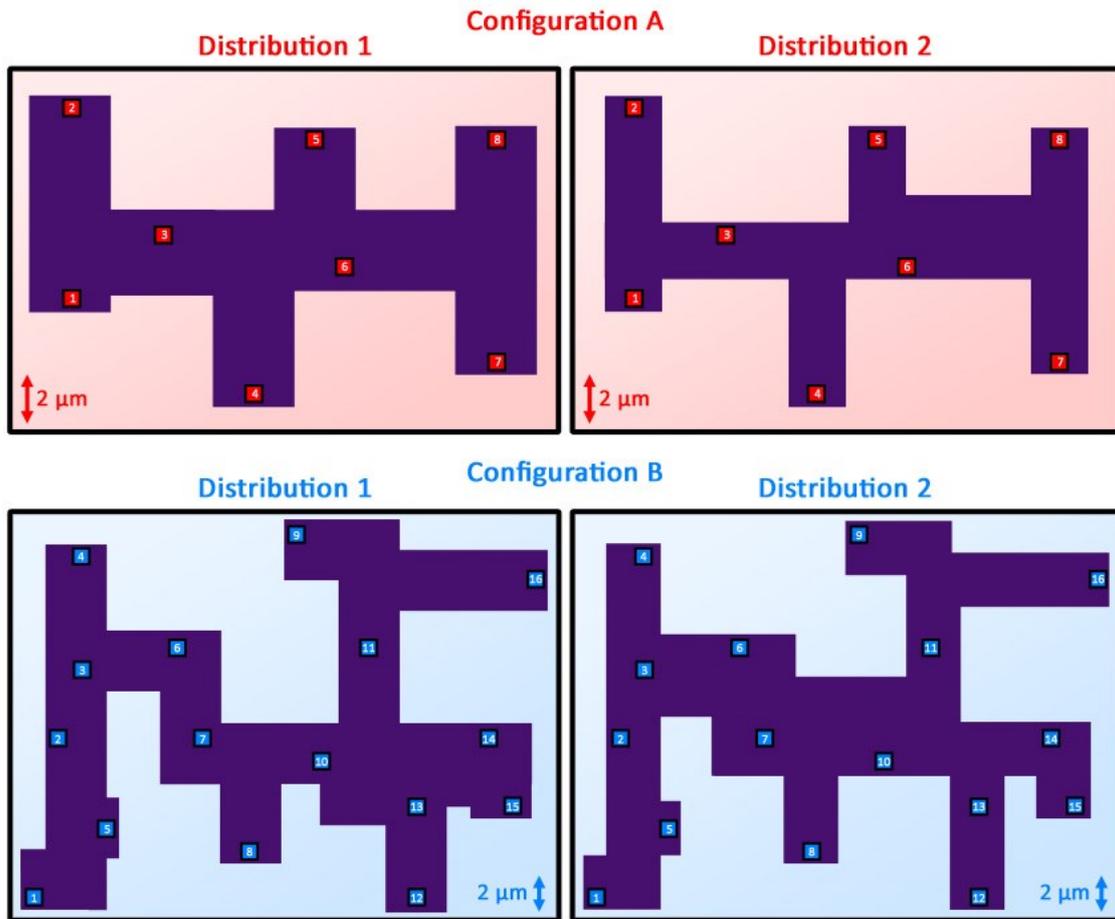


Figure 5.8 : Routages des deux configurations sans utilisation de nos méthodes de conception une fois toutes les violations corrigées.

III - 3. Routage avec prise en compte des courants

Nous avons ensuite utilisé le flot intégrant nos solutions pour réaliser les routages. L'objectif est d'optimiser l'aire des interconnexions tout en respectant les densités de courant. Pour commencer, nous avons utilisé l'algorithme *Divide & Conquer* pour chacun des quatre cas (les deux distributions de courants pour chaque configuration). La figure 5.9 présente les topologies recommandées avec les largeurs pour chaque segment. On voit que certains chemins ne sont pas routables en l'état, en particulier dans la configuration B, comme les chemins 3-9, 9-6 et 4-6, qui se croisent. Dans ces cas-là, c'est au concepteur (ou au routeur automatique) de prendre une décision pour relier les points concernés, par exemple en créant un point Steiner.

Les aires théoriques valent respectivement $75,0 \mu\text{m}^2$ et $74,1 \mu\text{m}^2$ pour les configurations A, et $173 \mu\text{m}^2$ et $185 \mu\text{m}^2$ pour les configurations B. Ces valeurs sont très en deçà des aires obtenues précédemment, ce qui est normal, puisque les largeurs des liaisons sont à priori adaptées aux courants qui les traversent.

Le routage est ensuite réalisé en routant point à point les terminaux, en suivant les indications de la topologie. Cela peut être réalisé en utilisant un routeur automatique point à point capable de prendre en paramètre la largeur de chaque segment. Le routage a été réalisé en configuration *Manhattan* (angles droits seulement), avec un routeur qui prend en charge les points Steiner.

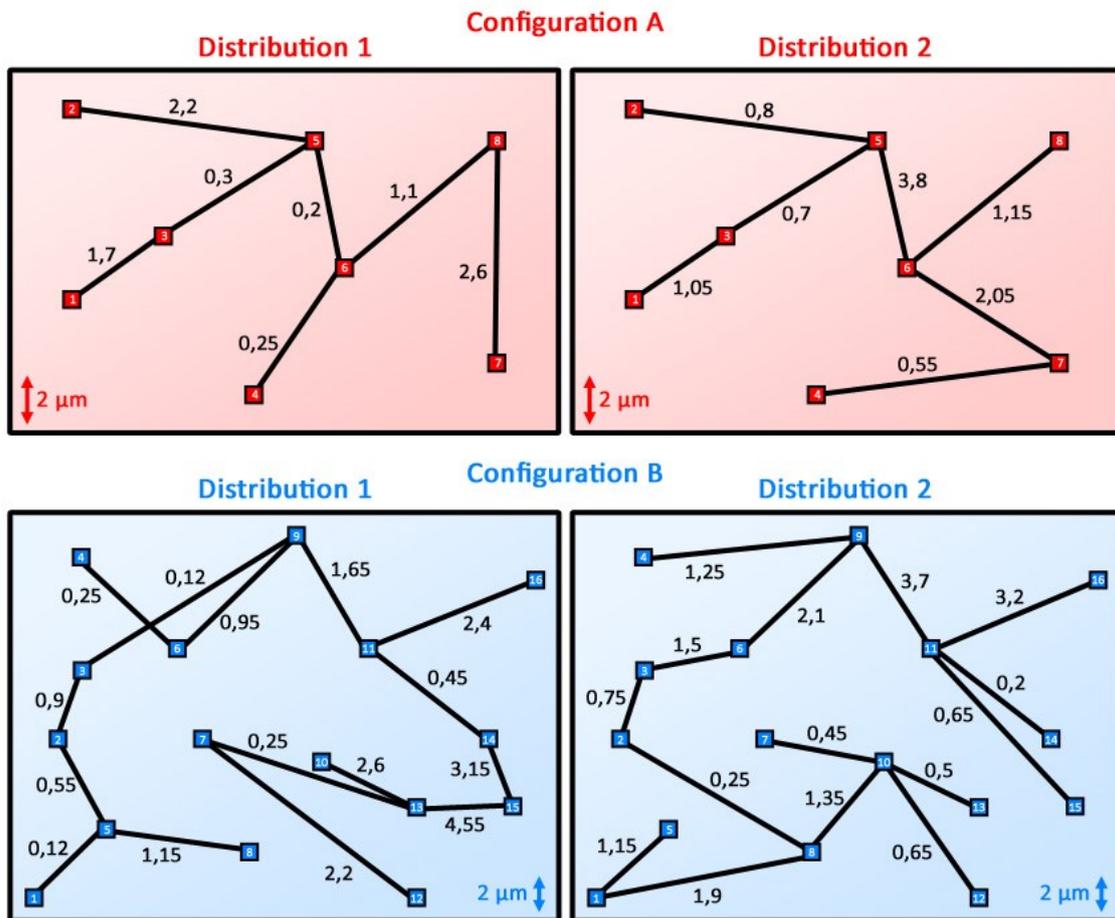


Figure 5.9 : Topologies obtenues par l'algorithme Divide & Conquer pour les 4 cas d'étude. Les nombres correspondent aux largeurs recommandées pour chaque segment (en μm).

Les routages avec respect des densités de courants des deux distributions du cas A sont présentés dans la figure 5.10. L'aire des interconnexions s'élève à $89,5 \mu\text{m}^2$ pour la première distribution et $89,9 \mu\text{m}^2$ pour la seconde. Ces valeurs sont plus élevées que les valeurs théoriques, parce que les lignes de métal ne peuvent relier en ligne droite les terminaux, il faut respecter les directions autorisées (horizontal et vertical).

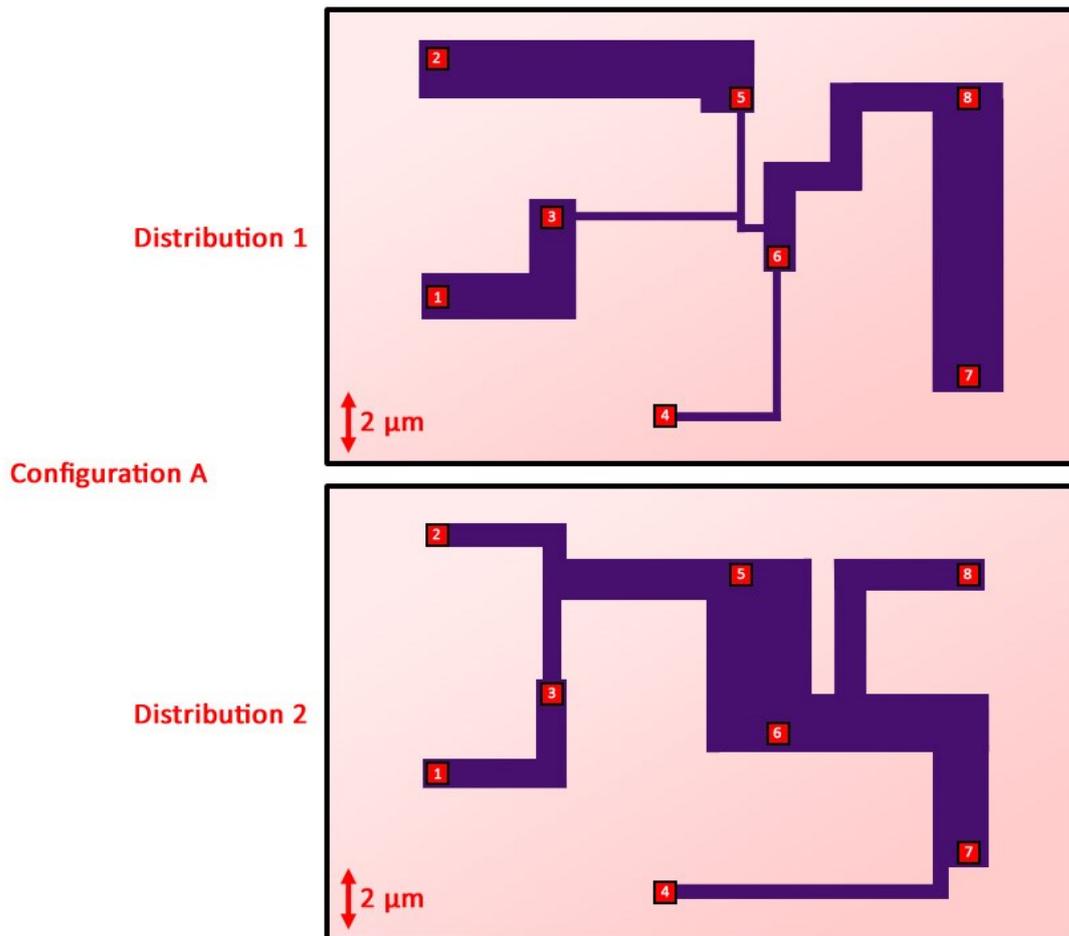


Figure 5.10 : Routages de la configuration A pour les deux distributions de courants, avec prise en compte des courants.

Les routages avec respect des densités de courants des deux distributions du cas B sont présentés dans la figure 5.11. Pour les quelques cas où les liaisons recommandées par les topologies étaient ambiguës, les recommandations n'ont pas été suivies à la lettre, certaines recommandations étant incohérentes pour le routage (par exemple, les chemins 11-14 et 11-15 dans la seconde distribution, ou le croisement dans la première).

Là encore, on obtient des aires un peu plus élevées que les aires théoriques annoncées, mais les ordres de grandeur sont respectés. L'aire des interconnexions s'élève à $203,0 \mu\text{m}^2$ pour la première distribution et $191,6 \mu\text{m}^2$ pour la seconde.

Une fois le routage réalisé s'il est automatique ou pendant le routage s'il est manuel, le concepteur peut vérifier s'il n'y a pas d'optimisation possible pour gagner encore sur l'aire de métal. Par exemple, pour le cas A.2, au niveau de la liaison 6-8, une légère optimisation est possible, en liant le terminal 8 au terminal 5. Elle n'avait pas été réalisée par l'algorithme à cause de la séparation en groupes, les terminaux 5 et 8 étant dans des groupes différents. De même, dans le cas B.1, le terminal 12 peut être relié au terminal 13 directement. Le gain pour l'aire est

non négligeable : $83,6 \mu\text{m}^2$ pour A2 et $191,2 \mu\text{m}^2$ pour B1. Une illustration des routages une fois optimisés est disponible avec les résultats de la correction du *current crowding*, figure 5.14.

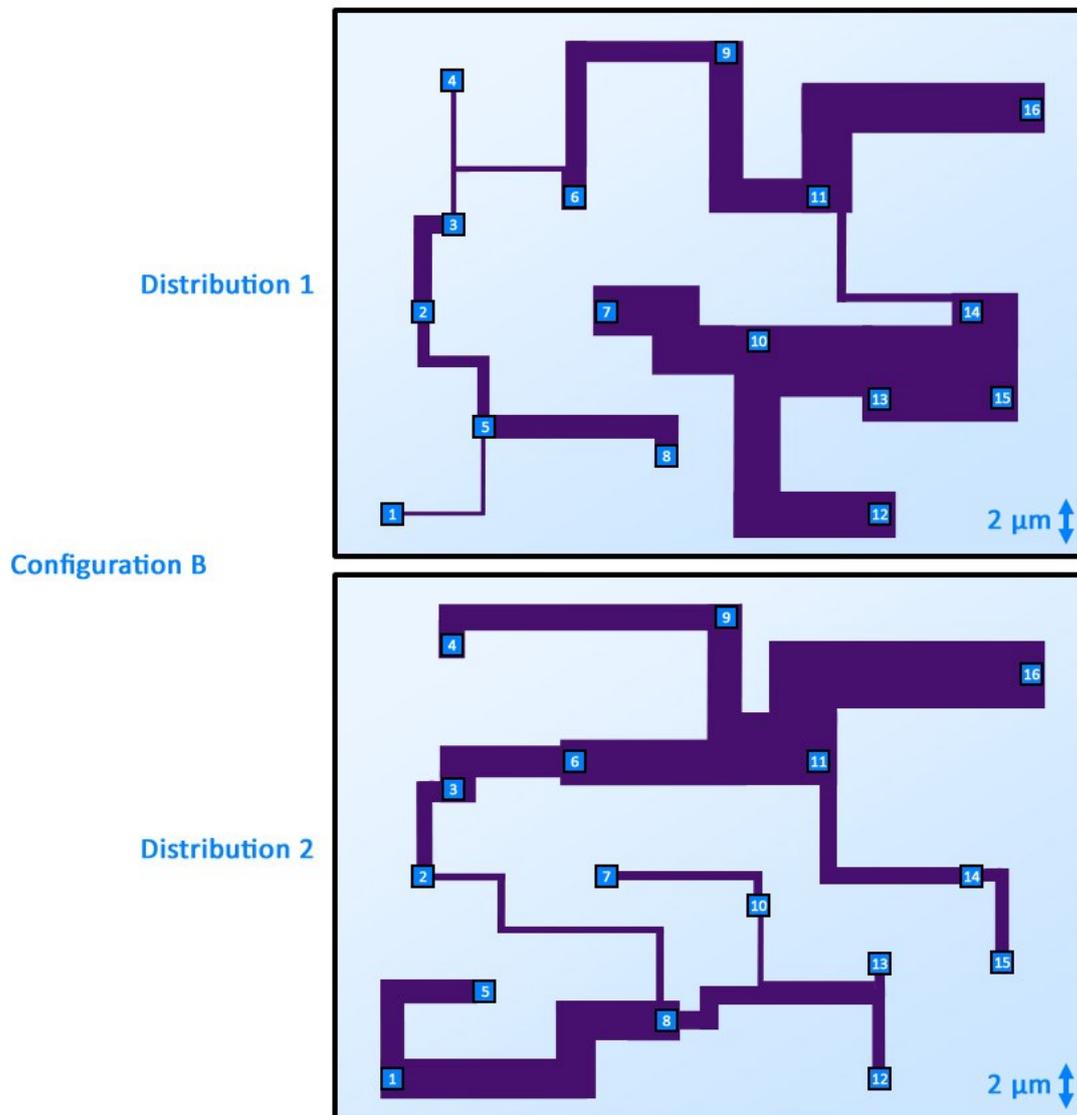


Figure 5.11 : Routages de la configuration B pour les deux distributions de courants, avec prise en compte des courants.

III - 4. Correction du *current crowding*

Certaines zones des interconnexions présentent des risques pour le phénomène du *current crowding*. En effet, les routages ayant été réalisés en configuration Manhattan, il n'y a aucune ligne à 45° . On peut donc observer dans chacun des routages la présence de coudes à 90° , que ce soient des types L comme des types T.

Nous avons donc utilisé notre solution pour détecter les coudes qui correspondent aux configurations que l'on a modélisées pour la correction du *current crowding* (illustré figure 5.12). Les tailles optimisées des supports pour ces zones sont ensuite calculées : pour chaque cas, les

largeurs et les courants sont fournis à l'outil, qui utilise la base de données de modèles pour définir les aires des supports, quand ils sont nécessaires. Comme les largeurs ont été définies dans presque tous les cas à la limite par rapport à la densité maximale du courant, tous les angles analysés présentent une violation due au *current crowding*. Pour ne pas surcharger le routage, un compromis a été fait, pour ne prendre en charge que les violations de plus de 15% (qui dépassent $2,3 \text{ ma}/\mu\text{m}^2$ de moyenne sur la zone de violation).

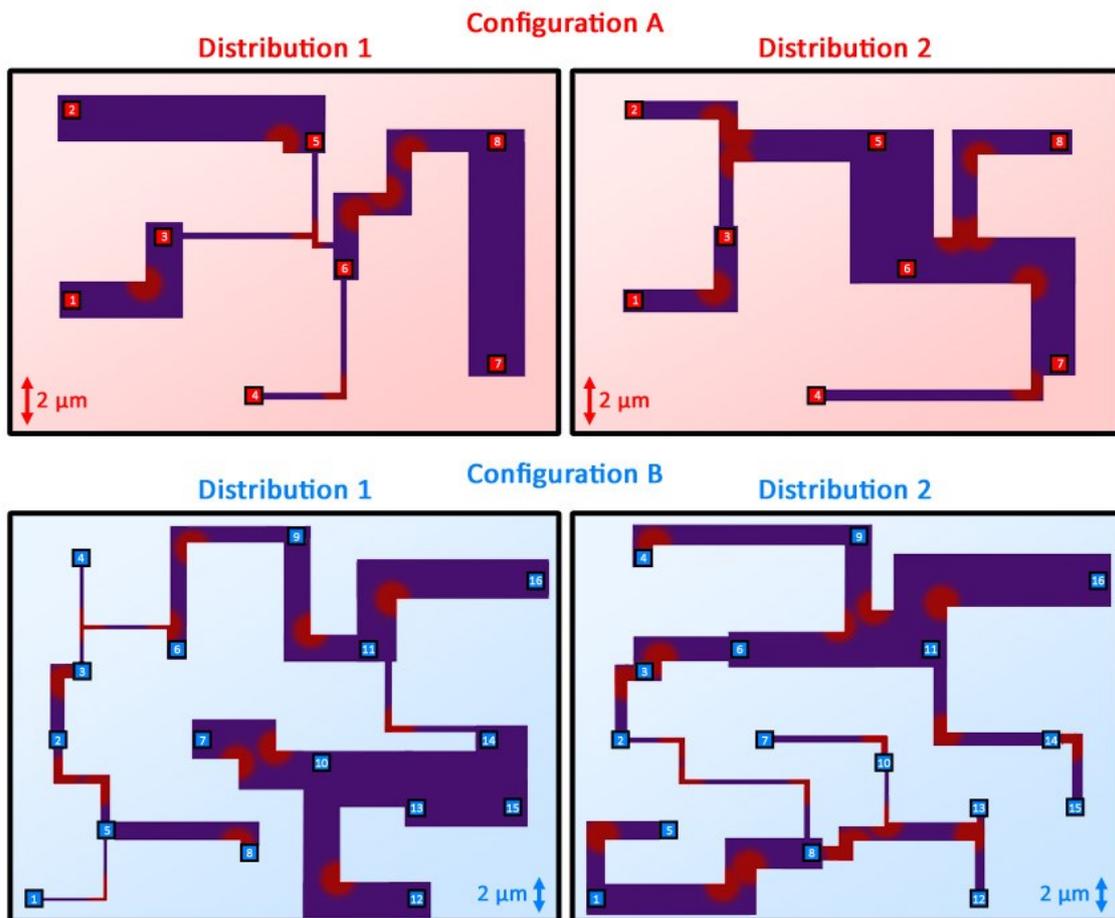


Figure 5.12 : En rouge, les coudes qui peuvent être corrigés en utilisant les modèles développés.

La figure **5.13** illustre quatre exemples d'application de la méthode sur chacune des configurations. Le **5.13.a** présente le type T et le type L entre les terminaux 3,5 et 6 du A.1, on remarque que seul un des angles nécessite un support (les largeurs étant un peu plus grandes que nécessaire). Dans le **5.13.b**, c'est le point Steiner entre les terminaux 2, 3 et 5 du A.2 qui est présenté. Le **5.13.c** illustre quant à lui un coude entre les terminaux 2 et 3 du B.1, tandis que le **5.13.d** expose le type T entre les points 12 et 13 du B.2.

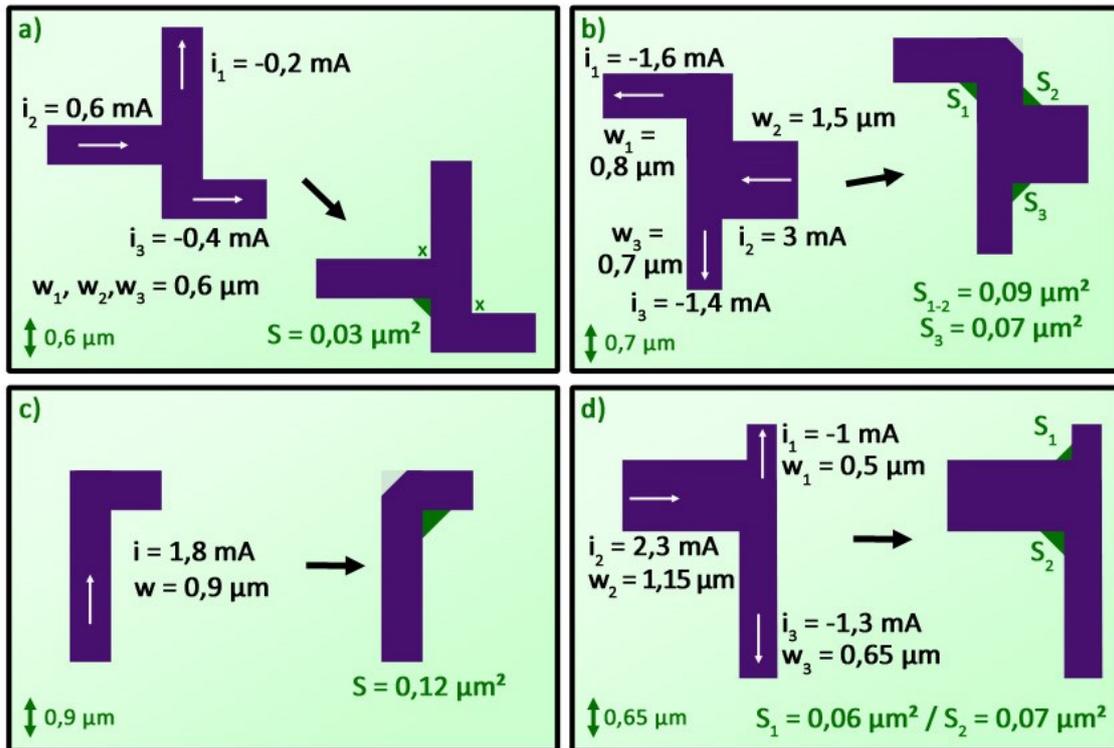


Figure 5.13 : Quatre exemples de correction du current crowding par l'ajout de support de taille optimisée.

Après correction du *current crowding*, on obtient les routages illustrés figure 5.14. Les aires des interconnexions sont très peu impactées (A1 : $89,6 \mu\text{m}^2$, A2 : $81,2 \mu\text{m}^2$, B1 : $187,1 \mu\text{m}^2$, B2 : $192,4 \mu\text{m}^2$), avec moins de 0,5% d'augmentation au maximum. Cela vient du fait que pour les types L, une surface équivalente au support est retranchée dans l'angle externe du coude.

On peut observer plusieurs coudes qui n'ont pas été traités, comme le coude formé au niveau du terminal 9 du B.2, qui se situe dans la partie externe. Ces configurations, avec un terminal situé directement dans l'angle, n'ont pas été modélisées, et l'outil ne peut donc calculer l'aire du support adaptée.

On peut aussi observer quelques formes singulières, comme entre les terminaux 6 et 8 dans le A .1 ou encore de part et d'autre du terminal 8 dans le B.2. Elles sont dues à deux coudes consécutifs. Ces segments peuvent être remplacés par une seule ligne à 45° .

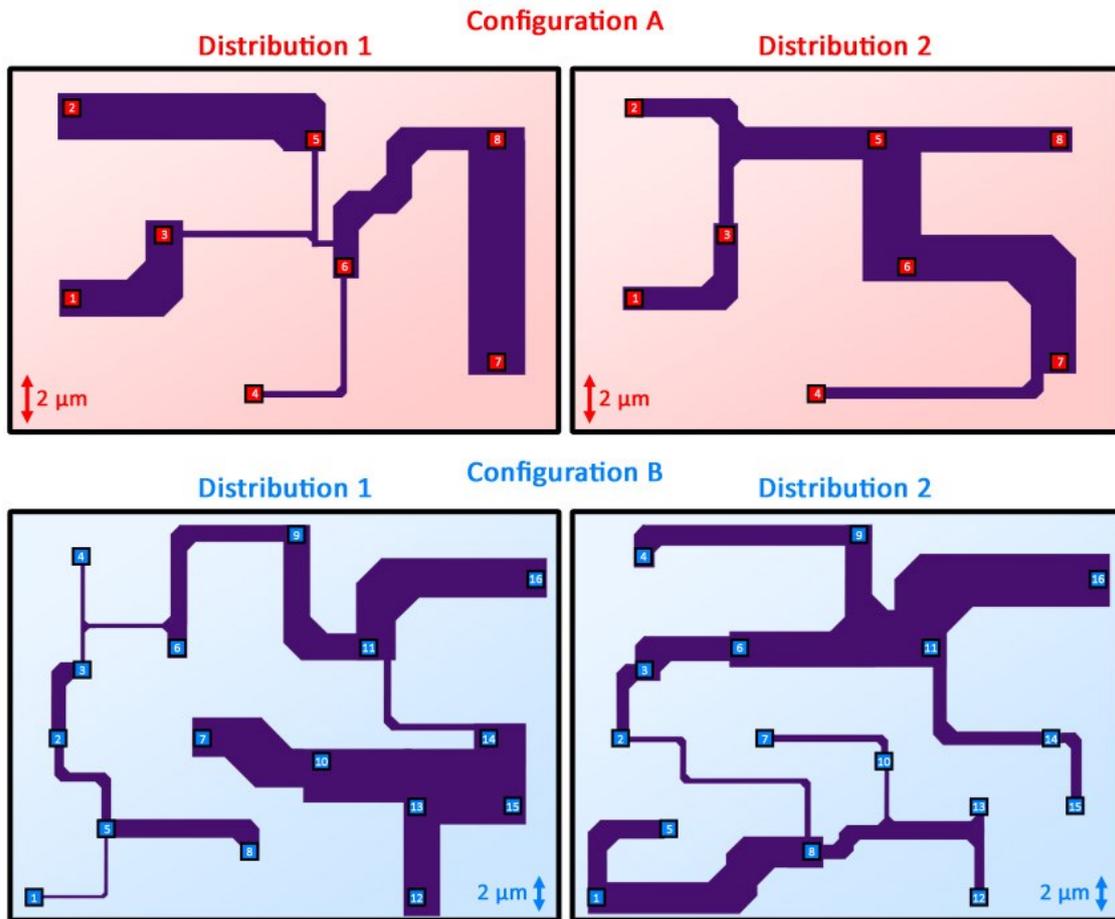


Figure 5.14 : Routage final des 4 cas d'étude en appliquant les méthodes optimisées pour la conception contrainte en courant.

IV. Comparaison des résultats obtenus

Le tableau 5.15 récapitule les aires obtenues pour les différentes configurations et distributions, pour les routages de référence et les routages réalisés avec utilisation des méthodes de prise en compte du courant. Il présente aussi les ratios entre les aires, pour mettre en évidence les différences entre les solutions lorsque l'algorithme *Divide & Conquer* et la correction du *current crowding* sont utilisés et lorsque le routage est réalisé sans optimisation pour les violations de densité de courant.

On obtient en moyenne une aire équivalente à 56,5 % de l'aire de référence, tout en évitant les violations de densité de courant. Cette aire très inférieure vient du fait que les largeurs des lignes dans les routages de références sont définies par rapport au pire cas pour une partie des segments. En effet, en se basant sur la valeur maximale du courant, on est certain d'éviter la plupart des violations, mais cela a un inconvénient important, puisque les largeurs sont surestimées pour certaines zones du routage.

		Aire Référence (μm^2)	Aire Solution (μm^2)	Ratio
Configuration A	Distribution 1	171,3	89,6	52,3%
	Distribution 2	132,2	81,2	61,4%
Configuration B	Distribution 1	344,2	187,1	54,4%
	Distribution 2	333,0	192,4	57,8%

Figure 5.15 : Récapitulatif des aires obtenues pour les routages, avec les ratios, de chaque configuration.

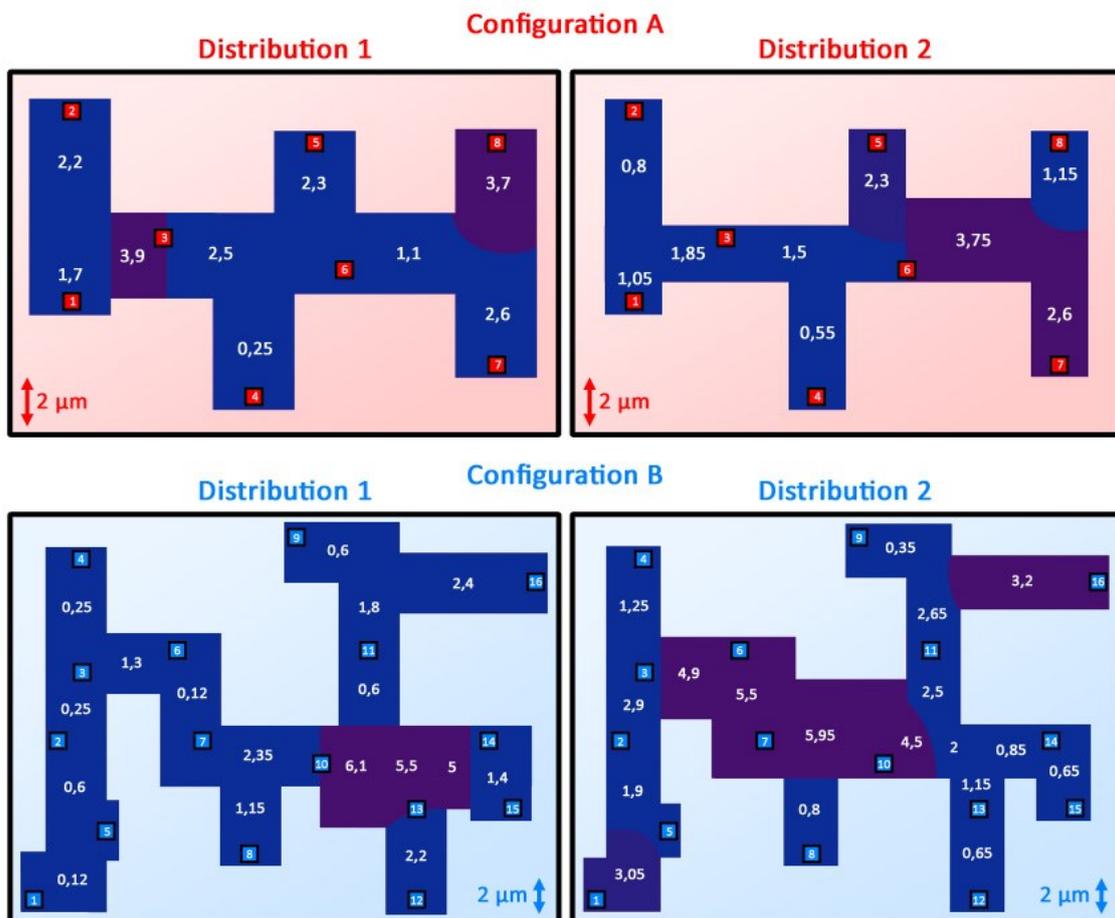


Figure 5.16 : En bleu, les tailles surestimées pour les routages de référence, avec les tailles optimisées pour chaque segment.

A l'inverse, les versions avec prise en compte du courant sont, par construction, adaptées aux courants qui traversent les lignes, et ne présentent donc ni violations, ni surestimations. Pour visualiser le problème, la figure 5.16 représente les routages de référence, avec une coloration

bleue pour les segments dont les largeurs sont surestimées. Les largeurs qui auraient été suffisantes sont notées sur les segments.

Certaines lignes pourraient être réduites à moins de 10 % de leur taille actuelle. De plus, la topologie utilisée n'est pas adaptée pour éviter les accumulations de courants. On atteint ainsi des courants de plus de 10 mA qui traversent certains segments, alors que dans les routages guidés, les courants étaient minimisés, et le courant maximum était de 9,1 mA.

Les routages guidés en courant présentent un intérêt certain pour diminuer l'aire de métal utilisée pour les interconnexions, et donc pour diminuer les coûts des circuits intégrés.

V. Conclusion

Dans ce chapitre, une application des travaux présentés dans les chapitres précédents a été réalisée sur des cas d'études, pour illustrer l'intérêt de ces méthodes.

Tout d'abord, les travaux concernés ont été rappelés. L'algorithme *Divide & Conquer* permet de définir une topologie de routage optimisée au niveau de l'aire des interconnexions, tout en définissant des largeurs pour respecter la densité de courant maximale dans les lignes. Il est basé sur un découpage des terminaux en groupes et sur un algorithme exhaustif. Un second outil, qui permet l'optimisation de la correction du *current crowding*, a été ensuite présenté. Il utilise une base de données de modèles pour sélectionner une aire optimisée pour les supports à ajouter dans les coudes des interconnexions.

Ce rappel a été suivi par la présentation d'un flot de conception utilisant les deux outils. Il comprend, en plus des étapes habituelles, une caractérisation du courant au niveau schéma, la génération de la topologie adaptée aux courants avant le routage, et la correction du *current crowding*.

Les cas d'étude, qui se composent de deux configurations de terminaux, respectivement composées de huit et seize points, ont ensuite été introduits. Pour chaque configuration spatiale, deux distributions de courants ont été définies. Les valeurs des courants sont élevées, pour respecter l'idée d'application à forts courants. Ces configurations ont été routées. Tout d'abord à la main, pour avoir une référence, en ne prenant aucun risque par rapport aux largeurs des lignes, comme les méthodes actuelles. Ensuite, les méthodes de conception adaptées en courant ont été utilisées pour réaliser les routages.

Au final, les aires d'interconnexions obtenues en utilisant les méthodes de conception sont dans tous les cas très inférieures aux versions de référence, avec une diminution moyenne de 43,5 %. En effet, là où les routages créés à l'aide des méthodes de conception contraintes en courant taillent les lignes à la mesure des courants qui les traversent, les routages de référence présentent

des zones où la largeur est fortement surestimée. De plus, les topologies ne sont pas forcément adaptées pour éviter les accumulations de courants dans les références.

On peut donc conclure de ces résultats que l'utilisation de méthodes de conception guidées par les courants est effectivement utile pour diminuer les aires des interconnexions tout en limitant les problèmes liés aux densités de courants, permettant ainsi à la fois de garantir une durée de vie importante pour les interconnexions tout en diminuant les coûts.

CONCLUSION GENERALE

Dans le contexte actuel de diminution des dimensions des circuits intégrés, nous avons vu l'importance de prendre en compte les contraintes en courant lors de la conception des circuits intégrés, en particulier pour les applications à forts courants comme les secteurs de l'automobile ou encore le domaine de la téléphonie mobile. Nous nous sommes concentrés sur les interconnexions, en particulier sur la phase de routage. Nous avons étudié et développé des méthodes automatiques de conception qui permettent de générer des routages adaptés aux problèmes de densités de courant tout en réduisant les surfaces de métal.

Le premier chapitre a permis de positionner le contexte de nos travaux. Pour commencer, deux phénomènes liés aux forts courants ont été présentés : l'électromigration qui entraîne le transport des atomes de métal et nuit ainsi à la durée de vie des interconnexions et les écarts de tension (*voltage drop*) qui entraînent une réduction de la tension entre la source et la charge des signaux le long des interconnexions. Les circuits analogiques mettant en œuvre de forts courants, utilisés dans les secteurs automobile ou sans-fil, sont particulièrement concernés par ces phénomènes.

La définition d'un circuit intégré a ensuite été abordée puis les flots de conception numérique et *Full-custom* ont été détaillés. La grande différence entre ces deux flots est le manque d'automatisation pour la conception de blocs analogiques. Il a ensuite été vu que les solutions actuelles pour prendre en compte les contraintes en courant, qui consistent en une définition très large des lignes de métal et des corrections *post-layout*, sont peu adaptées, et ne convergent pas rapidement. Il n'existe que très peu de solutions automatisées, basées sur des algorithmes qui prennent en charge les courants dans les interconnexions.

Dans le chapitre suivant nous nous sommes donc tout naturellement intéressés à l'utilisation d'algorithmes pour faciliter la prise en compte de contraintes lors de la phase de routage. A l'aide d'algorithmes, il est en effet possible d'optimiser le routage pour obtenir une aire minimum tout en protégeant les lignes contre les effets néfastes des forts courants. Pour prendre en compte ces courants, une caractérisation réalisée à l'aide de vecteurs de courants, utilisables par les algorithmes, a été présentée. Un algorithme exhaustif a ensuite été étudié. Il parcourt itérativement toutes les topologies possibles, et permet d'obtenir à coup sur celle qui présente l'aire minimale. Toutefois, sa forte complexité le rend inutilisable pour des solutions commerciales sur des cas réels, son temps de calcul devenant très important lorsque le nombre de terminaux augmente (plus de dix heures pour 12 terminaux et 78 liens possibles, avec un processeur Intel Core2 Quad cadencé à 2,50 GHz).

Des recherches statistiques ont ensuite été présentées. Elles ont pour but l'étude des critères influençant la topologie en prenant en compte les contraintes en courant ainsi que la position des terminaux. Pour les réaliser, de nombreux cas d'étude, avec diverses configurations spatiales et en courants, ont été soumis à l'algorithme exhaustif, qui a classé toutes les topologies possibles pour chaque cas. De ces données, divers paramètres ont été extraits (occupation des chemins, fan-out, poids, courants des nœuds...). En dépit de nombreuses tentatives, l'analyse de ces paramètres n'a pas permis de définir des critères pour sélectionner les chemins les plus probants valables d'un point de vue algorithmique (c'est-à-dire modélisables). Toutefois, il est ressorti de cette recherche un lien intéressant entre la distance entre les terminaux et l'occupation des chemins. En effet, pour de faibles distances, les courants ont moins d'influence que pour les grandes distances.

Le troisième chapitre se concentre sur l'étude de deux algorithmes pour la génération de topologie de routage des fils avec respect des contraintes en courant. Le premier résulte des travaux de G. Jerke et J. Liening. Il fonctionne localement, en créant la topologie en partant d'un point jusqu'à avoir relié tous les terminaux, à la manière d'un algorithme « glouton ». Les résultats produits par cet algorithme ont été analysés, et il en a résulté que le choix du point de départ (choisi arbitrairement parmi les terminaux de la circonférence) influe sur la solution proposée, certains points donnant lieu à des combinaisons plus optimisées que d'autres. Nous avons ainsi pu observer sur certains cas d'étude des variations de l'aire des interconnexions de plusieurs dizaines de pourcents entre la meilleure combinaison et la pire.

Le second algorithme présenté découle de l'algorithme exhaustif, présenté dans le chapitre précédent, et de l'idée de séparation des terminaux en groupes. L'utilisation de cette technique de « *Divide & Conquer* » permet de n'utiliser l'algorithme exhaustif que sur de petits nombres de terminaux, et ainsi de conserver un temps d'exécution court. Le critère pour la création des groupes découle quant à lui de l'analyse statistique du chapitre précédent. En effet, il est ressorti que dans la plupart des cas, la distance entre les terminaux reste un élément prépondérant. L'algorithme D&C produit de bons résultats par rapport à l'algorithme glouton : environ 10% meilleur pour l'aire, et presque 27% plus rapide pour le temps d'exécution, en moyenne.

Dans le quatrième chapitre, nous nous sommes intéressés au problème posé par le *current crowding*. Ce phénomène consiste en une concentration du courant dans les angles internes des coudes formés par les interconnexions lors des changements de directions. Une méthode pour une génération automatique de supports dans les coudes des interconnexions, dans le but de réduire les effets du *current crowding*, a été présentée. Elle consiste en un mélange entre base de données et modélisation. En effet, pour couvrir l'ensemble du domaine expérimental, un seul modèle n'aurait pas été assez précis, et une base de données simple aurait été trop lourde. La solution est donc basée sur des ensembles de modèles, qui déterminent l'aire optimale de la

forme de support selon les courants et les largeurs des lignes de métal. Un solveur de courant et des plans d'expérience factoriels complets ont été utilisés pour la réalisation de ces ensembles de modèles.

La méthode a été appliquée à deux configurations de coudes, les types L et T. Tout d'abord le type L, qui nécessite un ensemble de 40 modèles pour que le domaine de variation soit couvert. Le coefficient de corrélation linéaire moyen R^2 entre les modèles et les simulations est de 97% dans le domaine de variation des paramètres. Le type T, trop complexe pour être modélisé directement avec cette méthode, a été modélisé en utilisant des équivalences avec le type L. Le coefficient de corrélation moyen R^2 entre les modèles et les simulations obtenu pour ce cas est de 92% dans le domaine de variation des paramètres d'entrée.

Une étude de la précision a ensuite été réalisée pour les deux types, à l'aide de 100 configurations aléatoires. La précision moyenne est de 85% pour les types L, et 80% pour les types T. Une précision de cet ordre est suffisante pour l'utilisation qui est faite de ces modèles. L'impact des supports a ensuite été testé. L'application de la génération automatique de support a permis de passer d'une aire de violation représentant 15,3% de l'aire totale, avec un dépassement moyen de 18,7% sur cette aire de violation, à 6,5% pour l'aire de violation par rapport à l'aire totale, et 7,4% pour la violation moyenne. Cette expérience a prouvé l'efficacité de notre solution de génération automatique de supports pour atténuer les effets du *current crowding*.

Le dernier chapitre consiste en l'application d'un flot modifié de routage automatique utilisant les deux apports majeurs de cette thèse, à savoir l'algorithme *Divide & Conquer* et la méthode de correction du *current crowding* sur des cas d'études. Un flot de conception modifié utilisant les deux outils a été présenté. Il comprend, en plus des étapes habituelles, une caractérisation du courant au niveau schéma, la génération de la topologie adaptée aux courants avant le routage, et la correction du *current crowding*.

Les cas d'étude se composent de deux configurations de huit et seize terminaux, avec deux configurations de courants pour chaque cas. Les valeurs des courants sont élevées, pour respecter les spécifications types d'applications à forts courants. Pour commencer, un routage manuel, plutôt conservatif par rapport aux largeurs des lignes, calqué sur les pratiques de *Layout* actuelles, a été réalisé pour servir de référence. Les méthodes de conception adaptées en courant ont été utilisées pour réaliser les routages.

Au final, les aires d'interconnexions obtenues en utilisant les méthodes de conception sont dans tous les cas très inférieures aux versions de référence, avec une diminution moyenne de 47,3 %. De manière qualitative, ces résultats montrent l'efficacité de la mise en place d'un tel flot par rapport à des approches manuelles empiriques qui résultent bien souvent en des surdimensionnement des lignes.

Au cours de ces travaux, l'intérêt et l'importance de prendre en compte les contraintes en courant dès l'étape de routage ont été démontrés. Des méthodes de conception automatiques ont été développées, qui permettent efficacement de diminuer les aires des interconnexions tout en limitant les problèmes liés aux densités de courants, permettant ainsi à la fois de garantir une durée de vie importante pour les interconnexions tout en diminuant les coûts de production.

Dans l'avenir, il pourrait être intéressant d'améliorer l'algorithme *Divide & Conquer*, en ajoutant par exemple la possibilité d'utiliser plusieurs niveaux de métal, et en prenant en compte les blocages. Cela permettrait de l'utiliser plus facilement sur des cas réels, qui comportent des « obstacles » (composants, autres fils), et dans lesquels un routage planaire pour chaque fil ne peut pas forcément être réalisé. De plus, il serait intéressant de créer un classement des fils les plus sensibles aux problèmes liés aux courants, pour les router en priorité.

Pour gérer l'ensemble des interconnexions, il faudrait adapter l'algorithme pour qu'il puisse fonctionner avec un routeur automatique. Pour l'instant, il fournit seulement la topologie et les largeurs associées à un routeur point à point. Une évolution pourrait être une adaptation aux choix réalisés par le routeur automatique en fonction des autres contraintes (blocages, par exemple). Outre le routage, il serait intéressant de pouvoir guider aussi la phase de placement selon les contraintes en courant (pour minimiser les distances entre les terminaux qui échangent de forts courants, par exemple).

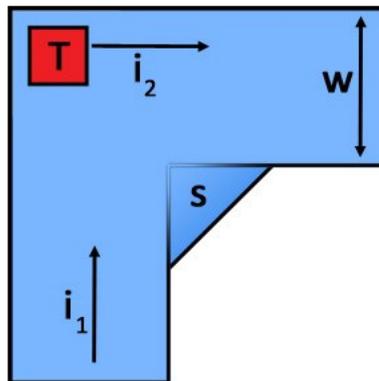


Figure 6.1 : Exemple de cas de coude avec un terminal situé dans l'angle.

Comme vu dans le cinquième chapitre, les modèles de correction du *current crowding* n'ont pas encore été réalisés pour tous les cas possibles. Il serait utile d'étudier des cas supplémentaires, comme une ligne avec un terminal situé dans un coude, comme illustré figure 6.1. La présence du terminal impacte la répartition du courant, et peut donc influencer sur la taille du support nécessaire.

BIBLIOGRAPHIE DE L'AUTEUR

Conférence SAME 2009, Sophia-Antipolis, 22-23 Septembre 2009

L. Remy, H. Lachkar, J.M. Jonquères, P. Coll, O. Rizzo, C. Nauts, J.M. Portal, O. Ginez, P. Mico, F. Picot & A. Ginetti, **"Timing and Yield Modeling (TYM) : DFM Method and Tools development"**, SAME 2009 Conference

Conférence SAME 2010, Sophia-Antipolis, 06-07 Octobre 2010

J.M. Jonquères, J.M. Portal and O. Ginez, **"Initial Terminal Influence for Net Generation – A Current Density Aware Algorithm"**, SAME 2010 Conference

Conférence SMACD 2012, Séville, 19-21 Septembre 2012

J.M. Jonquères, J.M. Portal, G. Micolau and O. Ginez, **"Current Density Aware Algorithm for Net Generation in Analog High Current Application"**, SMACD, septembre 2012

Conférence DCIS 2012, Avignon, 28-30 Novembre 2012

J.M. Jonquères and J.M. Portal, **"Model Based Automatic Selection of Support Shapes in Interconnects Corner Bends for High Currents Applications"**, DCIS 2012 (à paraître)

RÉFÉRENCES BIBLIOGRAPHIQUES

A

- [Adler-2000]** T. Adler, H. Broke, L. Hedrich and E. Barke, "A current Driven Routing and Verification Methodology for Analog Applications", ACM IEEE Design Automation Conference, p. 385 - 389, 2000.
- [Adler-2000-2]** T. Adler, E. Barke, "Single step current driven routing of multiterminal signal nets for analog applications", Proc. Design, Automation and Test in Europe (DATE), 2000, pp. 446-450.
- [Aho-1983]** A. V. Aho, J. E. Hopcroft, and J. D. Ullman, Data Structures and Algorithms, Addison- Wesley, Reading, MA, January 1983.
- [Allan-2008]** G. Allan, JL Derome, "Digital IC Design Flow - A Tutorial on RMC's Digital Design Flow", January, 2008
- [Arnaud-1998]** L. Arnaud, R. Gonella, G. Tartavel, J. Torres, C. Gounelle, Y. Gobil, Y. Morand, "Electromigration failure modes in damascene copper interconnects", Microelectron. Reliab. Vol. 38, No.6-8, 1998, p. 1029.

B

- [Baase-1978]** S. Baase, Computer Algorithms: Introduction to Design and Analysis, Addison-Wesley, Reading, MA, December 1978.
- [Banerjee-1997]** Banerjee, K., Amerasekera, A., Cheung N. et al. Highcurrent failure model for VLSI interconnects under shortpulse stress conditions. In IEEE Electron Device Lett., vol. 18(9) (Sept. 1997) pp. 405–407.
- [Black-1969]** J.R Black, "Electromigration – A brief survey and some recent results", *IEEE Tran. Electron. Dev.*, Vol. ED-16, No. 4, 1969, p. 338.
- [Black-1969-2]** J.R. Black, "Electromigration failure modes in Aluminum metallization for semiconductor devices", *Proc. of the IEEE*, Vol. 57, No. 9, 1969, p. 1587.
- [Blech-1976]** I.A. Blech and C. Herring, "Stress generation by electromigration", *Appl. Phys. Lett.* Vol. 29, No. 3, 1976, p. 131.
- [Box-2005]** BOX George.E. P. , HUNTER William G. , HUNTER J. Stuart, "Statistics for Experimenters", deuxième édition. John Wiley and Sons. New-York. 633 pages. (2005).
- [Brown-1998]** D. Brown, "Modeling electromigration and stress migration damage in advanced interconnect structures", *Proc. of Mat. Res. Soc. Symp.* Vol. 516, 1998, p. 135.

C

- [Chowdhury-1987]** S. Chowdhury, "An automated design of minimum-area IC power/ground nets", Proc. Design Automation Conf., 1987, pp. 223-229.
- [Clement-1995]** J.J. Clement, C.V. Thompson, " Modelling electromigration-induced stress evolution in confined metal line", *J. Appl. Phys.* Vol. 78, No. 2, 1995, p. 900.
- [Cormen-2001]** T. H. Cormen, C. E. Leiserson, R. L. Rivest, and C. Stein, Introduction to Algorithms, Second Edition, MIT Press, Cambridge, MA, September 2001.
- [CST-EM]** CST EM Studio, <http://www.cst.com/Content/Products/EMS/Overview.aspx>

D

- [Djigbenou-2007]** Djigbenou J. D., Nguyen T. V., Ren C. W., and Ha D. S., "Development of TSMC 0.25 μ m standard cell library", SoutheastCon, 2007. Proceedings. IEEE, mars 2007
- [Doehlert-1978]** D.H. Doehlert, "Uniform Shell Designs", Applied Statistics, (1978), Volume 19, pp.231-239.
- [Doong-2003]** K.Y.Y. Doong, R.C.J. Wang, S.C. Lin, L.J. Hung, S.Y. Lee, C.C. Chiu, D. Su, K. Wu, K.L. Young, and Y.K. Peng, "Stress-induced voiding and its geometry dependency characterization", Proc. IRPS, 2003, p. 140.

E

- [Eriksson-2003]** H. Eriksson, P. Larsson-Edefors, T. Henriksson, C. Svensson, "Full-custom vs. standard-cell design flow: an adder case study", ASP-DAC '03 Proceedings of the 2003 Asia and South Pacific Design Automation Conference
- [Even-1979]** S. Even, Graph Algorithms, Computer Science Press, Rockville, MD, June 1979.
- [Everett-2000]** C. C. Yeh Everett and K. N.Tu, "Numerical simulation of current crowding phenomena and their effects on electromigration in very large scale integration interconnects", Journal of Applied Physics, vol. 88, p. 5680 – 5686, nov. 2000

G

- [Gibbons-1985]** A. Gibbons, Algorithmic Graph Theory, Cambridge University Press, Cambridge, UK, July 1985.
- [Glasow-2003]** A.V. Glasow, A.H. Fischer, D. Bunel, P. Raffin, H.P. Sperlich, and A.E. Zitzelsberger, "The influence of the SiN cap process on the electromigration and stressvoiding performance of dual damascene Cu interconnects", Proc. Intl. Reliab. Phys. Symp. (IRPS), 2003, p. 146.
- [Goupy-1999]** Goupy J., "Plans d'expériences pour surfaces de réponse", Dunod. Paris. 409 pages. (1999). ISBN 2 10 003993 8.
- [Goupy-2005]** Goupy J., "Pratiquer les Plans d'Expériences", Dunod. Paris. 560 pages. (2005).
- [Goupy-2006]** J. Goupy Et L. Creighton, "Introduction aux plans d'expériences", DUNOD, 2006.
- [GPDK-2007]** GPDK 90nm Mixed Signal Process, Cadence Design System, Mai 2007

H

- [Harrison-1988]** J.W. Harrison Jr, "A simulation model for electromigration in fine line metallization of integrated circuit due to repetitive pulsed current" IEEE Tran. Electron. Dev., Vol. 35, No. 12, 1988, p. 2170.
- [Haruyama-1987]** S. Haruyama, D. Fussel, "A new area-efficient power routing algorithm for VLSI layout", Proc. ICCAD, 1987, pp. 38-41.
- [Hau-Riege-2004]** Hau-Riege, Ch. S. An introduction to Cu electromigration. Microel. Reliab., vol. 44 (2004), pp. 195–205.
- [Havemann-2001]** R.H. Havemann, J.A. Hutchby, "High-performance interconnects: an integration overview", Proc. of the IEEE, Vol. 89, No. 5, 2001, p. 586.

- [Hayashi-2003]** Hayashi, M., Nakano, N., and Wada, T. Dependence of copper interconnect electromigration phenomenon on barrier metal materials. *Microel. Reliab.*, vol. 43 (2003), pp. 1545–1550.
- [Hill-2007]** T. Hill & P. Lewicki, “STATISTICS: Methods and Applications”, StatSoft, Tulsa, OK, 2007
- [Ho-1989]** P. S. Ho, T. Kwok, “Electromigration in metals”, *Rep. Prog. Phys.* Vol. 52, 1989, p. 301.
- [Hopcroft-1973]** J. E. Hopcroft and R. E. Tarjan, Efficient algorithms for graph manipulation, in *Communications of the ACM*, 16(6), pp. 372–378, March 1973.
- [Horowitz-1978]** E. Horowitz and S. Sahni, *Fundamentals of Computer Algorithms*, Computer Science Press, Rockville, MD, January 1978.
- [Hunter-1997]** Hunter, W. R. Self-consistent solutions for allowed interconnect current density—part II: application to design guidelines. In *IEEE Trans. on Electron Dev.*, vol. 44(2) (Feb. 1997) pp. 310–316.
- I**
- [ITRS-2011]** International Technology Roadmap for Semiconductors 2011 Roadmap, "Interconnect Report", 2011
- K**
- [Knuth-1968]** D. E. Knuth, *Fundamental Algorithms: The Art of Computer Programming, Volume 1*, Reading, MA, Addison-Wesley, February 1968.
- [Knuth-1976]** D. E. Knuth, Big Omicron and big Omega and big Theta, in *ACM SIGACT News*, 8(2), pp. 18–24, April–June 1976.
- [Knuth-1998]** Knuth, D., "The Art of Computer Programming: Volume 3 Sorting and Searching", p. 159. ISBN 0-201-89685-0., 1998
- L**
- [Lawler-1985]** Lawler E. L., Lenstra Jan Karel, Rinnooy A. H. G., Shwoys D. B., "Traveling salesman problem : a guided tour of combinatorial optimization", Aout 1985
- [Li-1999]** Z.H. Li, G.Y. Wu, Y.Y. Wang, Z.G. Li, Y.H. Sun, “Dependence of electromigration caused by different mechanisms on current densities in VLSI interconnects”, *J. Mater. Science: Materials in Electronics*. Vol. 10, 1999, p. 653.
- [Li-2004]** Li, B., Sullivan, T. D., Lee, T. C. et al. “Reliability challenges for copper interconnects”, *Microel. Reliab.*, vol. 44 (2004), pp. 365–380.
- [Lienig-2002]** J. Lienig, G. Jerke and T. Adler, “Electromigration Avoidance in Analog Circuits : Two Methodologies for Current-driven Routing”, *ASP-DAC '02: Proceedings of the 2002 Asia and South Pacific Design Automation Conference*, 2002.
- [Lienig-2003]** Lienig, J., and Jerke, G. Current-driven wire planning for electromigration avoidance in analog circuits. In *Proc. Asia and South Pacific Design Automation Conf. (ASP-DAC)*, 2003, pp. 783–788.
- [Lienig-2006]** J.Lienig, “Introduction to Electromigration-Aware Physical Design”, *Proceedings of the International Symposium on Physical Design (ISPD)*, vol. 44, p. 39-46, apr 2006.

- [Liew-1989]** Liew, B. K., Cheung, N. W., and Hu, C. Electromigration interconnect lifetime under AC and pulse DC stress. In Proc. Int. Reliab. Phys. Conf. (IRPS), 1989, pp. 215–219.
- [Lifshitz-1966]** I M Lifshitz and A M Kosevich, "The dynamics of a crystal lattice with defects", 1966 Rep. Prog. Phys. 29 217
- [Lin-2001]** S. Lin and N. Chang, "Challenges in power-ground integrity", International Conference on Computer Aided Design, Pages: 651 - 654 Year of Publication: 2001
- [Lloyd-1984]** J.R. Lloyd, "The relationship between electromigration-induced short-circuit and open circuit failure time in multi-layer VLSI technologies", Proc. IRPS., 1984, p. 48.
- [Lloyd-1991]** J.R. Lloyd, "Electromigration failure", *J. Appl. Phys.* Vol. 69, No. 11, 1991, p.7601.
- [Lloyd-1999]** J.R. Lloyd, "Electromigration in integrated circuit conductors", *J. Phys. D: Appl. Phys.*, Vol. 32, 1999, p. R109.
- [Lloyd-1999-2]** J.R. Lloyd, J. Clemens, R. Snede, "Copper metallization reliability", *Microelectron. Reliab.* Vol. 39, No. 11, 1999, p. 1595.
- [Lloyd-2002]** J.R. Lloyd, "Electromigration for Designers: An Introduction for the Non-Specialist", *Eetimes*, EDA Design, décembre 2002
- M**
- [Maiz-1989]** Maiz, J. A. Characterization of electromigration under bidirectional (BC) and pulsed unidirectional (PDC) currents. In Proc. Int. Reliab. Phys. Conf. (IRPS), 1989, pp. 220–228.
- [Malavasi-1996]** E. Malavasi, E. Charbon, E. Felt, E and A. Sangiovanni-Vincentelli, "Automation of IC layout with analog constraints", in *IEEE Trans. on Computer Aided Design*, vol. 15, num. 8, p. 923-942, 1996.
- [Marieb-1995]** T. Marieb and P. Flinn, "Observations of electromigration induced void nucleation and growth in polycrystalline and near-bamboo passivated Al lines", *J. Appl. Phys.* Vol. 78, No. 15, 1995, p. 1026.
- [Mitsuhashi-1992]** T. Mitsuhashi, E. S. Kuh, "Power and ground network topology optimization", *Proc. Design Automation Conf.*, 1992, pp. 524-529.
- [MOSIS-Tuto]** MOSIS, "Reliability in CMOS IC Design: Physical Failure Mechanisms and their Modeling", tutorial on Reliability in CMOS IC Design.
- [Moulton-1983]** A. S. Moulton, "Laying the power and ground wires on a VLSI chip", *Proc. Design Automation Conf.*, 1983, pp. 754-755.
- O**
- [Otten-2002]** Otten, R., Camposano, P., and Groeneveld, P. R. Design Automation for Deepsubmicron: Present and Future. In *Proc. Design, Automation and Test in Europe (DATE) 2002*, pp. 650–657.
- P**
- [Papadimitriou-1993]** C. H. Papadimitriou, *Computational Complexity*, Reading, MA, Addison- Wesley, December 1993.

- [Papadimitriou-1998]** C. H. Papadimitriou and K. Steiglitz, *Combinatorial Optimization, Algorithms and Complexity*, Englewood Cliffs, NJ, Prentice Hall, January 1998.
- [Piguet-1993]** Piguet C., Stauffer A., Zahnd J., "Conception des circuits ASIC numériques CMOS", mars 1993
- [Plesnik-1979]** J. Plesnik, "The NP-completeness of the Hamiltonian cycle problem in planar digraphs with degree bound two", *Information Processing Letters*, 1979
- [Poirier-1993]** Poirier J., "Analyse de la variance et de la régression. Plans d'expériences", *Techniques de l'ingénieur. Traité Mesures et contrôle*, R260, p. 1-23. (1993).
- R**
- [Reeves-1993]** C. R. Reeves, *Modern Heuristic Techniques for Combinatorial Problems*, McGraw-Hill, London, UK, February 1993.
- [Rothermel-1983]** H.-J. Rothermel, D. A. Mlynski, "Automatic variable-width routing for VLSI", *IEEE TCAD*, vol. CAD-2, no. 4, Oct. 1983, pp. 271-284.
- S**
- [Sabnis-1990]** Sabnis, A. G. *VLSI reliability. VLSI Electronics— Microstructure Science*, London: Academic Press Ltd., vol. 22, 1990.
- [Scorzoni-1991]** Scorzoni, A., Caprile, C., and Fantini, F. *Electromigration in thin-film interconnection lines: models, methods and results. Material Science Reports*, New York: Elsevier, vol. 7 (1991), pp. 143–219.
- [Statsoft-Statistica]** StatSoft Statistica, <http://www.statsoft.com/>
- [Statsoft-Textbook]** StatSoft, Inc. (2012). *Electronic Statistics Textbook*. Tulsa, OK: StatSoft. WEB: <http://www.statsoft.com/textbook/>.
- [Stott-1971]** B. Stott, "Effective starting process for Newton-Raphson load flows " *PROC. IEE*, Vol. 118, No. 8, August 1971, pp. 983-987.
- [Syed-1982]** Z. A. Syed, A. Gamal, "Single layer routing of power and ground networks in integrated circuits", *Journal of Digital Systems*, vol. VI, no. 1, 1982, pp. 53-63.
- T**
- [Tan-1999]** X.-D. Tan, et. al., "Reliability-constrained area optimization of VLSI power/ground networks via sequence of linear programmings", *Proc. Design Automation Conf.*, 1999, pp. 78-83.
- [Towner-1985]** J.M. Towner, "Electromigration induced short circuit failure in VLSI metallizations", *Proc. IRPS*, 1985, p. 179.
- [Tu-2000]** K. N. Tu, C. C. Yeh, C. Y. Liu, and C. Chen, "Effect of current crowding on vacancy diffusion and void formation in electromigration", *Appl. Phys. Lett.* 76, 988, 2000
- [Tuto-Cadence]** Cadence Design Tools Tutorial, <http://ismwww.epfl.ch/Education/CadenceTutorial/flow.html>
- U**
- [Ullman-1984]** J. D. Ullman, *Computational Aspects of VLSI*, Computer Science Press, Rockville, MD, August 1984.

V

- [Vachoux-2006]** A. Vachoux, "Top-down digital design flow", November 2006
- [Vaidya-1980]** S. Vaidya, T.T. Sheng, and A.K. Sinha, "Linewidth dependence of electromigration in evaporated Al-0.5%Cu", *Appl. Phys. Lett.* Vol. 36, No.6, 1980, p. 464.
- [Vaigar-2004]** Vaigar, A. V., Mhaisalkar, S. G., and Krishnamoorthy, A. Electromigration behavior of dual-damascene Cu interconnects – Structure, width, and length dependences. *Microel. Reliab.*, vol. 44 (2004), pp. 747–754.

W

- [Weste-1985]** Weste, N. H. E.; Eshraghian, K. "Principles of CMOS VLSI design: A systems perspective", Addison-Wesley Publishing Co., 1985
- [Wilf-2002]** H. S. Wilf, *Algorithms and Complexity*, Second Edition, A. K. Peters, Ltd., Wellesley, MA, December 2002.
- [Wolf-2002]** W. Wolf, "Modern VLSI Design: System-on-Chip Design (3rd Edition)", 2002

Y

- [Ye-2003]** J. Li, Q. Ye, A. Cassell, H.T. Ng, R. Stevens, J. Han, and M. Meyyappan, "Bottom-up approach for carbon nanotube interconnects", *Appl. Phys. Lett.*, Vol. 82, No. 15, 2003, p. 2491.
- [Yim-1999]** J.-S. Yim, S.-O. Bae, Ch.-M. Kyung, "A floorplan-based planning methodology for power and clock distribution in ASICs", *Proc. Design Automation Conf.*, 1999, pp. 766-771.
- [Young-1994]** Young, D. and Christou, A. Failure mechanism models for electromigration. *IEEE Trans. on Reliability*, vol. 43(2) (June 1994), pp. 186–192.

Génération de Layout Guidée par les Contraintes en Courants pour les Circuits Full-Custom

Avec les avancées technologiques et la miniaturisation, le réseau d'interconnexions est devenu de plus en plus dense et complexe. Pour les domaines qui utilisent des applications à forts courants, comme l'automobile, les très fortes densités de courant dans les lignes métalliques peuvent conduire à des phénomènes comme l'électromigration, le *voltage drop* ou encore les surcharges électriques. La conception des circuits doit donc être réalisée en prenant en compte ces contraintes et en adaptant la largeur des lignes aux courants. Ce travail de thèse a eu comme objectif de développer des solutions pour la prise en compte des contraintes en courant lors de la phase de routage de blocs analogiques fort courants. Après une présentation des phénomènes impliqués et de l'état de l'art, une approche algorithmique pour l'aide au routage est introduite. Une méthode de caractérisation du courant est définie, un algorithme exhaustif de routage est présenté, puis utilisé pour effectuer des recherches de critères d'une bonne topologie. Deux algorithmes sont ensuite étudiés et comparés, un algorithme glouton, servant de référence, et un « *Divide & Conquer* » original. Il présente une amélioration d'environ 10% pour l'aire, et presque 27% en temps CPU par rapport à l'algorithme glouton. La section suivante s'intéresse à la correction du *current crowding*, avec une méthode basée sur un ensemble de modèles mathématiques. Enfin, un flot basé sur les solutions développées durant la thèse est présenté et validé.

Current Driven Layout Generation for Full Custom Design

In deep submicron VLSI circuits, excessive current density in interconnects is a major concern for analog high current application. If current over maximum density is not effectively mitigated, this can lead to phenomena like electromigration, voltage drop and electrical overload. It is a hot topic of interest in modern circuits due to the decrease of metal track sizes while high currents are necessary in automotive or mobile applications. This thesis had as goal to develop solutions for the consideration of the constraints in the current phase of routing analog blocks strong currents. After a presentation of the phenomena and the state of the art, an algorithmic approach to current driven net generation is introduced. A method to characterize the current is defined. Then an exhaustive routing algorithm is presented and used to search criteria for a good topology. Next, two algorithms are studied and compared, first a greedy algorithm, used as a reference, and a "Divide & Conquer" original algorithm. It shows results improved on average by about 10% for area and almost 27% for CPU time compared with existing solution. The next section focuses on current crowding correction, with a method based on a set of mathematical models. Finally, a conception flow based on the developed solutions is introduced and validated.